



**UNIVERSIDAD PUBLICA DE NAVARRA
NAFARROAKO UNIBERTSITATE PUBLIKOA**

***DISEÑO Y APLICACIONES DE UN
ELEMENTO ACTIVO UNIVERSAL***

**RAFAEL CABEZA LAGUNA
PAMPLONA-IRUÑA, 1996**

Esta obra está protegida por una licencia Creative Commons Reconocimiento-
NoComercial-CompartirIgual 4.0 Internacional (CC BY-NC-SA 4.0)



a mi familia
en especial a mis padres

Índice

1. Perspectiva histórica y objetivos	1
1.0 Antecedentes	2
1.1 Objetivos y estructura de la memoria	8
2. Esquema unificado para el diseño de un elemento activo universal	11
2.0 Introducción	12
2.1 Metodología unificada para el diseño de un <i>UAD</i>	12
2.1.1 Nullor. Propiedades básicas y equivalencias	12
2.1.2 Fuentes controladas. Estructuras propuestas para un <i>UAD</i>	16
2.2 Diseño y caracterización de una celda básica	21
2.2.1 Propuesta de implementación para un <i>CCII</i> -	22
2.2.2 Caracterización experimental. Macromodelo Spice	26
2.3 Mejoras en el <i>UAD</i> transconductor	30
2.3.1 <i>CCII</i> - compuesto con realimentación en corriente	32
2.3.2 Estructura interna en dos etapas	34
2.4 Conclusiones	37
3. Aplicaciones básicas: amplificación y filtrado	39
3.0 Introducción	40
3.1 Etapas inversoras	41
A) Realización tipo <i>VCVS</i>	41
B) Realización tipo <i>VCCS</i>	47
C) Realización tipo <i>CCVS</i>	52
D) Realización tipo <i>CCCS</i>	61
Tabla resumen	66
3.2 Etapas básicas de filtrado	67
3.2.1 Filtros Sallen-Key	67
3.2.2 Filtros <i>MFB</i> (<i>Multiple Feedback</i>)	73
3.3 Conclusiones	77

4. Simulación de impedancias flotantes	79
4.0 Introducción	80
4.1 Convertidor Generalizado de Admitancias flotantes	80
4.1.1 Clasificación de estructuras y funciones de error	82
4.1.2 Condiciones de diseño	93
4.1.3 Condiciones de estabilidad	94
4.1.4 Simulación de autoinducciones	95
4.1.5 Simulación de <i>FDNRs</i>	106
4.2 Simulación de admitancias arbitrarias	115
4.2.1 Síntesis automática	115
4.2.2 Casos prácticos relevantes	128
4.2.3 Resultados prácticos	136
4.2.4 Síntesis clásica	144
4.3 Conclusiones	151
5. Conclusiones y líneas de futuro	153
Conclusiones	154
Líneas de trabajo futuro	155
Bibliografía	157
Lista de publicaciones	167

Capítulo 1

Perspectiva histórica y objetivos



En este capítulo inicial se pretende realizar un breve repaso histórico a la literatura, para fijar el marco donde se encuadrará este trabajo de investigación. También se detallarán los diferentes objetivos a perseguir.

1.0 Antecedentes

Frente al reto de analizar un fenómeno actual, siempre es recomendable la búsqueda en el pasado de las diversas raíces y diferentes motivaciones del mismo. Así, en lo que respecta al estudio de los múltiples elementos activos que están emergiendo en el campo del procesado analógico en los últimos años, cabe preguntarse cómo se encuadran en la perspectiva histórica del desarrollo de la teoría de circuitos y de la electrónica.

Sin lugar a dudas para conseguir un enfoque correcto al respecto de este tema no es necesario remontarse a los tiempos en los que las señales se procesaban mediante válvulas. Con el intenso trabajo sobre los ahora fundamentos teóricos de teoría de redes empiezan a brotar las ideas relacionadas con elementos activos genéricos. Una de las primeras citas bibliográficas al respecto, y sin ninguna duda la más referenciada, es el artículo de Tellegen de 1954 [TEL 54]. En este trabajo se introduce el concepto de amplificador ideal, y de forma indirecta el de *nullor*. Para ello Tellegen busca todos los planos más sencillos posibles que dividen al espacio vectorial formado por las cuatro variables de entrada y salida para una red de dos puertos. Dentro de las seis posibilidades que considera este autor (seis sobre dos), cuatro de ellas son pasivas, mientras que las dos restantes definen lo que se denominó en aquel entonces como amplificadores ideales, que son el germen de la posterior definición de nullor.

Cinco años más tarde, Keen [KEE 59] publica un trabajo que ha sido injustamente olvidado en artículos posteriores, y que posee un carácter marcadamente innovador. En esa breve carta se puede considerar que se encuentra la semilla de lo que actualmente se conoce como *current conveyor* negativo de segunda generación (*CCII-*), y que el propio Keen bautizó más acertadamente como *unitor*, haciendo así hincapié en las ganancias unidad que existen entre sus terminales dos a dos. En referencias posteriores [CAR 64, HIL 67, SED 70] se puede encontrar el mismo elemento con una pléyade de nombres: *grounded nullor*, *Floating Unity-Gain Amplifier (FUGA)*, *CCII-*, etc. Es curioso comprobar la amnesia selectiva mostrada por los diversos autores.

Son Carlin y Youla, en 1961 [CAR 61], los que empiezan a dar rigor y a formalizar las ideas anteriores, así como a enlazarlas con la síntesis de las nuevas redes activas, en especial con la de impedancias, y con trabajos más teóricos realizados con anterioridad [BEL 59, YOU 60, OON 60]. En la citada referencia de Carlin et al., se definen por primera vez los conceptos de *nullator* y *norator*, pero no así el de nullor, que deberá esperar tres años más para ver la luz de la mano del mismo autor [CAR 64]. Entre estos dos trabajos hay sin embargo autores que ya explotan los elementos recién propuestos. Tal es el caso de Martinelli [MAR 63] que ataca el problema de síntesis de funciones de transferencia de redes conteniendo nullators y norators, y en cuyo trabajo se puede encontrar la primera referencia a la imposibilidad de una red con un número diferente de nullators y norators. Es ciertamente revelador cómo, siendo en aquel tiempo el transistor el único elemento activo fácilmente utilizable, este autor encuentra la manera de realizar su proceso de síntesis mediante este componente. Para ello pone de manifiesto también por primera vez la representación, en términos de nullators y norators, de un transistor, que es simplemente el concepto de unitor. Es 1964, [CAR 64] como ya se ha dicho, el año del nacimiento formal para la denominación de nullor. En este trabajo señero se demuestran

varias propiedades básicas. La primera de ellas establece la imposibilidad de obtener como límite de una red *normal* ni un nullator ni un norator aisladamente. La segunda, y más importante, es el hecho de poder representar cualquier red lineal e invariante en el tiempo mediante elementos pasivos (resistencias, condensadores y autoinducciones) junto con nullators y norators. Apurando más, se puede llegar a prescindir de las autoinducciones, ya que al menos idealmente se pueden representar mediante resistencias, condensadores y nullors. Dos años más tarde Tellegen [TEL 66] enfatiza el hecho de la imposibilidad física de realizar aisladamente un nullator o un norator, siendo factible no obstante la consecución de un nullor. Llegando a este punto de la historia, los fundamentos básicos están todos definidos. A partir de ahora y durante mediados de los sesenta los trabajos consistirán principalmente en sintetizar redes con los nuevos elementos. Es más, de hecho los trabajos citados previamente ya acometen en cierta medida el proceso de síntesis, tanto con funciones de transferencia como con simulación de impedancias mediante *NICs* y giradores.

Vuelve a ser Martinelli [MAR 65] quien, en una breve carta, explicita de nuevo la representación de un transistor por medio de nullors así como la estructura de *NICs* y giradores utilizando dicha representación. Sin embargo, quizás lo más relevante de esta referencia es el intento de generalizar el concepto de nullor a lo que él denominó *generador de dos puertos*. La extensión se basa en suponer al nullator como un elemento cuyo voltaje e intensidad son constantes, en lugar de anularse ambos. Como se observa, no aporta ninguna funcionalidad radicalmente nueva, por lo que este intento de llevar un paso más allá el concepto de nullor no ha tenido la menor relevancia posterior. Es el mismo autor [MAR 66] quien establece el número necesario y suficiente de nullors, ya sea en su versión *balanceada* o en su versión de tres terminales, para sintetizar una matriz de admitancias arbitraria. Es curioso comprobar cómo Martinelli en sus trabajos centra su atención hacia el caso concreto del nullor de tres terminales (*grounded nullor*), al ser en aquella época la única vía de implementación de sus desarrollos teóricos.

Relacionado con la representación mediante nullors de un transistor, está el trabajo de Myers [MYE 65], cuatro meses más tarde respecto de [MAR 65], donde utiliza una propiedad básica de simplificación para proponer un método de realizar con transistores estructuras cuya representación canónica venga dada en función de nullors *balanceados*.

También durante esta época se realizan los primeros intentos de formalizar el problema de análisis de redes conteniendo nullors. A este respecto cabe citar como ejemplos esenciales y originales los publicados por Davies [DAV 66a, DAV 66b] con escasamente un mes de diferencia entre ambos. El primero de ellos establece el método de análisis de una red conteniendo nullators y norators mediante la matriz indefinida de admitancias. Este algoritmo se utilizará en el capítulo 4 de esta memoria. La segunda de las referencias se centra en el cálculo de funciones de red por medio estrictamente de conceptos topológicos.

Como se verá en el siguiente capítulo, la representación de las fuentes controladas en términos de nullors posee en esta memoria gran relevancia. No es hasta 1967 [DAV 67a] que se puede encontrar una recopilación de cuatro posibles representaciones para las otras tantas fuentes controladas. Sin embargo adolece de una limitación importante ya que

realiza el proceso de síntesis exclusivamente para fuentes controladas que poseen un terminal común entre sus puertos de entrada y salida.

Como final de esta breve recopilación temporal sobre la génesis de la idea de nullor se puede citar el primero de los trabajos aparecidos con un carácter marcadamente *tutorial* y de lectura obligada [DAV 67b]. En él se condensan tanto los trabajos previos del propio autor como las principales ideas publicadas durante los anteriores años de la década de los sesenta.

En este punto de la revisión histórica, se puede realizar un salto cualitativo sin más que avanzar un año en el tiempo. Es en 1970 cuando se publica uno de los pilares del procesado en modo corriente, como es el trabajo de Sedra y Smith [SED 70], en el que se define funcionalmente a los *current conveyors* de segunda generación o *CCII* (en un trabajo anterior [SMI 68] los mismos autores habían introducido la primera generación) y se exponen varias posibles aplicaciones para estos nuevos elementos activos. Es llamativo comprobar cómo, a pesar de la absoluta equivalencia entre el concepto de *CCII* y el *unitor* de Keen o el *grounded nullor* de Carlin, no existe ninguna referencia en el trabajo de Sedra a estos resultados previos de teoría de redes. De nuevo la falta de rigor en el repaso bibliográfico produce omisiones incomprensibles. A pesar del temprano nacimiento de la idea del *CCII*, no será hasta una década después, como se verá más adelante, que se profundice en su desarrollo y propiedades.

Simultáneamente a esta referencia, Hilberman publica dos trabajos [HIL 68a, HIL 68b] en los cuales desarrolla un exhaustivo proceso de síntesis de matrices de admitancias, así como de simulación de admitancias y funciones de transferencia arbitrarias. Para esta tarea utiliza dos elementos activos: *VGUGAs* (*Grounded Unity-Gain Voltage Amplifier*) y *VUGAs* (*Unity-Gain Voltage Amplifier*). Como anécdota, en su memoria doctoral [HIL 67] este mismo autor utiliza acrónimos diferentes para las mismas funcionalidades, *GUGAs* y *FUGAs*, claramente más acertados. La única diferencia entre ambos amplificadores reside en la limitación de los *GUGAs* de poseer uno de sus terminales conectado al nodo de referencia. A pesar de esto, ambos vuelven a ser absolutamente equivalentes a un *unitor*, y de nuevo no se encuentran referencias adecuadas a este concepto. Sin embargo estos trabajos van más allá del elemento activo, ya que el proceso de síntesis en el campo que en la actualidad se ha denominado modo corriente, es ciertamente único. Concretamente en la segunda de las referencias [HIL 68b], se establece un procedimiento para sintetizar una admitancia arbitraria en forma polinomial, cuyos coeficientes sean positivos, negativos o cero. Una vez resuelto este problema es fácil entender que la obtención de una función de transferencia arbitraria es trivial. Llegado a este punto el autor es capaz de construir a partir de estas funciones de transferencias, matrices arbitrarias tanto de admitancias como de transferencia.

Como se puede comprobar es en el comienzo de la década de los setenta cuando las ideas de nullators y norators dejan de pertenecer a un gueto de *chalados*, utilizando las propias palabras de A.C. Davies, e impulsadas por la explosión de trabajos sobre la nueva estrella en el campo de los elementos activos (el opamp), cobran especial relevancia. En efecto, el opamp posee una de las representaciones más sencillas, junto al *CCII*- o al transistor, en términos de nullators y norators, lo que hace especialmente fructífero el análisis de los circuitos que contienen opamps mediante técnicas

desarrolladas para el estudio de los nullors. Así se aplican técnicas de relocalización y reagrupamiento de nullors para sintetizar nuevas estructuras con opamps, equivalentes a las originales pero que poseen mejores prestaciones que aquéllas [ANT 68a, AKE 69, ANT 69, FLI 73, BRO 77, PAL 78, PAL 81, MIK 83, WIE 82, WIE 86]. Un texto indispensable al respecto es el publicado por Bruton en 1980 [BRUT 80], que recoge todo este cuerpo de doctrina para construir con él una casi perfecta comunión entre la estricta teoría de redes y la electrónica analógica.

A consecuencia de estos trabajos surge el interés por las diversas transformaciones que se pueden realizar con redes conteniendo nullors. Se han citado ya las más básicas de éstas como son la relocalización y reagrupamiento, que dan lugar a redes completamente equivalentes a las anteriores. Sin embargo, y a raíz del auge del llamado *current mode* durante la década de los ochenta, se plantearon diversas alternativas para la síntesis de redes que procesarán señales en forma de corriente, a partir de sus contrapartidas clásicas. En este aspecto se pueden citar varios trabajos fundamentales y en algunos casos íntimamente ligados entre sí.

La opción más explotada, por ser la más versátil y general, es la basada en la transformación adjunta. Básicamente consiste en construir una nueva red a partir de una dada, de tal forma que se mantengan las impedancias de entrada/salida, y que las funciones de transferencia en voltaje se conviertan en funciones de transferencia en intensidad. En realidad estas características son dos de las consecuencias de la verdadera definición de red adjunta; aun así se citan ya que son sensiblemente más relevantes que la definición exacta. El primer trabajo en orden cronológico al respecto de esta transformación es el artículo de Director y Rohrer [DIR 69], en el cual se desarrolla formalmente la construcción de una red adjunta y sus relaciones basadas en el teorema de Tellegen [DES 69]. Es también de las primeras referencias donde se puede encontrar explícitamente el hecho de la interreciprocidad entre el nullator y el norator. Por otra parte es imposible no extraer de este artículo, a modo de anécdota, una frase que resume a la perfección algunas opiniones de aquellos años: “*Note that we have not eliminated from consideration even the most useless of pathological elements: the nullator and norator*”. Al respecto de la transformación adjunta cabe citar otros textos clásicos [MIT 69, DES 69] en donde se pueden encontrar las tres propiedades esenciales de la misma. En el comienzo de la década de los noventa, Carlósen [CARL 93a] y Roberts [ROB 89a, ROB 89b, ROB 91] recuperan la transformación adjunta para la síntesis en modo corriente. En la primera de estas referencias se puede encontrar un enfoque más general, ya que utiliza una aproximación mediante nullors, mientras que Roberts basa su análisis en fuentes controladas. No obstante es necesario puntualizar que estos trabajos poseen unos claros precedentes en los resultados de Stevenson [STE 81, STE 85], que vuelven a ser reformulaciones de los resultados clásicos antes referenciados.

Acudiendo de nuevo a la base de la teoría de redes es posible encontrar otra transformación que podría ser útil en la construcción de nuevos circuitos para procesado en modo corriente. La transformación dual [DES 69] se fundamenta en la representación topológica mediante grafos de una red eléctrica y sólo es aplicable en el caso de que este grafo sea planar. Existen no obstante técnicas para solucionar en determinadas ocasiones esta grave limitación [FUK 91, GUO 91], que consisten básicamente en insertar nullators y

norators redundantes en la red original para así, aplicando distintas reordenaciones de estos elementos, conseguir *planarizar* su grafo asociado. De hecho son estos mismos autores quienes introducen lo que denominan transformación dual extendida para la síntesis de circuitos en modo corriente [GUO 90, GUO 92], que consiste simplemente en la realización de una transformación de impedancias a la red dual, para así, supuesta de partida una red RC-activa, obtener finalmente otra red RC-activa. Como conclusión, a pesar de ser una transformación absolutamente general y a priori más potente (es válida incluso para redes no lineales y no invariantes en el tiempo) la transformación dual no resulta tan atractiva como la de reciprocidad, por varias de sus limitaciones: no conserva los circuitos canónicos y es válida sólo para circuitos planares, conectados, no separables y en los que todos sus elementos sean de un solo puerto.

Sin embargo el verdadero problema de estas dos transformaciones es la identificación en la red sintetizada de los diferentes elementos activos que sean capaces de representar la nueva posición de los nullators y norators. En la gran mayoría de los casos, el opamp resulta inapropiado en la red transformada, salvo casos muy concretos [CARL 93b, CAB 93], debido a su limitación de poseer el norator de salida conectado a tierra. No obstante si se admite al *CCII* como nuevo elemento activo las posibilidades se disparan. Es así que en la década de los ochenta y principios de los noventa se produce un enorme esfuerzo en la síntesis de nuevas estructuras, tanto derivadas directamente de sus contrapartidas en modo voltaje, como derivadas por nuevos procesos de síntesis [GUO 90, GUO 91, SEN 88, MAL 94, HIG 87, HIG 88, HIG 91a, HIG 92, SVO 94a, SVO 94b, SOL 94, ROB 92, CHA 91, SEN 84].

A la vista de todos estos resultados se clarifica la necesidad de disponer de una realización práctica para el concepto de nullor como una red de dos puertos, sin la limitación de los tres terminales presentes tanto en el opamp como en el *CCII*-. Esto posibilitaría la construcción de cualquier tipo de redes obtenidas mediante un proceso de síntesis cualquiera. En esta línea hay sin lugar a dudas un trabajo germinal: Huijsing [HUI 77] realiza en el año 1977 el primer intento de implementar en silicio un nullor en su concepción genérica. Para ello construye un elemento activo transconductor con dos salidas balanceadas, poniendo así los cimientos de futuros trabajos al respecto. Sin embargo adolece de una limitación como es una no muy elevada ganancia en lazo abierto para baja frecuencia (aproximadamente 5 mhO). A pesar de ello se pueden encontrar en este artículo las principales ideas de cómo llevar a cabo la integración de un elemento activo universal. Es curioso no obstante cómo el autor en posteriores trabajos al respecto [HUI 90, HUI 93] abandona la idea de una única vía para la realización de nullors, estudiando diversas alternativas. Así contempla propuestas en las que la etapa de salida opera en clase A, tales como la solución basada en polarizar al opamp mediante fuentes de intensidad reemplazando las fuentes de voltaje mediante diodos zener. Esta misma configuración es propuesta por Nordholt [NOR 82], como vía para obtener de una forma sencilla un nullor a partir de un opamp comercial. Pero también se contemplan soluciones mejoradas desde el punto de vista de eficacia en el consumo de potencia, como el copiar la corriente de salida de un opamp mediante espejos de corriente. Este esquema, o su versión más simplificada [HUI 81], es utilizado por diversos autores con posterioridad como implementación para un nullor y por supuesto con diversas nomenclaturas como

por ejemplo *operational mirrored amplifier (OMA)* [NORM 86, HIG 91b, SEN 95, MAL 94]. Es justo detallar que la técnica del *supply current sensing* aplicada a un opamp es anterior al año 81 como se puede comprobar en la literatura [RAO 78, HART 79].

El trabajo de Huijsing es sin lugar a dudas uno de los más serios y completos intentos de llevar a silicio la funcionalidad de un nullor. Sin embargo no es el único. Aproximadamente de la misma época datan otros esfuerzos íntimamente relacionados con la idea de un elemento activo universal. A este respecto se deben citar referencias tales como [HAS 80a, HAS 80b], en las que se implementa en realidad un unitor. O siete años más tarde un trabajo de Senani [SEN 87] en el cual se propone la realización de un nullor mediante un opamp, una resistencia y una *OTA*, esquema que como se puede comprender no ha tenido ninguna trascendencia debido a su complejidad y su falta de precisión. Cerrando el círculo, se encuentra una referencia reciente [LAO 95] que vuelve a la idea original de Huijsing, de tal forma que propone un elemento transconductor de alta ganancia obtenido mediante la cascada de dos etapas en par diferencial, integradas en tecnología CMOS. A pesar de los casi veinte años que le separan con su predecesor se ve limitado, y en mayor medida que aquél, de una escasa transconductancia en DC, aproximadamente 0.4 mho.

Prácticamente ya en esta década y en paralelo al avance producido en el procesado en modo corriente surgen también nuevas ideas respecto a elementos activos. Así se desarrollan topologías alternativas para amplificadores operacionales basadas en amplificadores de transimpedancia, que se denominaron *current feedback operational amplifier (CFOA)* [BOW 90]. O basadas en *CCII* que mantienen la realimentación en voltaje, pero con una sensible mejora en el *slew-rate* [BRUU 92, BRUU 93, MUC 93]; este mismo concepto se puede encontrar no obstante en un trabajo anterior escasamente referenciado [VER 91, VER 92]. O se plantea la posibilidad de realizar amplificadores operacionales en corriente, que representarían el elemento activo recíproco del opamp en voltaje; con esta idea se encuentran en la literatura un gran conjunto de soluciones [BRUU 91a, BRUU 91b, BRUU 95, ZEL 91, ZEL 92, KAU 93, MUC 95a, MUC 95b]. Y como última alternativa digna de reseñar en este aspecto está la aplicación de la técnica *supply current sensing* a un *CFOA*, dando lugar lo que se denominó como *operational floating conveyor (OFC)* [TOU 91].

Así se llega a la actualidad, donde resulta difícil elegir un determinado elemento activo entre las numerosas posibilidades para una aplicación concreta, debido a la falta de criterios objetivos en los que basar esta elección. A modo de conclusión de este breve repaso bibliográfico, un apunte de futuro. Después de la resaca de todo el esfuerzo de síntesis realizado durante los últimos veinte años, es necesario y urgente plantearse de forma rigurosa la viabilidad de todas estas propuestas e ideas surgidas en este periodo. Sin lugar a dudas, se tiene que notar en este campo un gran avance durante la primera década del siglo entrante, para llevar a cabo un profundo y detallado análisis que ponga en su justo lugar cada una de las ideas anteriores.

1.1 Objetivos y estructura de la memoria

Como ha quedado esbozado en la sección anterior, la lista de elementos activos presentes en el comienzo de la década de los noventa es numerosa y no exenta de repeticiones o conceptos poco útiles. Por otra parte no se presenta en la literatura ningún esfuerzo a la hora de sistematizar ni ordenar todas estas posibilidades, ni tampoco de hacer uso *real* de ellas a la hora de implementar sistemas más complejos. Se puede citar aquí como ejemplo a seguir el caso del opamp o de la *OTA*, en los que una vez propuesto el elemento activo, se aplica a esquemas concretos: filtros, simulación de impedancias, etapas amplificadoras, etc, analizando en cada caso las ventajas y desventajas de su uso. En el polo opuesto no hay un análisis teórico consistente de simulación de impedancias con *OFCs*, ni con *OMAs*, ni amplificadores de corriente con salida dual, como tampoco se puede encontrar el efecto de la limitación en frecuencia de todas estas etapas básicas a la hora de implementar filtros, o cualquiera de las estructuras básicas para el procesado de señal. En este entorno se enmarca el trabajo de investigación descrito en esta memoria.

Se pueden establecer varios objetivos a diferentes niveles de concreción que se verán reflejados en distintos capítulos de esta memoria:

- La primera parte, descrita en el capítulo 2, desarrolla el concepto teórico de elemento activo universal (*UAD*), y propone varias posibles implementaciones. Más en detalle los objetivos que se intentarán seguir dentro de esta sección son:
 - En primer lugar se pretenderá llevar a cabo un estudio sobre la posibilidad de utilizar un bloque constructivo en la realización de los diferentes amplificadores básicos. A continuación se modelará dicho bloque con vistas a analizar con posterioridad el comportamiento, desde el punto de vista frecuencial fundamentalmente, de las diversas estructuras que los contengan.
 - Se implementará en silicio ese bloque básico para la posterior comprobación experimental de los resultados teóricos. Se integrarán a su vez diversas de las estructuras propuestas con anterioridad para el *UAD*.
 - Se investigará la expresión de las diferentes propuestas establecidas en la literatura para los nuevos elementos activos en función del bloque básico encontrado con anterioridad. En realidad estos dos objetivos están íntimamente ligados, por lo que en la memoria no se apreciará ningún tipo de distinción entre ambos.
 - Se investigarán las diferentes características principales de las realizaciones propuestas para los amplificadores básicos. Al estar todas ellas basadas en el mismo bloque básico constructivo la comparación se podrá llevar a cabo de una forma más equitativa.
- La segunda parte de este trabajo de investigación posee un carácter marcadamente complementario respecto del anterior. Se acometerá en ella el estudio de las propiedades de las diferentes propuestas esbozadas en el capítulo 2, aplicadas a sistemas básicos de procesado. Descendiendo al detalle:
 - El primero y más sencillo es el estudio de las etapas amplificadoras realizadas con las diferentes implementaciones encontradas anteriormente. Así se

analizarán en este apartado propiedades tales como ancho de banda frente ganancia, o impedancias de entrada y salida.

- El segundo más inmediato es la realización de sistemas de filtrado, para lo que se puede acudir a estructuras clásicas tales como Sallen-Key o de realimentación múltiple (*MFB*). Se investigará el efecto de reemplazar el opamp por alguna de las nuevas posibilidades. Estos dos últimos puntos se desarrollarán en el capítulo 3.
- Más en profundidad se realizará un estudio de las aplicaciones de los *UAD* en la simulación de impedancias, que corresponde al capítulo 4 de esta memoria. Para ello se empezará el análisis por la generalización de una estructura clásica en este campo como es un Conversor Generalizado de Impedancias. Así se investigarán en detalle las diversas funciones de error que aparecen en las nuevas estructuras obtenidas al utilizar diferentes *UADs*. A este estudio le seguirá una propuesta de algoritmo computacional para la síntesis de funciones de admitancia genérica. Dicho algoritmo se comprobará en diversos resultados prácticos. Para finalizar se propone una mejora en la síntesis clásica propuesta por Hilberman para la obtención de admitancias polinomiales generales.

**EL *CAPÍTULO 2* SE INCLUIRÁ EN
POSTERIORES EDICIONES.**

Capítulo 3

Aplicaciones básicas: amplificación y filtrado



En este capítulo se establecerán las aplicaciones más directas y básicas de los elementos activos presentados en el capítulo precedente. Como aplicación inmediata se han considerado las etapas amplificadoras. Se han estudiado en detalle las etapas inversoras para cada uno de los tipos posibles de conversión: voltaje-voltaje, voltaje-intensidad, intensidad-voltaje, intensidad-intensidad. Dentro de estas posibilidades, existen otras cuatro alternativas para el tipo de elemento activo, dando lugar a dieciséis posibles configuraciones que han sido analizadas tanto en su función de transferencia, como en sus impedancias de entrada y salida.

Por otra parte se ha introducido, como una aplicación concreta para el UAD de tipo transconductor, el estudio de etapas de filtrado. Con este fin, se han utilizado las configuraciones clásicas de Sallen-Key y MFB, analizando los errores en su función de transferencia debido a la ganancia finita del UAD para cada uno de los tres posibles tipos de respuesta: paso bajo, paso alto y paso banda.

3.0 Introducción

En este capítulo se comienzan a estudiar las diversas aplicaciones de las propuestas para *UADs* enunciadas en el capítulo 2. Para ello, se analizan las aplicaciones más sencillas para un amplificador básico, como son las etapas amplificadoras. Este apartado, dentro de las aplicaciones para un *UAD*, no debe confundirse con la teoría clásica de la realimentación [SED 91] donde se estudia el efecto que tienen los diferentes tipos de redes de realimentación sobre las características globales de un sistema. A pesar de poseer íntima relación con este tema, lo que se pretende en la primera parte de este capítulo es estudiar, para una red de realimentación fija, cómo se comportan las cuatro topologías propuestas en la sección 2.1.2. En este sentido se probará la *universalidad* de estas cuatro estructuras. Incidiendo en la diferencia con resultados conocidos [PAY 96, TOU 93] es necesario destacar que al utilizar aquí implementaciones muy concretas, figura 2.12, para los diferentes amplificadores básicos se obtendrán unos resultados muy particulares, y en algunos casos sorprendentes, de tal forma que no serán extrapolables a otras estructuras, mientras que en las dos referencias citadas se hace un análisis general de las consecuencias de la realimentación para las diferentes fuentes controladas.

A este respecto es imposible el omitir un trabajo [ALL 80] que por su originalidad, enmarcándolo en su contexto histórico, y profundidad debería constituir una referencia obligada. El núcleo de su propuesta reside en la posibilidad de realizar etapas de amplificación cuyas variables de entrada y salida sean voltajes, mediante elementos activos que procesen exclusivamente variables de tipo corriente. Es más, esta aparente falta de sintonía lleva asociada mejoras tales como son la independencia del ancho de banda respecto de la ganancia de la etapa, así como un elevado *slew-rate*. Uno de los objetivos de la primera parte de este capítulo es precisamente demostrar las diferentes propiedades que se pueden obtener al utilizar las cuatro implementaciones del *UAD* en otras tantas etapas de amplificación.

Se han analizado exclusivamente las etapas inversoras, y esto es porque ofrecen la posibilidad de aunar en solamente dos topologías las cuatro posibles conversiones entre voltaje y corriente, mientras que esto no es posible si se plantean etapas no inversoras, estando ambas estructuras íntimamente ligadas, ya que una es la recíproca de la otra.

Como extensión natural a las etapas amplificadoras se encuentran las de filtrado, en las que se ha utilizado de nuevo una aproximación directa al problema, en el sentido de reemplazar el clásico opamp por otro elemento activo, dentro de las cuatro posibilidades. No obstante, por una simple acotación del problema, se ha concretado el estudio al caso transistor, sobre el cual se ha puesto más énfasis a lo largo de esta memoria.

A modo de preámbulo a todo el capítulo, indicar que no se explotará durante el mismo la característica de flotabilidad del *UAD*. El análisis se restringirá durante las próximas páginas a sistemas clásicos, en los cuales los elementos activos poseen una única salida activa. Sin embargo en el capítulo siguiente se abordará el estudio de aplicaciones más complejas donde existirán múltiples lazos de realimentación.

3.1 Etapas inversoras

Como realizaciones más sencillas se han utilizado las presentadas en la figura 3.1 para las cuatro etapas amplificadoras inversoras. En la figura 3.1.a se muestra la topología para realizar la conversión voltaje-voltaje así como voltaje-intensidad, mientras que la 3.1.b lo hace para una conversión intensidad-voltaje e intensidad-intensidad.

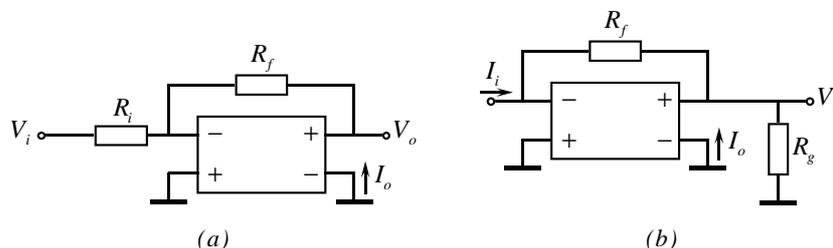


Figura 3.1 Realizaciones para las cuatro posibles etapas inversoras:
(a) Voltaje-Voltaje y Voltaje-Intensidad
(b) Intensidad-Voltaje e Intensidad-Intensidad

Por otra parte existe una duplicidad en la elección de las polaridades para el elemento activo. Es decir que se pueden tomar como representan las figuras 2.12, que se denominará de aquí en adelante *polaridad directa*, pero también es lícito el suponer que tanto las entradas como las salidas poseen las polaridades invertidas, *polaridad inversa*. Se estudiarán ambos casos, ya que existen entre ellos diferencias esenciales en lo que respecta a su comportamiento frente a impedancias parásitas.

A continuación se va a realizar un estudio comparativo entre las distintas posibilidades de realización del elemento activo. Como se ha apuntado en el capítulo precedente se pueden diferenciar cuatro elecciones, correspondiendo cada una de ellas a los cuatro tipos de fuentes controladas. Es por esto que se deberá realizar el estudio de dieciséis casos, considerando a su vez para cada uno de ellos dos polaridades. En él se detallarán tanto la función de transferencia de la etapa inversora, como las impedancias de entrada y de salida asociadas. Así se caracterizarán completamente cada una de las 32 posibilidades. La expresión de la función de transferencia se ha factorizado en el término ideal de la ganancia de la etapa y una función de error, que indicará las características propias de la misma.

A) Realización tipo VCVS

En este caso se utilizará como realización del *UAD* una etapa amplificadora que maneja como variables de entrada y de salida tensiones. Es decir se empleará el modelo mostrado en la figura 2.12.a. Obsérvese que al suponer este modelo en concreto, se está introduciendo el comportamiento en frecuencia de la etapa amplificadora, derivado de las impedancias Z_a , Z_b y Z_c . En este caso la *polaridad directa* se entiende que es la mostrada en la figura 2.12.a, mientras que para obtener la *polaridad inversa* bastaría intercambiar las polaridades tanto en la entrada como en la salida.

A.I) Amplificador voltaje-voltaje**Polaridad directa**

Se puede calcular la función de transferencia como:

$$\frac{V_o}{V_i} = -\frac{R_f}{R_i} \frac{1}{1 + \frac{Z_a}{Z_b} \left(1 + \frac{R_f}{R_i}\right)} \quad (3.1)$$

El primer hecho que se puede reseñar de esta expresión es su independencia de la impedancia parásita Z_c , debido a que la tensión en sus extremos es siempre nula. Por otra parte, se observa también que el factor de error, es decir la segunda fracción de la expresión 3.1, depende del cociente entre las resistencias externas, es decir de la ganancia de la etapa, de tal forma que al aumentar ésta, se reducirá el ancho de banda de la misma. Este punto se corroborará con datos de simulación, en el siguiente párrafo.

Respecto a las impedancias de entrada y salida vienen dadas por las siguientes expresiones:

$$Z_{IN} = R_i \left(1 + \frac{R_f}{R_i} \frac{1}{1 + \frac{Z_b}{Z_a}} \right) \quad (3.2.1)$$

$$Z_{OUT} = 0 \quad (3.2.2)$$

Con lo que se concluye que la impedancia de salida toma el valor ideal, mientras que la de entrada se ve afectada por la ganancia finita de la implementación del *UAD*. A este respecto cabe indicar cómo idealmente, i.e. supuesta nula la impedancia asociada al terminal *X* de los *CCII*- de la figura 2.12.a, la impedancia de salida de la etapa es nula a pesar de estar conectada directamente a la salida *Z* de uno de los *current conveyors*. Este hecho, a primera vista sorprendente, deja de serlo si se analiza una simple etapa inversora implementada con un opamp frente a su contrapartida con un *CCII*-.

Polaridad inversa

Al invertir las polaridades de entrada y de salida del *UAD*, se comprueba que las expresiones para la función de transferencia e impedancias de entrada y salida son idénticas a las anteriores sin más que sustituir Z_b por $Z_b^* \equiv Z_b // Z_c$.

Observando la expresión 3.1 es fácil deducir que el ancho de banda de la etapa amplificadora está relacionado con la ganancia de la misma, de tal forma que aumentando esta última, disminuye la primera. Este hecho es ampliamente conocido para los circuitos que utilizan opamps. De forma ilustrativa, se han realizado simulaciones para comprobar esta propiedad. Los resultados obtenidos se muestran en la figura 3.2.

Para la obtención de estos resultados se ha utilizado para Z_a una resistencia de 100 Ω de valor, mientras que para Z_b se ha supuesto un condensador de 25 pF. Estos valores aseguran, como se puede comprobar por simulación, un margen de fase para el *UAD* de 60°. La resistencia R_i es de 5 k Ω .

A la vista de la gráfica 3.2, se puede confirmar sin lugar a dudas la constancia del producto Ganancia-Anchura de Banda, siendo su valor de 43 MHz, valor que concuerda con el que se deduce de los valores de las impedancias de compensación Z_a y Z_b . A la hora de calcular, sin embargo, el valor efectivo de la impedancia Z_a , es necesario introducir las dos resistencias parásitas de los terminales X de los CCII-, de tal forma que se obtiene un valor real de aproximadamente 160 Ω .

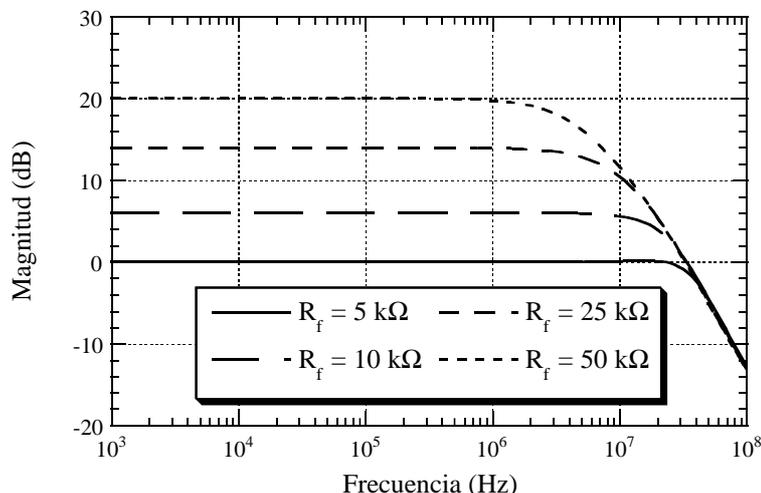


Figura 3.2 Constancia del producto Ganancia-Anchura de Banda para el caso de realizar una etapa amplificadora tensión-tensión, mediante una VCVS

A.II) Amplificador voltaje-intensidad

Polaridad directa

Si se toma la polaridad directa en el amplificador de voltaje-intensidad, se obtiene una función de transferencia :

$$\frac{I_o}{V_i} = - \frac{1}{R_i} \frac{1 + \frac{Z_a}{Z_b}}{1 + \frac{Z_a}{Z_b} \left(1 + \frac{R_f}{R_i} \right)} \tag{3.3}$$

Se observa de nuevo que el ancho de banda de la etapa depende de las resistencias de realimentación y de entrada, de tal forma que no existe una independencia entre la transconductancia de la etapa y el ancho de banda de la misma.

Por otra parte, las impedancias de entrada y salida vienen dadas por :

$$Z_{IN} = R_i \left(1 + \frac{R_f}{R_i} \frac{1}{1 + \frac{Z_b}{Z_a}} \right) \tag{3.4.1}$$

$$Z_{OUT} = Z_c \frac{1}{1 + \frac{Z_c + Z_b}{R_f + R_i \left(1 + \frac{Z_b}{Z_a}\right)}} \quad (3.4.2)$$

Polaridad inversa

En este caso no es lícito el realizar una simple sustitución en las tres expresiones anteriores, como se hizo para la etapa voltaje-voltaje. Así, la función de transferencia viene dada por:

$$\frac{I_o}{V_i} = -\frac{1}{R_i} \frac{1 + \frac{Z_a}{Z_b^*} \left(1 + \frac{Z_b^* R_f}{Z_a R_i}\right)}{1 + \frac{Z_a}{Z_b^*} \left(1 + \frac{R_f}{R_i}\right)} \quad (3.5)$$

mientras que las impedancias de entrada y salida:

$$Z_{IN} = R_i \left(1 + \frac{R_f}{R_i} \frac{1}{1 + \frac{Z_b^*}{Z_a}}\right) \quad (3.6.1)$$

$$Z_{OUT} = \frac{R_f Z_c Z_a + R_i Z_c Z_a + R_i Z_c Z_b + R_f Z_a Z_b + R_i Z_a Z_b}{(R_f + R_i + Z_c) Z_a} \quad (3.6.2)$$

Observando estas expresiones, junto con las de la polaridad directa, se puede concluir que un UAD de tipo VCVS no es el elemento activo adecuado en la realización de una etapa voltaje-intensidad, supuesta la red de realimentación representada en la figura 3.1.

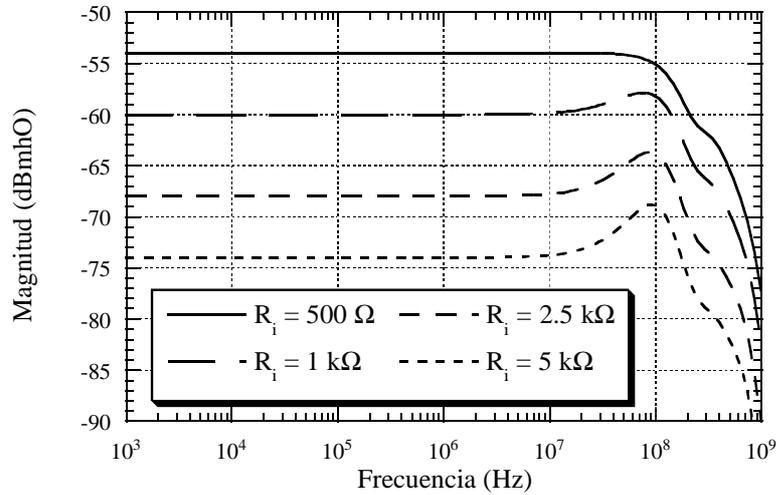


Figura 3.3 Realización de una etapa transconductora, mediante una VCVS, supuesto se cumple $R_f \ll R_i$

A pesar de que las expresiones 3.3 y 3.5 implican que la función de error está ligada a la ganancia de la etapa transconductor, es posible imponer una condición de diseño que minimice este efecto, sin más que suponer que $R_f \ll R_i$, de tal forma que el factor de error tienda a la unidad. A modo de comprobación se han realizado varias simulaciones de la etapa de transconductancia con polaridad inversa, cuyos datos se muestran en la figura 3.3. Se ha utilizado para Z_a una resistencia de 100Ω de valor, mientras que para Z_b se ha supuesto un condensador de 25 pF . Para R_f se ha tomado un valor de 250Ω .

A.III) Amplificador intensidad-voltaje

Polaridad directa

En este caso la función de transimpedancia se expresa como:

$$\frac{V_o}{I_i} = -R_f \frac{1}{1 + \frac{Z_a}{Z_b}} \quad (3.7)$$

siendo las impedancias de entrada y salida:

$$Z_{IN} = R_f \frac{1}{1 + \frac{Z_b}{Z_a}} \quad (3.8.1)$$

$$Z_{OUT} = 0 \quad (3.8.2)$$

Al estar utilizando una VCVS como elemento activo, es lógico el tener una impedancia de salida nula, como expresa 3.8.2. Merece la pena apuntar que todas estas expresiones no dependen de la resistencia R_g .

Polaridad inversa

Si se considera la polaridad inversa, basta en este caso el sustituir Z_b por $Z_b^* \equiv Z_b // Z_c$.

A la vista de estos resultados se deduce que la función de error en 3.7 no depende de la transimpedancia ideal de la etapa, R_f . Esto quiere decir que es posible escoger la ganancia sin alterar el comportamiento en frecuencia del sistema. Para mostrar esta propiedad se ha llevado a cabo la simulación de la etapa, tomando como Z_a una resistencia de 100Ω de valor, mientras que para Z_b se ha supuesto un condensador de 50 pF . La resistencia de carga R_g , figura 3.1.b, se tomará de $5 \text{ k}\Omega$. La figura 3.4 muestra cómo al variar la resistencia de realimentación, es decir la transimpedancia de la etapa, el ancho de banda permanece aproximadamente inalterado. Y es solamente aproximado, ya que los efectos no contemplados en el análisis hacen que haya una variación sensible en la magnitud al variar la resistencia de realimentación.

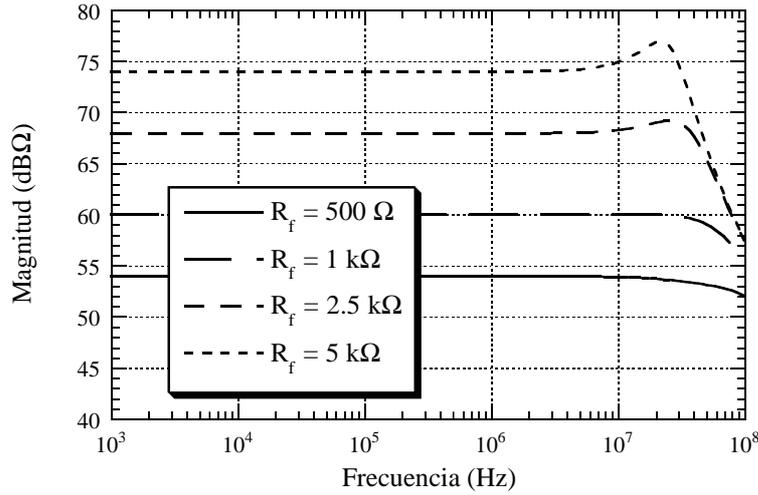


Figura 3.4 Comprobación del ancho de banda constante en una etapa de transimpedancia realizada mediante una VCVS

A.IV) Amplificador intensidad-intensidad

Polaridad directa

Para la última de las posibles conversiones, intensidad-intensidad, la función de transferencia viene dada por:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{R_g} \right) \frac{1 + \frac{Z_a}{Z_b} \frac{1}{1 + \frac{R_f}{R_g}}}{1 + \frac{Z_a}{Z_b}} \quad (3.9)$$

y las impedancias de entrada y salida de la etapa por:

$$Z_{IN} = R_f \frac{1}{1 + \frac{Z_b}{Z_a}} \quad (3.10.1)$$

$$Z_{OUT} = Z_c \frac{R_g (Z_a + Z_b)}{R_g (Z_a + Z_b) + Z_a (Z_b + Z_c)} \quad (3.10.2)$$

Polaridad inversa

En el caso de tomar la polaridad inversa, la función de transferencia es:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{Z_g^*} \right) \frac{1 + \frac{Z_a}{Z_b} \frac{1}{1 + \frac{R_f}{Z_g^*}}}{1 + \frac{Z_a}{Z_b^*}} \quad (3.11)$$

donde se puede observar que no se ha factorizado la ganancia ideal como primer factor, para mantener así la semejanza con la expresión 3.9. Evidentemente $Z_g^* \equiv R_g // Z_c$

Las impedancias de entrada y salida para esta etapa se expresan como:

$$Z_{IN} = R_f \frac{1}{1 + \frac{Z_b^*}{Z_a}} \quad (3.12.1)$$

$$Z_{OUT} = R_g \frac{Z_c Z_a + Z_c Z_b + Z_a Z_b}{Z_a (R_g + Z_c)} \quad (3.12.2)$$

Comparando las expresiones 3.11 y 3.12 frente a las 3.9 y 3.10 respectivamente, se ve que no es factible la sustitución directa de la impedancia Z_b por Z_b^* . Por otra parte es clara la imposibilidad de ninguna condición de diseño que posibilite la mejora de las funciones de transferencia, por lo que no se profundiza en el estudio de este caso.

B) Realización tipo VCCS

Al ser la realización VCCS, figura 2.12.b, completamente simétrica respecto a sus entradas y salidas, no es necesario el estudiar separadamente dos tipos de polaridad, ya que son situaciones indistinguibles.

B.I) Amplificador voltaje-voltaje

Los parámetros característicos de esta etapa son:

$$\frac{V_o}{V_i} = - \frac{R_f}{R_i} \frac{1 - \frac{Z_a}{R_f}}{1 + \frac{Z_a}{R_i}} \quad (3.13)$$

$$Z_{IN} = R_i + Z_a \quad (3.14.1)$$

$$Z_{OUT} = Z_a \frac{R_i + R_f}{R_i + Z_a} \quad (3.14.2)$$

que no poseen ninguna característica reseñable, ni en la función de transferencia, ni en las impedancias de entrada-salida.

B.II) Amplificador voltaje-intensidad

La función de transferencia de la etapa de transconductancia es:

$$\frac{I_o}{V_i} = - \frac{1}{R_i} \frac{1}{1 + \frac{Z_a}{R_i}} \quad (3.15)$$

Una posible condición de diseño que se deduce de esta expresión, es que maximizando la resistencia de entrada se minimizará la función de error. Esta condición, no obstante, no es flexible, ya que al imponerla se está alterando de forma necesaria la ganancia ideal de la etapa. Más correctamente, se puede afirmar que configurando la etapa

con transconductancias pequeñas se minimizará el error producido por la ganancia finita del elemento activo.

Por otro lado, las expresiones que fijan las impedancias de entrada y salida son:

$$Z_{IN} = R_i + Z_a \quad (3.16.1)$$

$$Z_{OUT} = \infty \quad (3.16.2)$$

observándose que se comporta de forma ideal en el puerto de salida, al corresponderse con un terminal Z sin realimentación de un $CCII$ -.

B.III) Amplificador intensidad-voltaje

Para la realización de una etapa de transimpedancia, mediante un elemento activo transconductor, se obtienen las siguientes expresiones para su función de transferencia, así como para las impedancias de entrada y de salida:

$$\frac{V_o}{I_i} = -R_f \frac{1 - \frac{Z_a}{R_g}}{1 + \frac{Z_a}{R_g}} \quad (3.17)$$

$$Z_{IN} = Z_a \frac{R_g + R_f}{R_g + Z_a} \quad (3.18.1)$$

$$Z_{OUT} = Z_a \frac{1}{1 + \frac{Z_a}{R_g}} \quad (3.18.2)$$

A la vista de 3.17, se podría plantear una condición de diseño que compensase en cierta medida el término de error, simplemente imponiendo la igualdad entre la resistencia de realimentación y la de carga. No obstante esto no es viable, debido a la estabilidad condicional del sistema. Se puede demostrar, como se hará en el siguiente apartado, que la resistencia de carga debe de ser menor que un determinado valor. Así, la condición de diseño mencionada estaría restringiendo la transimpedancia de la etapa a unos determinados valores, lo que la desvirtúa completamente. Es por esto que no se analizará en más detalle esta posibilidad.

B.IV) Amplificador intensidad-intensidad

En este caso la función de transferencia viene expresada por:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{R_g} \right) \frac{1}{1 + \frac{Z_a}{R_g}} \quad (3.19)$$

Así se puede establecer que la ganancia del amplificador es independiente de su ancho de banda. En efecto, basta para ello utilizar la resistencia de realimentación R_f para definir la ganancia en intensidad, mientras que con la resistencia de carga R_g se controla el comportamiento en frecuencia del amplificador. De hecho, este caso se puede considerar íntimamente relacionado con uno, ya clásico, como es el $CFOA$. En él, se

utiliza una etapa de transimpedancia para realizar un amplificador de voltaje. Ahora se está utilizando una etapa de transconductancia para realizar un amplificador de intensidad. Los paralelismos entre estas dos situaciones se pueden extender. Es bien conocido que en las etapas amplificadoras construidas en torno a un *CFOA* la resistencia de realimentación, aquella que fija el ancho de banda de toda la etapa, debe poseer un valor mínimo para asegurar la estabilidad del sistema. En el caso que se está estudiando se puede ver que ocurre algo análogo. Es decir, la transconductancia que fija el ancho de banda de la etapa, léase impedancia de carga, tiene que ser mayor que un valor mínimo para que el amplificador sea estable. O dicho de otra forma, la impedancia de carga debe ser menor que un determinado valor. Para demostrar esta afirmación teóricamente, se supondrá el siguiente modelo para el *CCII*:- el buffer entre los terminales *X* e *Y* se supondrá ideal en lo que respecta a su respuesta en frecuencia, mientras que su impedancia de salida se modelará como una resistencia en serie con una autoinducción, sección 2.2.2. En lo que respecta al buffer de intensidad existente entre los terminales *X* y *Z*, se modelará su función de transferencia como:

$$\frac{i_z}{i_x} = \frac{\beta_0}{\beta_2 s^2 + \beta_1 s + 1} \quad (3.20)$$

que representa un comportamiento en frecuencia de segundo orden, donde los coeficientes β_i coinciden con los expresados en la mencionada sección. Se supone por simplicidad que tanto la impedancia de entrada del terminal *Y* como la de salida del terminal *Z* son infinitas. Con estas premisas se puede volver a recalcular la expresión 3.19, dando lugar a un denominador de tercer orden, cuya condición necesaria y suficiente de estabilidad se puede expresar como:

$$R_g < \frac{\beta_1}{\beta_0 \beta_2} 2L_x + \frac{\beta_1^2}{\beta_0 \beta_2} 2R_x + \frac{\beta_1}{\beta_0} \frac{2R_x^2}{L_x} \quad (3.21)$$

donde R_x y L_x representan la resistencia y autoinducción equivalentes, respectivamente, del terminal *X*. Sustituyendo en esta expresión los valores para los coeficientes β_i obtenidos en el capítulo 2, así como los valores para los elementos pasivos parásitos, se concluye que la resistencia de carga debe presentar un valor menor que 343,7 Ω .

Para precisar más cuál es el verdadero valor máximo para la impedancia de carga, se puede cambiar el modelo utilizado para el *CCII*-, de tal forma que ahora la impedancia de salida en el buffer de voltaje sólo posea carácter resistivo, mientras que su comportamiento frecuencial pasa a estar determinado por:

$$\frac{v_x}{v_y} = \frac{\alpha_0}{\alpha_2 s^2 + \alpha_1 s + 1} \quad (3.22)$$

El buffer de corriente se sigue modelando mediante la expresión 3.20. Recalculando 3.19 se obtiene un polinomio de cuarto orden en el denominador, cuya condición necesaria y suficiente para la estabilidad, se expresa como:

$$R_g < \frac{\alpha_1 \beta_1}{\alpha_0 \beta_0} \frac{\alpha_2^2 + \alpha_1 \alpha_2 \beta_1 + \alpha_2 \beta_1^2 + \alpha_1^2 \beta_2 - 2\alpha_2 \beta_2 + \alpha_1 \beta_1 \beta_2 + \beta_2^2}{(\alpha_2 \beta_1 + \alpha_1 \beta_2)^2} 2R_x \quad (3.23)$$

Sustituyendo valores, se obtiene una resistencia de carga máxima de $203,8 \Omega$, lo que representa una condición más restrictiva que el valor anteriormente hallado. Se puede afirmar entonces que en la realidad se deberán utilizar valores incluso menores que este último. En efecto, simulando la etapa con el modelo descrito en el apartado 2.2.2, se obtiene la salida mostrada en la figura 3.5, supuesto a la entrada un pulso de amplitud $100 \mu\text{A}$ y 50 ns de tiempo de subida, y la resistencia de realimentación igual a la de carga con un valor de 185Ω .

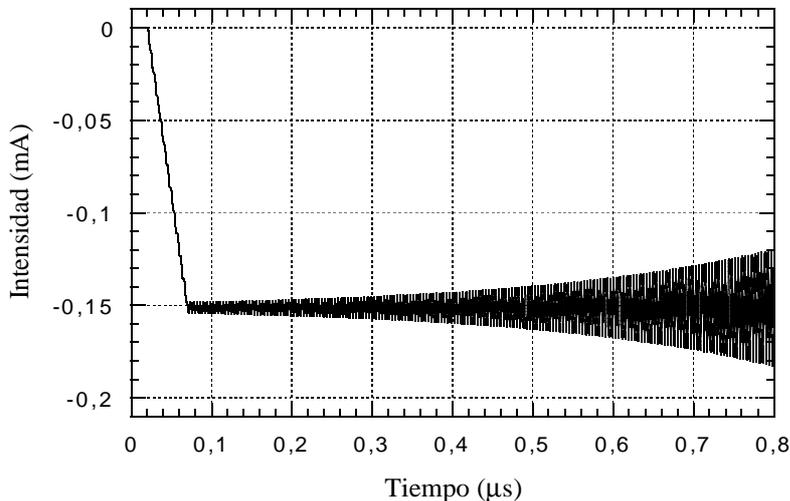


Figura 3.5 Comprobación de la inestabilidad de la etapa amplificadora en intensidad, empleando una VCCS, para una resistencia de carga de 185Ω

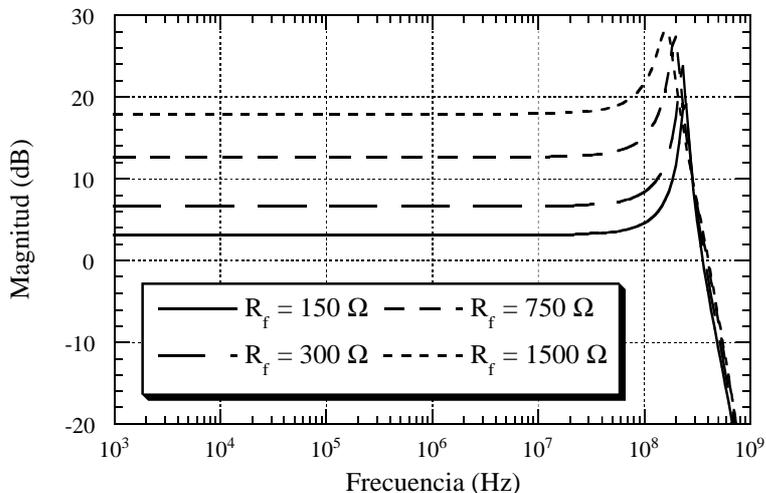


Figura 3.6 Respuesta en magnitud de una etapa amplificadora intensidad-intensidad basada en VCCS

Se comprueba prácticamente cómo el valor máximo para la resistencia de carga es de 175Ω . En la figura 3.6 se muestra la respuesta en frecuencia para un valor de R_g de 150Ω . Se observa claramente cómo, al variar la resistencia de realimentación y con ella la ganancia de la etapa, el comportamiento frecuencial no se altera de forma notable. Hay que resaltar, no obstante, que la condición de diseño que asegura la estabilidad es contradictoria frente a la expresión 3.19; expresión que conlleva aumentar el valor de la resistencia de carga, para así minimizar la función de error. De hecho, en la figura 3.6 existe un offset de -3 dB en todas las gráficas, cuyo origen es precisamente el factor de error de la expresión 3.19.

Respecto a las impedancias de entrada y de salida se expresan como:

$$Z_{IN} = Z_a \frac{R_g + R_f}{R_g + Z_a} \tag{3.24.1}$$

$$Z_{OUT} = \infty \tag{3.24.2}$$

siendo ideal la impedancia de salida.

Como cuestión aparte de las etapas amplificadoras, es fundamental en este punto del desarrollo resaltar las graves consecuencias de las expresiones 3.21 y 3.23. Estas expresiones se aplican a la estabilidad del sistema mostrado en la figura 3.7, la cual se ha obtenido simplemente omitiendo el *CCII*- que no se encuentra dentro del lazo de realimentación, ver figura 2.12.b, y que por lo tanto se puede modelar con la introducción de una resistencia en el terminal *X* del *CCII*- que posee realimentación entre su salida *Z* y su entrada *Y*.

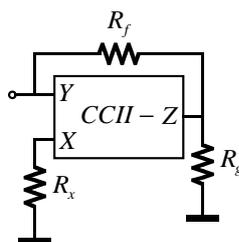


Figura 3.7 Esquema simplificado para el estudio de la etapa amplificadora intensidad-intensidad con una *VCCS*

Observando la aparente sencillez del sistema de la figura 3.7, y considerando la ausencia de elementos de ganancia, se podría concluir su estabilidad incondicional. Nada más lejos de la realidad. Se ha demostrado que, suponiendo un modelo de segundo orden para los buffers de voltaje y de intensidad, existen condiciones definidas para las resistencias externas que implican la verdadera estabilidad del circuito. Las consecuencias de este análisis se podrían extender a las decenas de esquemas propuestos en la literatura durante las dos últimas décadas, cuestión que nunca se ha llevado a cabo. El origen de esta omisión se encuentra en la elevada complejidad de las ecuaciones resultantes de suponer modelos de segundo orden para los buffers de los *CCII*. Si además el circuito posee más de dos elementos activos, el problema del análisis de la estabilidad es de todo punto inviable, tal como se ilustra en el apartado 4.2.3.2 del siguiente capítulo.

C) Realización tipo CCVS

Para este tipo de realización se plantea una pequeña discusión previa al análisis. Se ha mostrado en el capítulo 2 cómo en el caso de una fuente de voltaje controlada por intensidad, la realización para ganancia infinita, figura 2.12.c supone la omisión de uno de los *CCII*- que entraban a formar parte de la representación original de la misma, cuando se suponía ganancia finita, figura 2.12.c. Dentro de las cuatro fuentes controladas, éste es el único caso donde ocurre esta diferenciación entre la realización del *UAD* y la fuente controlada de la cual se origina. Es por esto que se plantea aquí una disyuntiva sobre cuál de los dos esquemas se utilizará a la hora de construir etapas amplificadoras. En este punto del estudio se ha optado por la realización de la figura 2.12.c, es decir el caso donde la fuente posee ganancia infinita, y el único parámetro existente es la impedancia parásita Z_c , que se utilizará con fines de compensación. Cabe resaltar entonces que los resultados así obtenidos no serán aplicables al caso de utilizar una realización con ganancia finita para la fuente controlada.

Es fácil ver que, introduciendo el esquema de la figura 2.12.c en las figuras 3.1.a y 3.1.b, se obtendrían resultados ideales para las funciones de transferencia, así como para las impedancias de entrada como de salida. Es por tanto necesario modelar hasta un determinado nivel el comportamiento de los elementos activos. Según se vio en la sección 2.2.2, las principales fuentes de error en un *CCII*- provienen del comportamiento en frecuencia de los buffers de voltaje e intensidad, así como de la impedancia de salida asociada al terminal *X*. De estas tres fuentes de error, en el caso presente se pueden obviar dos de ellas, a saber, las respuestas en frecuencia de segundo orden de ambos buffers, ya que se supondrá que la capacidad utilizada para la compensación, Z_c , es un efecto más relevante que aquéllas. Por tanto se supondrá dentro de este párrafo que la realización del *UAD* viene representada por la figura 3.8.

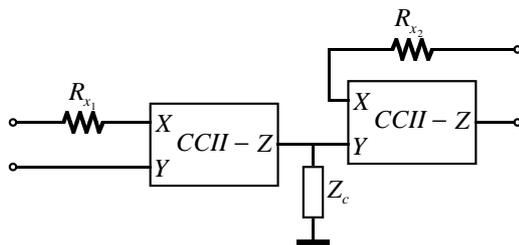


Figura 3.8 Realización de una CCVS, considerando las impedancias parásitas en los terminales *X*

C.I) Amplificador voltaje-voltaje

Polaridad directa

Tomando la polaridad directa, es decir, ambos terminales *X* positivos, la ganancia en voltaje viene expresada por:

$$\frac{V_o}{V_i} = -\frac{R_f}{R_i} \frac{1 - \frac{R_{x_1} R_{x_2}}{R_f Z_c}}{1 + R_{x_1} \left(1 + \frac{R_f + R_{x_2}}{R_i}\right) \frac{1}{Z_c}} \quad (3.25)$$

A la vista del denominador de esta expresión se concluye que existe un compromiso entre la ganancia y el ancho de banda para esta etapa. Por otra parte el denominador introduce un cero, que en circunstancias normales, i.e.:

$$1 + \frac{R_f}{R_i} \gg \frac{R_{x_2}}{R_f} \quad (3.26)$$

siempre estará situado a frecuencias alejadas del polo dominante. Este comportamiento se ha comprobado prácticamente, tomando como Z_c un condensador de 75 pF, la resistencia R_i de un valor de 1 k Ω , y variando la ganancia de la etapa con R_f . Los resultados obtenidos se muestran en la figura 3.9, donde es patente el efecto negativo de aumentar la ganancia sobre el ancho de banda de la etapa.

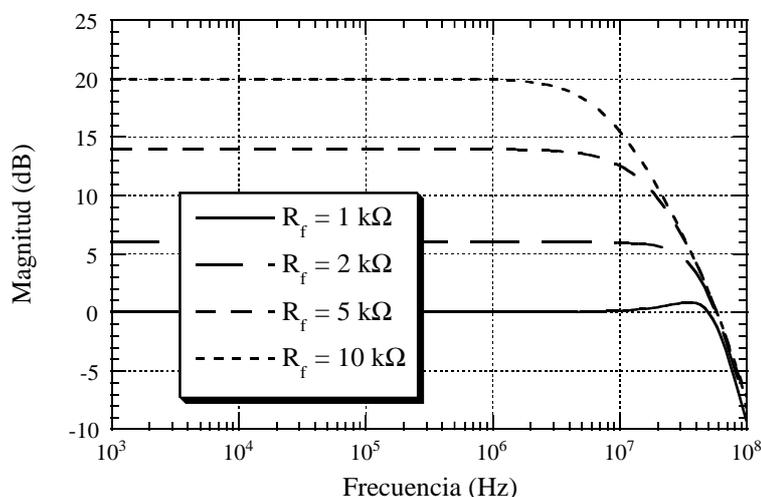


Figura 3.9 Comprobación experimental del compromiso entre ganancia y anchura de banda en una etapa voltaje-voltaje, realizada con una CCVS

Las impedancias de entrada y de salida para esta etapa se expresan como:

$$Z_{IN} = R_i + \frac{R_{x_1} (R_f + R_{x_2})}{R_{x_1} + Z_c} \quad (3.27.1)$$

$$Z_{OUT} = R_{x_1} R_{x_2} \frac{R_i + R_f}{R_i (Z_c + R_{x_1}) + R_{x_1} (R_f + R_{x_2})} \approx \frac{R_{x_1} R_{x_2}}{Z_c} \left(1 + \frac{R_f}{R_i}\right) \quad (3.27.2)$$

donde para realizar la aproximación de 3.27.2 se ha supuesto que las impedancias parásitas, R_{x_i} , son mucho menores que las impedancias externas, R_f y R_i . Cabe destacar el carácter inductivo de la impedancia de salida de la etapa. Esta característica se

debe exclusivamente a la realimentación negativa, y no a la existencia real de efectos parásitos inductivos.

Polaridad inversa

Si se escoge la polaridad inversa, es decir los terminales X como negativos, la función de transferencia para la etapa es:

$$\frac{V_o}{V_i} = - \frac{R_f}{R_i} \frac{1 - \frac{R_{x_1} R_{x_2}}{R_f} \frac{1}{Z_c}}{1 + R_{x_2} \left(1 + \frac{R_{x_1}}{R_i} \right) \frac{1}{Z_c}} \tag{3.28}$$

Ahora la condición para que el cero introducido en el numerador se pueda suponer suficientemente alejado como para no considerarlo en el análisis, es:

$$R_f \gg R_{x_1} \tag{3.29}$$

lo cual a priori es siempre válido. Bajo esta suposición, el denominador introduce un polo, el cual sólo depende de la impedancia R_i , permitiendo el control independiente entre la ganancia y el ancho de banda. Se puede ir más allá, observando que el término que depende con R_i resulta despreciable, de tal forma que son el condensador de compensación Z_c , junto con la resistencia parásita del terminal X del segundo CCII-, quienes fijan la frecuencia del polo en la etapa. En la figura 3.10 se comprueba esta circunstancia donde se ha tomado 75 pF para el condensador de compensación, y 1 kΩ para R_i , variando R_f para aumentar la ganancia. Se ha introducido en serie con el terminal X del segundo CCII- una resistencia de 30 Ω para mejorar la compensación, sin necesidad así de aumentar el valor del condensador hasta valores inaceptables.

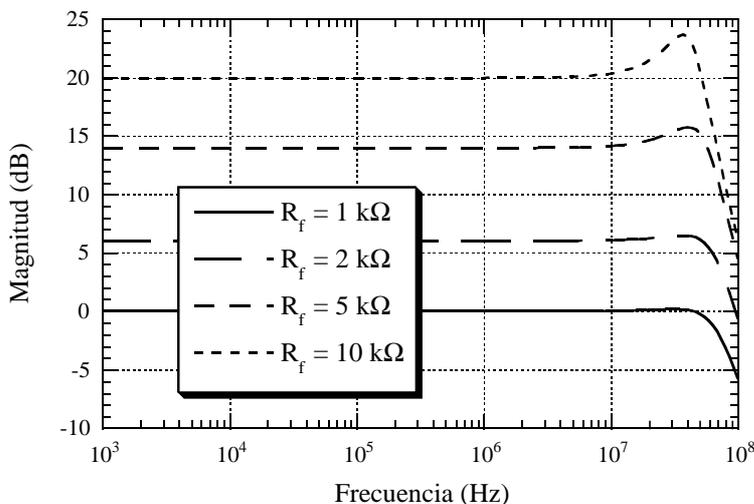


Figura 3.10 Respuesta en magnitud de la función de transferencia para una etapa voltaje-voltaje realizada mediante una CCVS

Al utilizar la polaridad inversa, la realimentación se establece entre la salida Z del segundo $CCII$ -, y el terminal X del primero. Así cabría esperar que al estar la salida conectada a un terminal de alta impedancia, se comportaría de forma no deseada.

Las expresiones para las impedancias de entrada y salida vienen dadas en 3.30. Observando 3.30.1, y comparándola con la expresión análoga en el caso de usar la polaridad directa, 3.27.1, se comprueba que la etapa con polaridad inversa posee una impedancia de entrada más baja que aquella (el numerador del segundo sumando es menor). Con la impedancia de salida, ocurre el fenómeno contrario, es decir, la correspondiente a la polaridad directa es menor que la asociada al caso de la polaridad inversa. No obstante, y como constatación de la validez de la etapa propuesta, se ha calculado según la expresión 3.30.2, la impedancia de salida para una frecuencia de 1 MHz, dando como resultado 29.12Ω , lo cual representa un valor perfectamente aceptable.

$$Z_{IN} = R_i + \frac{R_{x_1} R_{x_2}}{R_{x_2} + Z_c} \quad (3.30.1)$$

$$Z_{OUT} = R_{x_2} \frac{R_i R_f + R_{x_1} (R_i + R_f)}{R_i (Z_c + R_{x_2}) + R_{x_1} R_{x_2}} \approx \frac{R_{x_2} R_f}{Z_c} \quad (3.30.2)$$

Al igual que ocurría en el apartado 2.3.1, se obtiene en la salida un claro efecto inductivo debido a la realimentación.

C.II) Amplificador voltaje-intensidad

Polaridad directa

Éste es el único caso para el cual se podrían suponer nulas las resistencias de salida de los terminales X de los $CCII$ -, sin implicar por ello que la función de transferencia se transformaría en ideal. En efecto, dicha respuesta en frecuencia viene expresada por:

$$\frac{I_o}{V_i} = -\frac{1}{R_i} \frac{1}{1 + \frac{R_f + R_{x_2}}{Z_c + R_{x_1}} \left(1 + \frac{R_{x_1}}{R_i}\right)} \cong -\frac{1}{R_i} \frac{1}{1 + \frac{R_f}{Z_c}} \quad (3.31)$$

que, como se ve, se puede aproximar por un polo dominante determinado por la impedancia de realimentación. A priori este sistema permite entonces un ajuste independiente de la transconductancia de la etapa amplificadora respecto del ancho de banda de la misma. No obstante se verá a continuación que el caso con polaridad invertida resulta más interesante.

Respecto de las impedancias características, es claro que la impedancia de entrada viene dada por 3.27.1, mientras que la impedancia de salida es ideal

$$Z_{OUT} = \infty \quad (3.32)$$

ya que corresponde directamente al terminal Z del segundo $CCII$ -.

Polaridad inversa

En esta ocasión la función de transferencia está expresada como:

$$\frac{I_o}{V_i} = -\frac{1}{R_i} \frac{1}{1 + \frac{R_{x_2}}{Z_c} \left(1 + \frac{R_{x_1}}{R_i}\right)} \cong -\frac{1}{R_i} \frac{1}{1 + \frac{R_{x_2}}{Z_c}} \quad (3.33)$$

de tal forma que posee un polo dominante determinado por el condensador de compensación y la resistencia parásita en el terminal X del segundo CCII-. Así, comparándola con la expresión 3.31 se deduce que posee un mayor ancho de banda, mientras que persiste la independencia de la transconductancia frente al término de error. Se han comprobado mediante simulación estas conclusiones, según se muestra en la figura 3.11, en la que se ha utilizado con fines de compensación una resistencia de 30 Ω en serie con el terminal X del segundo CCII-, de tal forma que no sea necesario aumentar el valor del condensador de compensación, que se ha elegido de 75 pF. La resistencia de realimentación es de 500 Ω. Es patente la constancia de forma en la respuesta frecuencial para distintas transconductancias, lo que valida la aproximación elegida.

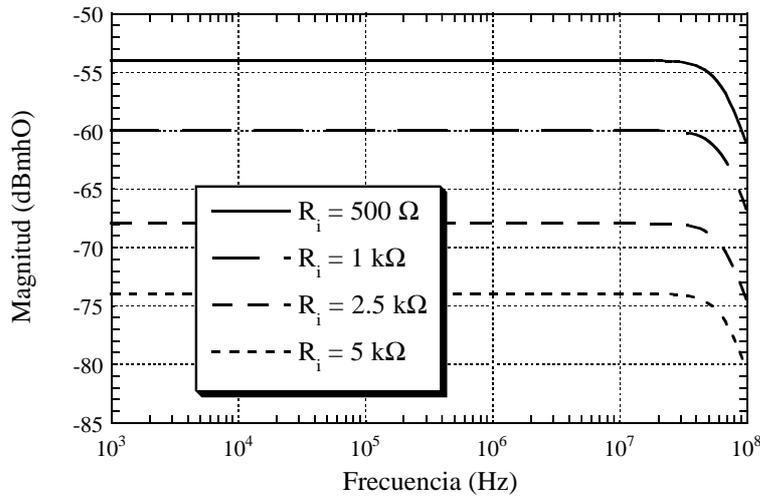


Figura 3.11 Diferentes respuestas en frecuencia, variando la transconductancia de la etapa amplificadora

En relación con las impedancias, la de entrada vendrá dada por 3.30.1, mientras que el nodo de salida presentará una impedancia dada por:

$$Z_{OUT} = R_{x_2} + \frac{Z_c}{1 + \frac{R_{x_1}}{R_i}} \cong Z_c \quad (3.34)$$

Resulta llamativo este resultado, cuando se observa que el terminal de salida es en este caso el terminal X del segundo CCII-. Aún presentando a priori una baja impedancia de salida, es la realimentación tipo serie lo que la hace aumentar, de tal forma que, aproximadamente, se comporta como si tuviera el condensador de compensación en el terminal de salida.

C.III) Amplificador intensidad-voltaje

Polaridad directa

Para este caso, la función de transferencia se refleja en la expresión 3.35. Como se puede comprobar presenta un polo dominante determinado por la resistencia parásita del terminal X del primer $CCII$ - junto con el condensador de compensación. Al igual que en apartados anteriores, se introducirá una resistencia en serie de 30Ω , para así mantener el valor de Z_c a 75 pF .

$$\frac{V_o}{I_i} = -R_f \frac{1 - \frac{R_{x_1} R_{x_2}}{R_f Z_c}}{1 + \frac{R_{x_1}}{Z_c} \left(1 + \frac{R_{x_2}}{R_g} \right)} \cong -R_f \frac{1}{1 + \frac{R_{x_1}}{Z_c}} \quad (3.35)$$

En la figura 3.12 se muestra el comportamiento en simulación de la etapa de transimpedancia, donde se aprecia la existencia de un polo alrededor de 40 MHz , que no se ve afectado de forma importante al variar la ganancia de la etapa. No obstante sí que es claro el efecto de polos de orden superior, los cuales se hacen más patentes conforme se aumenta el valor de la impedancia de realimentación. Para la resistencia de carga se ha utilizado un valor de $1 \text{ k}\Omega$.

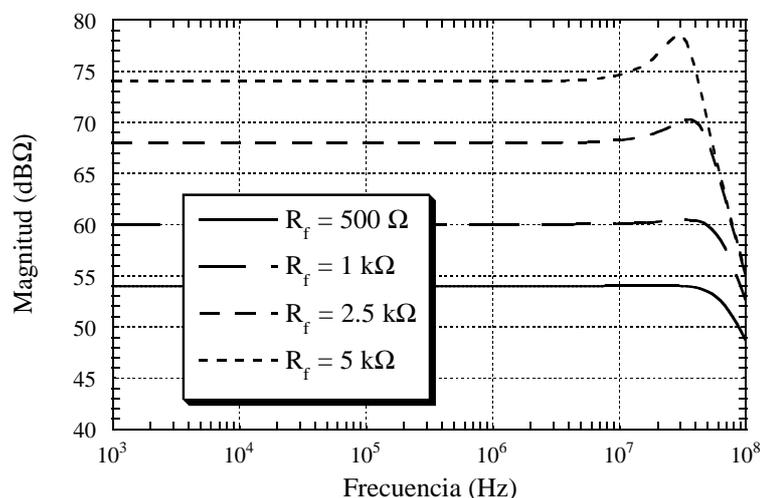


Figura 3.12 Respuesta en magnitud de la transimpedancia en función de la frecuencia, para una etapa realizada con un $CCVS$, escogida la polaridad directa

Para las impedancias de entrada y salida, se obtienen las siguientes expresiones, y sus correspondientes aproximaciones:

$$Z_{IN} = R_{x_1} \frac{R_f R_g + R_{x_2} (R_f + R_g)}{R_g (Z_c + R_{x_1}) + R_{x_1} R_{x_2}} \cong \frac{R_f}{Z_c} R_{x_1} \quad (3.36.1)$$

$$Z_{OUT} = \frac{R_g R_{x_1} R_{x_2}}{R_g (Z_c + R_{x_1}) + R_{x_1} R_{x_2}} \cong \frac{R_{x_1} R_{x_2}}{Z_c} \tag{3.36.2}$$

de las que cabe reseñar el buen comportamiento en la impedancia de salida.

Polaridad inversa

Para la elección de la polaridad inversa, se tiene que la función de transferencia, 3.37, posee un polo dominante para la frecuencia determinada por la resistencia parásita del terminal X del segundo CCII-, junto con la resistencias de la realimentación de la etapa y de nuevo el condensador de compensación. Hay que resaltar que se ha despreciado, al igual que en el caso de la elección de la polaridad directa, el numerador, ya que introduce un cero para frecuencias muy superiores a las del polo comentado, de tal forma que es lícito no introducirlo en el análisis.

$$\frac{V_o}{I_i} = -R_f \frac{1 - \frac{R_{x_1} R_{x_2}}{R_f Z_c}}{1 + \frac{R_{x_2}}{Z_c} \left(1 + \frac{R_f + R_{x_1}}{R_g} \right)} \cong -R_f \frac{1}{1 + \frac{R_{x_2}}{Z_c} \left(1 + \frac{R_f}{R_g} \right)} \tag{3.37}$$

Una vez más, se presenta de nuevo la circunstancia por la que se altera el denominador del término de error al variar la transimpedancia de la etapa. Este hecho se refleja en la figura 3.13, en la que se comprueba cómo al aumentar la resistencia de realimentación, disminuye el ancho de banda de la etapa. Los valores para los componentes son idénticos a los del caso anterior.

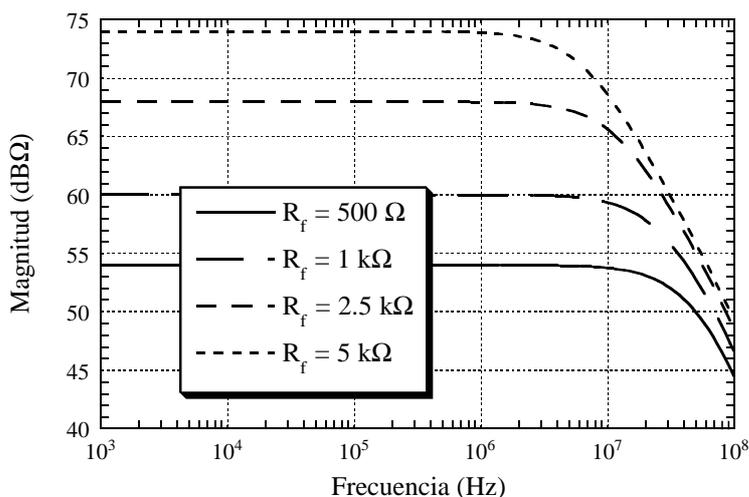


Figura 3.13 Disminución del ancho de banda en una etapa de transimpedancia, al aumentar ésta, supuesto que se realiza mediante una CCVS

No obstante, cabría la posibilidad de imponer una condición de diseño que cancelara esta disminución en el ancho de banda. Ésta consistiría en imponer la igualdad entre la

resistencia de realimentación y la de carga. En el apartado D.III se hará uso de esta condición de diseño, obteniendo resultados satisfactorios.

Las impedancias características son:

$$Z_{IN} = R_{x_1} R_{x_2} \frac{R_f + R_g}{R_g(Z_c + R_{x_2}) + R_{x_2}(R_f + R_{x_1})} \cong R_{x_1} R_{x_2} \frac{R_f + R_g}{R_g Z_c} \quad (3.38.1)$$

$$Z_{OUT} = \frac{R_g(R_f + R_{x_1})R_{x_2}}{R_g(Z_c + R_{x_2}) + R_{x_2}(R_f + R_{x_1})} \cong R_{x_2} \frac{R_f}{Z_c} \quad (3.38.2)$$

Cotejándolas con las expresiones 3.36, se llega a la conclusión de que la impedancia de entrada es menor en el caso de la polaridad inversa, mientras que es la polaridad directa la que posee mejor impedancia de salida.

C.IV) Amplificador intensidad-intensidad

Polaridad directa

La relación entre la intensidad de entrada y salida viene expresada como:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{R_g} \right) \frac{1 + \frac{R_{x_1}}{Z_c \left(1 + \frac{R_f}{R_g} \right)}}{1 + \frac{R_{x_1}}{Z_c} \left(1 + \frac{R_{x_2}}{R_g} \right)} \cong - \left(1 + \frac{R_f}{R_g} \right) \frac{1}{1 + \frac{R_{x_1}}{Z_c}} \quad (3.39)$$

donde para la aproximación se ha supuesto que el cero se encuentra en frecuencias suficientemente alejadas del polo. Esta aproximación es tanto más válida cuanto mayor sea la ganancia de la etapa. A la vista de 3.39, se vuelve a deducir la independencia de la anchura de banda frente a la ganancia en DC de la etapa. Como comprobación de esta propiedad se muestra en la figura 3.14 la magnitud de la respuesta en frecuencia, utilizando como en apartados anteriores una resistencia de 30Ω en serie con el terminal X del primer $CCII$. En dicha figura se observa la gran influencia que presentan los polos de orden superior en el comportamiento de la etapa, siendo más acusada conforme aumenta la ganancia.

Por otra parte la impedancia de entrada es la misma que en el caso C.III, mientras que la impedancia de salida es ideal:

$$Z_{OUT} = \infty \quad (3.40)$$

Polaridad inversa

Tomando la polaridad inversa, la ganancia en corriente viene expresada como:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{R_g} \right) \frac{1}{1 + \frac{R_{x_2}}{Z_c} \left(1 + \frac{R_f + R_{x_1}}{R_g} \right)} \cong - \left(1 + \frac{R_f}{R_g} \right) \frac{1}{1 + \frac{R_{x_2}}{Z_c} \left(1 + \frac{R_f}{R_g} \right)} \quad (3.41)$$

donde se tiene un compromiso entre el ancho de banda y la ganancia de la etapa, al igual que en casos anteriores. En la figura 3.15, se muestran los resultados por simulación, obtenidos con análogos elementos que en el caso de polaridad directa, pero sin utilizar resistencia añadida al terminal X del primer CCII-, ya que ahora la ganancia favorece a la compensación, de tal forma que los polos de orden superior no afectan para nada la respuesta en frecuencia conforme aquélla aumenta.

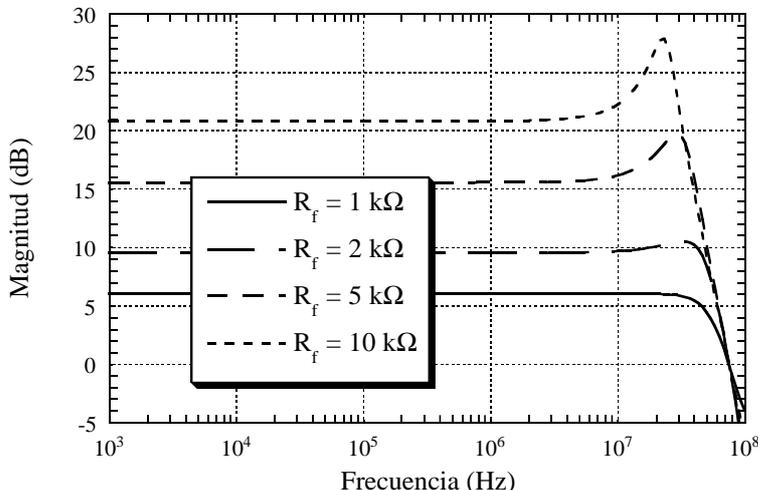


Figura 3.14 Respuesta en magnitud del amplificador de corriente realizado con una CCVS con polaridad directa

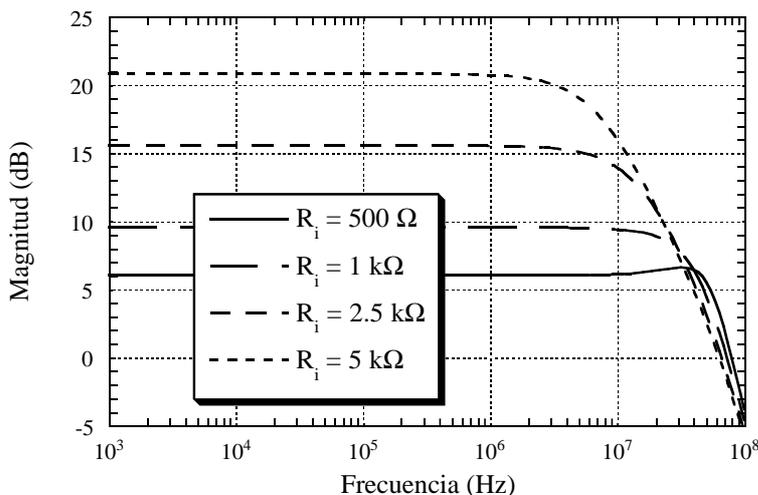


Figura 3.15 Compromiso entre ganancia y anchura de banda para una etapa intensidad-intensidad, realizada con una CCVS con polaridad inversa

La impedancia de entrada es idéntica a la expresada en 3.38.1, mientras que la impedancia de salida es:

$$Z_{OUT} = \frac{R_g(Z_c + R_{x_2}) + R_{x_2}(R_f + R_{x_1})}{R_f + R_g + R_{x_1}} \cong \frac{Z_c}{1 + \frac{R_f}{R_g}} \quad (3.42)$$

Con esta realización, la impedancia de salida presenta un comportamiento peor que el obtenido para la polaridad directa: expresión 3.40.

D) Realización tipo CCCS

Como última opción para realizar un elemento activo se escogerá el mostrado en la figura 2.12.d, que corresponde a una fuente de corriente controlada por corriente. Para este caso, se comprueba por simulación que para todas aquellas etapas que posean polaridad inversa el sistema resultante es inestable, debido al efecto de polos de orden superior, los cuales no se han introducido en el análisis, y cuyo origen se encuentra en los buffers de los *CCII*-, así como en el comportamiento inductivo del terminal *X* de los mismos. No obstante, tanto la función de transferencia como las expresiones de las impedancias de salida y de entrada, son idénticas a las del caso de la polaridad directa, sin más que sustituir la impedancia Z_b^* por Z_b . Es decir, para las etapas con polaridad inversa, la impedancia parásita asociada al nodo interno de alta impedancia, Z_c , se cancela. Por todo esto, en este apartado no se indicarán las expresiones de las etapas con polaridad inversa.

D.1) Amplificador voltaje-voltaje

Polaridad directa

Implementar una etapa de ganancia en voltaje mediante una *CCCS* puede parecer a priori una contradicción. Sin embargo posee varias ventajas [ALL 80]. Observando la función de transferencia 3.43, la conclusión inmediata es la independencia de la respuesta en frecuencia respecto de la ganancia de la etapa.

$$\frac{V_o}{V_i} = -\frac{R_f}{R_i} \frac{1}{1 + \frac{Z_a}{Z_b}} \quad (3.43)$$

Esta propiedad queda demostrada en la figura 3.16, en la que se observa cómo el polo dominante queda fijo al variar la ganancia. Sin embargo, es necesario resaltar que, al aumentar el valor de la resistencia de realimentación R_f , sí que se observan cambios. En dicha figura se han representado, a modo de comparación, los resultados obtenidos para cuatro ganancias diferentes, pero dejando fija una u otra resistencia externa. Para las cuatro gráficas marcadas con símbolos, se ha dejado constante la resistencia de realimentación, con un valor de 5 k Ω , mientras que para las otras cuatro curvas sin ningún tipo de marca, la resistencia de entrada se fija a 1 k Ω . Se ha utilizado un condensador de 75 pF para Z_b , mientras que Z_a es una resistencia de 100 Ω . Por tanto y como conclusión, se observa una relativa constancia en la respuesta en frecuencia, con una dependencia menor respecto de la resistencia de realimentación.

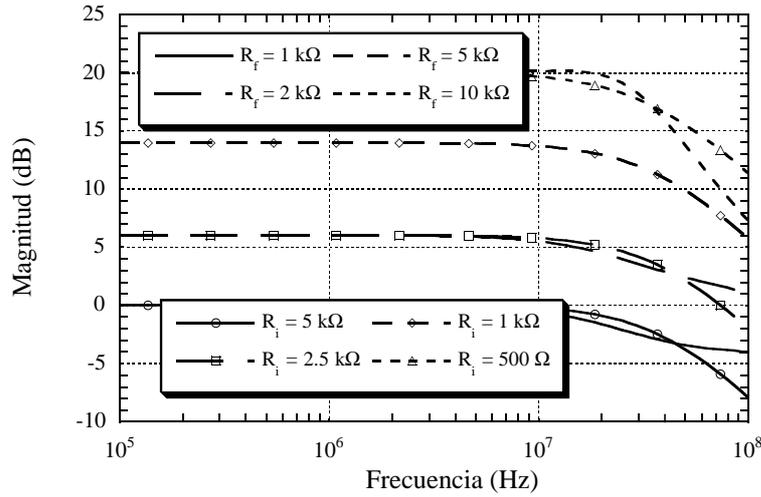


Figura 3.16 Comparación de las respuestas en magnitud para cuatro ganancias dadas, manteniendo constante o la resistencia de realimentación o la de entrada, para una etapa voltaje-voltaje implementada mediante una CCCS

Respecto a las impedancias de entrada y salida, vienen expresadas como:

$$Z_{IN} = R_i \quad (3.44.1)$$

$$Z_{OUT} = R_f \frac{1}{1 + \frac{Z_b}{Z_a}} \quad (3.44.2)$$

Por todo esto se concluye remarcando que la realización de una etapa voltaje-voltaje con una CCCS no presenta el compromiso ganancia-anchura de banda, teniendo además una impedancia de entrada ideal.

D.II) Amplificador voltaje-intensidad

Polaridad directa

Ahora la configuración es idéntica al caso anterior, variando exclusivamente la salida. Por esto se espera que las características coincidan con las expresiones 3.43 y 3.44, salvo en el caso de la impedancia de salida que será ideal.

En efecto, el término de error de la función de transferencia, 3.45, no posee dependencia con la impedancia de entrada, que es la que fija la transconductancia de la etapa.

$$\frac{I_o}{V_i} = -\frac{1}{R_i} \frac{1}{1 + \frac{Z_a}{Z_b}} \quad (3.45)$$

Esta propiedad se refleja en la figura 3.17, en la que se han utilizado los mismos valores que para el apartado anterior, con R_f de 5 kΩ. Como se apuntó en dicho apartado, existe una dependencia de la función de transferencia con la resistencia de realimentación, que

no aparece en 3.45, de tal forma que si se aumenta su valor, el ancho de banda aumenta ligeramente. Se ha optado por el valor mencionado, debido a que valores mayores hacen que la respuesta en frecuencia deje de ser totalmente plana, ver figura 3.16.

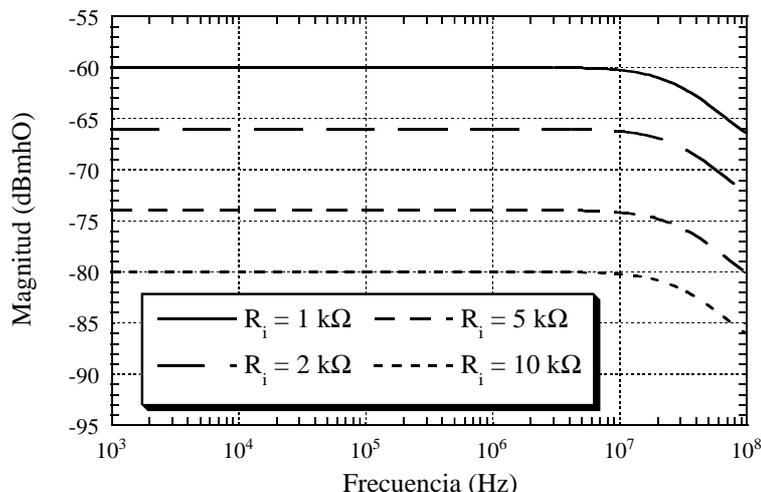


Figura 3.17 Transconductancia para una etapa implementada con una CCCS

En el apartado de impedancias, ambos puertos se comportan como ideales ya que:

$$Z_{IN} = R_i \tag{3.46.1}$$

$$Z_{OUT} = \infty \tag{3.46.2}$$

D.III) Amplificador intensidad-voltaje

Polaridad directa

En este caso, el término de error de la función de transferencia, 3.47, sí que posee una dependencia con la resistencia de realimentación, la cual fija la transimpedancia de la etapa. No obstante, y supuesto que existe libertad a la hora de escoger la resistencia de carga, se puede imponer la condición de diseño de igualar ambas impedancias. De esta manera, se independiza la respuesta en frecuencia de la ganancia de la etapa.

$$\frac{V_o}{I_i} = -R_f \frac{1}{1 + \left(1 + \frac{R_f}{R_g}\right) \frac{Z_a}{Z_b^*}} \tag{3.47}$$

A modo de comprobación, se ha simulado la etapa intensidad-voltaje, obteniéndose los resultados mostrados en la figura 3.18, los cuales están de acuerdo con 3.47. Concretamente, se obtiene que las respuestas en frecuencia poseen un polo dominante alrededor de 7 MHz, que es aproximadamente la mitad del asociado a las gráficas 3.16 y 3.17, lo cual es lógico para la condición de diseño impuesta, comparando las expresiones 3.47 y 3.45. Por otra parte, es clara la presencia de un cero que se desplaza al aumentar el valor de las impedancias y que no está presente en 3.47, de tal forma que en ningún

momento se llega a obtener una pendiente de 20 dB/década. Este cero es debido obviamente por un parámetro que no se ha tenido en cuenta en el análisis como es la resistencia de salida del terminal X del primer CCII-.

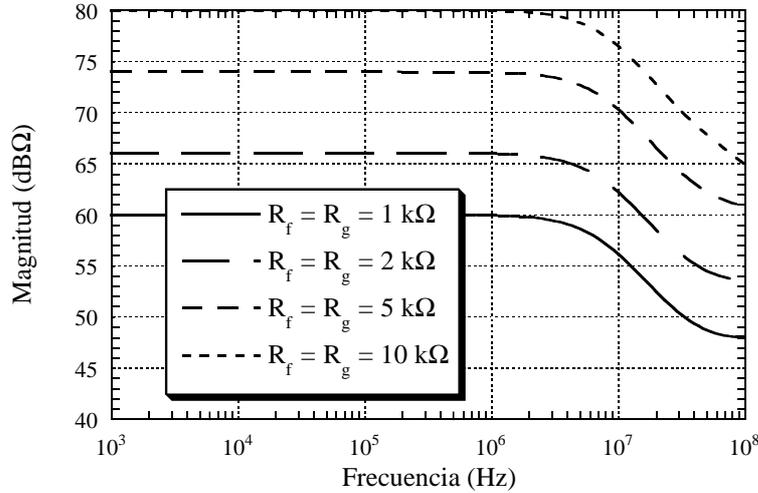


Figura 3.18 Respuesta en frecuencia de una etapa de transimpedancia implementada mediante una CCCS

Una vez más, el puerto de entrada se comporta idealmente, respecto de su impedancia, mientras que la de salida se expresa como:

$$Z_{IN} = 0 \tag{3.48.1}$$

$$Z_{OUT} = R_f \frac{1}{1 + \frac{R_f}{R_g} + \frac{Z_b^*}{Z_a}} \tag{3.48.2}$$

D.IV) Amplificador intensidad-intensidad

Polaridad directa

Para la última de las posibilidades, y al no variar la configuración, se obtienen los mismos resultados que en el apartado D.III. Concretamente la función de transferencia se expresa como:

$$\frac{I_o}{I_i} = - \left(1 + \frac{R_f}{R_g} \right) \frac{1}{1 + \left(1 + \frac{R_f}{R_g} \right) \frac{Z_a}{Z_b^*}} \tag{3.49}$$

Ahora sí que no existe la posibilidad de independizar el término de error de 3.49 de la ganancia de la etapa, por lo que se debe esperar la existencia de un compromiso entre la ganancia y la anchura de banda. En la figura 3.19 se muestran los resultados de simulación obtenidos con una resistencia de carga fija a 1 kΩ, variando la resistencia de realimentación para aumentar la ganancia. Se evidencia, al igual que en el apartado D.III,

la existencia de un cero introducido por la impedancia parásita del terminal X del primer $CCII$.

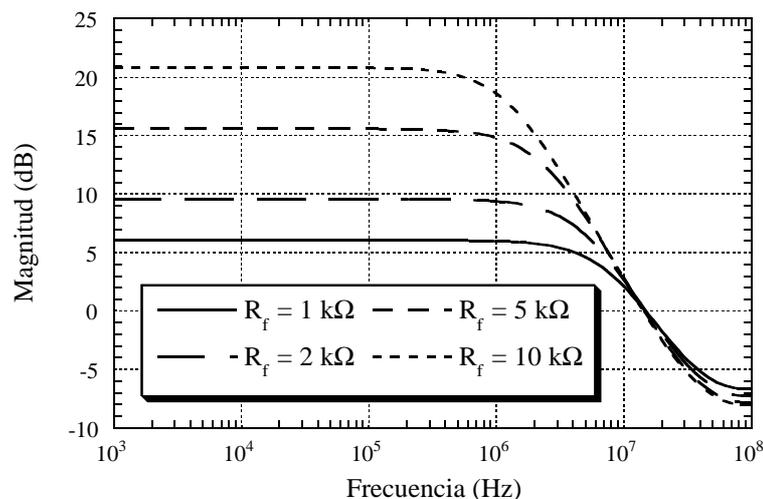


Figura 3.19 Ganancia en corriente en una etapa implementada mediante una CCCS, donde se aprecia el compromiso entre ganancia-anchura de banda

Como era de esperar, esta etapa así implementada se comporta de forma ideal para sus impedancias de entrada y salida.

$$Z_{IN} = 0 \quad (3.50.1)$$

$$Z_{OUT} = \infty \quad (3.50.2)$$

Tabla resumen

A modo de resumen, se han reunido en la tabla 3.1, las propiedades más relevantes para cada una de las treinta y dos posibles configuraciones en las etapas inversoras. En ella se observan las ventajas de usar una u otra implementación del UAD , de tal forma que es la basada en una $CCVS$ la que a priori parece más versátil a la hora de realizar etapas amplificadoras. Es claro que escogiendo adecuadamente la polaridad de la $CCVS$, en todos los casos es posible obtener una independencia entre la ganancia de la etapa y su ancho de banda, manteniendo en todos los casos una buena respuesta en frecuencia. Esta propiedad se ha encontrado para otras realizaciones del elemento activo, pero en ninguna de ellas se ha mantenido en los cuatro tipos de conversiones. Por otra parte se han detallado en esta tabla los casos en los que alguna de las impedancias de entrada o salida se comportaban de forma ideal. En este aspecto resaltan las etapas implementadas mediante una $CCCS$. En todas ellas, el puerto de entrada resulta ideal. Este hecho es una consecuencia de haber supuesto nula la impedancia del terminal X del $CCII$ - de entrada en la realización de una $CCCS$. En este aspecto la comparación no es equitativa ya que en la etapa implementada con $CCVS$, se han supuesto los $CCII$ -s con una impedancia no nula en sus terminales X . Transportando esta hipótesis al resto de las etapas, no se habría obtenido en ningún caso una impedancia de entrada/salida ideal.

3.2 Etapas básicas de filtrado

En esta sección se estudiarán dos de las etapas más clásicas a la hora de filtrar una señal analógica. Concretamente se analizarán en primer lugar los filtros Sallen-Key, para pasar después a los *MFB (Multiple Feedback)*. Partiendo de la topología general mostrada en la figura 3.20, se puede particularizar en función de la red pasiva de realimentación, de tal forma que se obtengan los casos particulares de los dos tipos de filtros mencionados.

Al contrario de la sección precedente, en la cual se han analizado todas las posibles combinaciones entre red externa e implementación del *UAD*, en ésta sólo se contemplará una sola posibilidad: un elemento activo transconductor. Como ha quedado dicho en el capítulo 2, la estructura 2.12.b, considerada como elemento transconductor de *alta ganancia*, es la más novedosa dentro de las cuatro posibles, y por tanto es la que merecería un estudio más detallado. Es por eso que en esta sección, así como en otras sucesivas, se centrará el análisis en su comportamiento para diferentes aplicaciones.

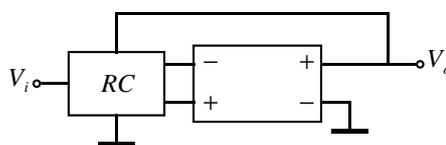


Figura 3.20 Esquema general para una etapa de filtrado, supuesta una salida del elemento activo a tierra

3.2.1 Filtros Sallen-Key

El esquema genérico de los filtros Sallen-Key se muestra en la figura 3.21 [CHE 86]. En ella se ha supuesto que el elemento activo es de tipo transconductor, con una ganancia Y_T . A la hora de calcular la función de transferencia, en primer lugar se calcula el equivalente Thèvenin de la red formada por el *UAD* junto con las dos resistencias que conforman el lazo de realimentación negativo, de tal forma que se puede calcular la ganancia en tensión, así como la impedancia de salida, por las siguientes expresiones:

$$k = \frac{1 + \frac{R_f}{R_g}}{1 + \frac{1}{Y_T R_g}} \tag{3.51.1}$$

$$Z_o = \frac{k}{Y_T} \tag{3.51.2}$$

Se observa que:

$$\lim_{Y_T \rightarrow \infty} k = 1 + \frac{R_f}{R_g} \equiv k_o \tag{3.52}$$

que corresponde a la ganancia ideal de la etapa amplificadora.

Si se caracteriza la red pasiva *RC* por los siguientes parámetros:

$$T_{ff} \equiv \frac{V_3}{V_1} \Big|_{V_2=0, I_3=0} \quad T_{fb} \equiv \frac{V_3}{V_2} \Big|_{V_1=0, I_3=0} \quad N_{ff} \equiv \frac{V_3}{V_1} \Big|_{I_2=0, I_3=0} \quad Z_{fb} \equiv \frac{V_3}{I_2} \Big|_{V_1=0, I_3=0} \quad (3.53)$$

se puede calcular, gracias a ellos, la función de transferencia en voltaje como:

$$H(s) = \frac{N_{ff} - \left(1 - k \frac{Z_{fb}}{Z_o}\right) T_{ff}}{\frac{Z_{fb}}{Z_o} + \left(1 - k \frac{Z_{fb}}{Z_o}\right) T_{fb}} = k \frac{T_{ff} + \frac{N_{ff} - T_{ff}}{Y_T Z_{fb}}}{1 - k T_{fb} + \frac{k T_{fb}}{Y_T Z_{fb}}} \quad (3.54)$$

Como comprobación de la validez de esta expresión, se puede calcular el límite de la misma, para Y_T tendiendo a infinito, de tal forma:

$$\lim_{Y_T \rightarrow \infty} H(s) = k_o \frac{T_{ff}}{1 - k_o T_{fb}} \quad (3.55)$$

resultado que efectivamente coincide con el clásico para opamps [CHE 86].

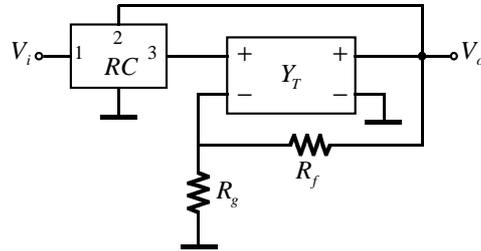


Figura 3.21 Esquema general para un filtro Sallen-Key

Una vez obtenida la función de transferencia general, el siguiente paso consiste en determinar la red pasiva de realimentación. Para los filtros Sallen-Key dicha red se muestra en la figura 3.22.

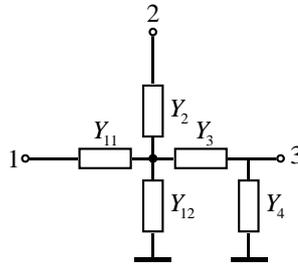


Figura 3.22 Red pasiva de realimentación para un filtro Sallen-Key

Para dicha red, se cumple que:

$$T_{ff} = \frac{Y_{11} Y_3}{(Y_{11} + Y_{12} + Y_2 + Y_3)(Y_3 + Y_4) - Y_3^2} \quad (3.56.1)$$

$$T_{fb} = \frac{Y_2 Y_3}{(Y_{11} + Y_{12} + Y_2 + Y_3)(Y_3 + Y_4) - Y_3^2} \quad (3.56.2)$$

$$N_{ff} = \frac{Y_{11}Y_3}{(Y_{11} + Y_{12} + Y_3)(Y_3 + Y_4) - Y_3^2} \quad (3.56.3)$$

$$Z_{fb} = \frac{Y_3}{(Y_{11} + Y_{12} + Y_3)(Y_3 + Y_4) - Y_3^2} \quad (3.56.4)$$

de tal forma que sustituyendo en 3.54, se llega a la expresión final:

$$H(s) = \frac{kY_{11}Y_3 + k\frac{Y_{11}Y_2}{Y_T}(Y_3 + Y_4)}{(Y_{11} + Y_{12} + Y_2)(Y_3 + Y_4) + Y_3Y_4 - kY_2Y_3 + k\frac{Y_2}{Y_T}[(Y_{11} + Y_{12})(Y_3 + Y_4) + Y_3Y_4]} \quad (3.57)$$

De esta fórmula se deduce el comportamiento de la etapa de filtrado en función de la transconductancia del *UAD*. Cabe destacar que 3.57 se puede utilizar tanto para analizar el efecto de tener un elemento activo cuya ganancia sea finita, como para predecir la variación en el número de polos del sistema, supuesto que la transconductancia posee una dependencia frecuencial. En lo que sigue se presupondrá el primero de estos casos, es decir, el *UAD* posee ganancia limitada, pero constante respecto de la frecuencia. Se verá que este sencillo modelo es suficiente para explicar la aparición de ceros parásitos, así como desplazamientos de los polos originales.

Se detallarán a continuación, las etapas paso bajo, paso alto y paso banda, correspondientes a la topología Sallen-Key.

Sallen-Key Paso Bajo

Para obtener una respuesta de tipo paso bajo, se deberán escoger las impedancias como:

$$Y_{11} \rightarrow \frac{1}{R_{11}} \quad Y_{12} \rightarrow 0 \quad Y_2 \rightarrow C_2s \quad Y_3 \rightarrow \frac{1}{R_3} \quad Y_4 \rightarrow C_4s \quad (3.58)$$

Sustituyendo en 3.57 se llegará a una expresión, cuya forma genérica viene dada por:

$$H(s) = \frac{a_2s^2 + a_1s + a_0}{b_2s^2 + b_1s + b_0} \quad (3.59)$$

en donde:

$$a_2 = kC_2C_4R_3 \quad (3.60.1)$$

$$a_1 = kC_2 \quad (3.60.2)$$

$$a_0 = kY_T \quad (3.60.3)$$

$$b_2 = C_2C_4(kR_1 + kR_3 + R_1R_3Y_T) \quad (3.60.4)$$

$$b_1 = C_2k + (C_2R_1 + C_4R_1 - kC_2R_1 + C_4R_3)Y_T \quad (3.60.5)$$

$$b_0 = Y_T \quad (3.60.6)$$

A la vista de todos estos parámetros la primera conclusión inmediata es la aparición de dos ceros, que dan lugar a una ganancia finita, no nula, para frecuencias arbitrariamente

grandes. Es decir la ganancia asintótica del filtro para frecuencias elevadas, viene expresada como:

$$\lim_{\omega \rightarrow \infty} H(j\omega) = \frac{a_2}{b_2} = \frac{1}{1 + R_1 \left(\frac{1}{R_3} + \frac{Y_T}{k} \right)} \quad (3.61)$$

No obstante es claro que este valor de ganancia es proporcional a la inversa de la ganancia del elemento transconductor, de tal forma que se podría considerar aceptable tal comportamiento. Por otra parte, la frecuencia característica de los ceros mencionados es:

$$\omega_z^2 = \frac{a_0}{a_1} = \frac{Y_T}{C_2 C_4 R_3} \quad (3.62)$$

A la vista de estas propiedades, una condición de diseño que contribuiría a minimizar los errores debidos a la ganancia finita del *UAD*, podría ser elegir R_3 de valor lo menor posible, consiguiendo así alejar la posición de los ceros y disminuyendo la ganancia para frecuencias altas.

Todos estos resultados se muestran en la figura 3.23, en la que se ha detallado la respuesta en magnitud de un filtro Butterworth ideal con 10 krad/s para su frecuencia característica, así como la respuesta simulada supuesto un *UAD* transconductor con una ganancia de 16 mmhO. Para la red pasiva se tomaron resistencias y condensadores con valores idénticos, siendo de 1 k Ω para las primeras, y de 100 nF para los segundos. Las resistencias del lazo de realimentación negativo se eligieron para proporcionar una ganancia en DC de 1.58, necesaria para la condición de Butterworth.

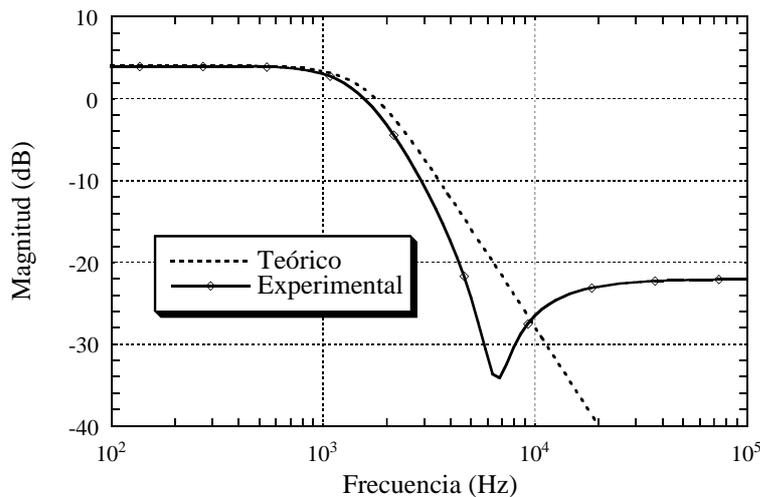


Figura 3.23 Magnitud de la respuesta en frecuencia para un filtro paso bajo Sallen-Key basado en un transconductor

Sallen-Key Paso Alto

Para obtener una respuesta de tipo paso alto, las impedancias de la red pasiva se deben elegir de la siguiente manera:

$$Y_{11} \rightarrow C_1 s \quad Y_{12} \rightarrow 0 \quad Y_2 \rightarrow \frac{1}{R_2} \quad Y_3 \rightarrow C_3 s \quad Y_4 \rightarrow \frac{1}{R_4} \quad (3.63)$$

Sustituyendo en 3.57, y utilizando la parametrización definida en 3.59, se obtiene:

$$a_2 = k C_1 C_3 R_4 (1 + R_2 Y_T) \quad (3.64.1)$$

$$a_1 = k C_1 \quad (3.64.2)$$

$$a_0 = 0 \quad (3.64.3)$$

$$b_2 = C_1 C_3 R_4 (k + R_2 Y_T) \quad (3.64.4)$$

$$b_1 = k(C_1 + C_3) + [C_1 R_2 + C_3 R_2 + C_3 R_4 (1 - k)] Y_T \quad (3.64.5)$$

$$b_0 = Y_T \quad (3.64.6)$$

De nuevo, y al igual que ocurría en el caso anterior, aparece un cero parásito. Pero al contrario de aquél, en este caso es de orden unidad, $a_0 = 0$, de tal forma que la ganancia a bajas frecuencias tenderá a cero, pero con una pendiente de 20 dB/década, y no con los 40 dB/década teóricos. La frecuencia en la que se encuentra ese cero viene dada por:

$$\omega_z = \frac{1}{C_3 R_4 (1 + R_2 Y_T)} \quad (3.65)$$

que, supuestos los valores del apartado anterior para las impedancias, así como una transconductancia de 6.25 mmhO para el elemento activo (se ha disminuido por razones de estabilidad), da una frecuencia de 220 Hz.

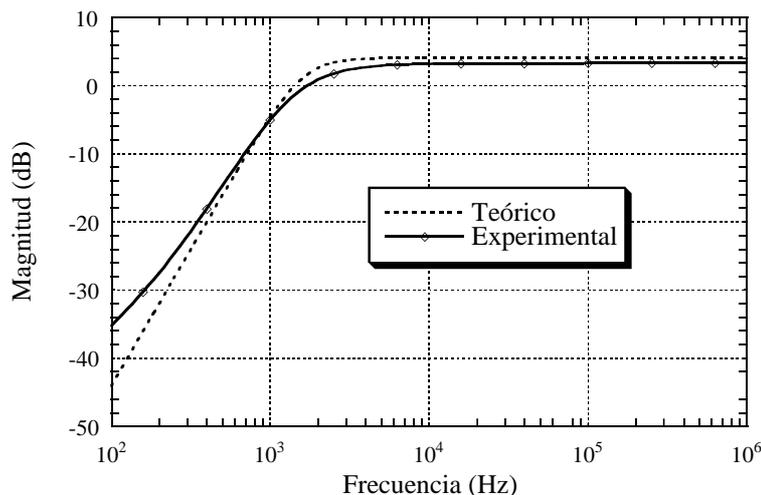


Figura 3.24 Magnitud de la respuesta en frecuencia para un filtro Sallen-Key paso alto implementado con un transconductor

En la figura 3.24 se muestran los resultados por simulación obtenidos con estos supuestos y donde se comprueba la existencia de un cero, así como la desviación en la ganancia para la zona de paso. De 3.59 y 3.64 se tiene:

$$\lim_{\omega \rightarrow \infty} H(j\omega) = k \frac{1 + R_2 Y_T}{k + R_2 Y_T} \quad (3.66)$$

De 3.65 y 3.66 se deduce que conforme se aumenta el valor de R_2 se disminuye la frecuencia del cero, así como se reduce el error en la ganancia de paso. Por esto se puede considerar como una condición de diseño interesante el tomar R_2 de valor lo más elevado posible.

Sallen-Key Paso Banda

Mientras que en los dos casos anteriores se ha podido prescindir de la impedancia Y_{12} , para la realización de una respuesta paso-banda, no obstante, sí que se es necesaria su utilización. Concretamente una posible elección será:

$$Y_{11} \rightarrow \frac{1}{R_{11}} \quad Y_{12} \rightarrow C_{12}s \quad Y_2 \rightarrow \frac{1}{R_2} \quad Y_3 \rightarrow C_3s \quad Y_4 \rightarrow \frac{1}{R_4} \quad (3.67)$$

de tal forma que los parámetros característicos para la función de transferencia son:

$$a_2 = 0 \quad (3.68.1)$$

$$a_1 = kC_3R_4(1 + R_2Y_T) \quad (3.68.2)$$

$$a_0 = k \quad (3.68.3)$$

$$b_2 = C_{12}C_3R_{11}R_4(k + R_2Y_T) \quad (3.68.4)$$

$$b_1 = k(C_{12}R_{11} + C_3R_{11} + C_3R_4) + Y_T[C_{12}R_{11}R_2 + C_3R_{11}R_2 + C_3R_{11}R_4(1 - k) + C_3R_2R_4] \quad (3.68.5)$$

$$b_0 = k + (R_{11} + R_2)Y_T \quad (3.68.6)$$

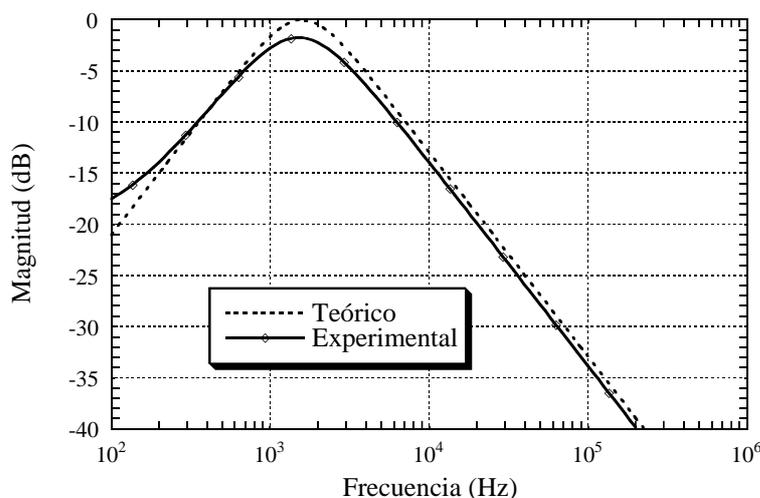


Figura 3.25 Magnitud de la función de transferencia para un filtro paso banda Sallen-Key implementado con un transistor

Observando que a_0 no es nulo, se deduce que la ganancia para frecuencias bajas no se anula:

$$\lim_{\omega \rightarrow 0} H(j\omega) = \frac{a_0}{b_0} = \frac{1}{1 + Y_T \frac{R_{11} + R_2}{k}} \quad (3.69)$$

Si se toman los valores de 1 kΩ, y 100 nF para las resistencias y condensadores, y estando la etapa amplificadora realimentada para ganancia 1.58, la ganancia representada por la expresión 3.69 es de -20.12 dB. Todas estas propiedades se reflejan en la figura 3.25 donde se representa la desviación de la respuesta real respecto de la ideal.

3.2.2 Filtros MFB (Multiple Feedback)

Una de las topologías más comunes a la hora de implementar etapas de filtrado es la denominada de Realimentación Múltiple (MFB). La aproximación consiste en partir de un elemento activo con ganancia infinita, realimentándolo negativamente con una red pasiva RC. La figura 3.26 muestra el esquema general de este tipo de filtros, donde ya se ha supuesto que el elemento activo es del tipo transconductor, con una ganancia Y_T .

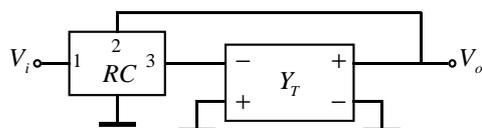


Figura 3.26 Esquema general de un filtro MFB con un elemento activo transconductor

Con la misma parametrización para la red pasiva de realimentación que en el apartado anterior, se puede calcular la función de transferencia en voltaje como:

$$H(s) = \frac{N_{ff} - T_{ff}(1 + Z_{fb}Y_T)}{T_{fb}(1 + Z_{fb}Y_T)} \quad (3.70)$$

A modo de comprobación se puede hacer tender a infinito la transconductancia del elemento activo, de tal forma que:

$$\lim_{Y_T \rightarrow \infty} H(s) = -\frac{T_{ff}}{T_{fb}} \quad (3.71)$$

que corresponde con el resultado clásico, obtenido para opamps ideales [CHE 86].

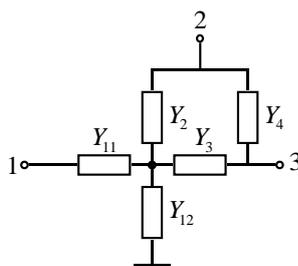


Figura 3.27 Esquema para la red pasiva de realimentación en un filtro MFB

A la hora de especificar el tipo de red pasiva, el esquema seguido se muestra en la figura 3.27, de tal forma que las funciones de red, están expresadas como:

$$T_{ff} = \frac{Y_{11}Y_3}{(Y_{11} + Y_{12} + Y_2)(Y_3 + Y_4) + Y_3Y_4} \quad (3.72.1)$$

$$T_{fb} = \frac{Y_2Y_3 + Y_4(Y_{11} + Y_{12} + Y_2 + Y_3)}{(Y_{11} + Y_{12} + Y_2)(Y_3 + Y_4) + Y_3Y_4} \quad (3.72.2)$$

$$N_{ff} = \frac{Y_{11}}{Y_{11} + Y_{12}} \quad (3.72.3)$$

$$Z_{fb} = \frac{Y_2Y_3 + Y_4(Y_{11} + Y_{12} + Y_2 + Y_3)}{(Y_{11} + Y_{12})(Y_2Y_3 + Y_2Y_4 + Y_3Y_4)} \quad (3.72.4)$$

Sustituyendo estos resultados en la expresión 3.70, la función de transferencia para el filtro queda:

$$H(s) = \frac{-Y_{11}Y_3 + \frac{Y_{11}}{Y_T}(Y_2Y_3 + Y_2Y_4 + Y_3Y_4)}{Y_2Y_3 + Y_4(Y_{11} + Y_{12} + Y_2 + Y_3) + \frac{1}{Y_T}(Y_{11} + Y_{12})(Y_2Y_3 + Y_2Y_4 + Y_3Y_4)} \quad (3.73)$$

A continuación se detallarán, al igual que se realizó en la sección anterior, cada una de las posibles elecciones para las admitancias Y_i , para dar lugar a los tres tipos de respuesta en frecuencia posible: paso bajo, alto y paso banda.

MFB Paso Bajo

Observando 3.73, se deduce que tomando las impedancias como:

$$Y_{11} \rightarrow \frac{1}{R_{11}} \quad Y_{12} \rightarrow C_{12}s \quad Y_2 \rightarrow \frac{1}{R_2} \quad Y_3 \rightarrow \frac{1}{R_3} \quad Y_4 \rightarrow C_4s \quad (3.74)$$

la respuesta en frecuencia es de tipo paso bajo. Sustituyendo en 3.73, y conservando la parametrización dada en 3.59, se obtiene:

$$a_2 = 0 \quad (3.75.1)$$

$$a_1 = C_4(R_2 + R_3) \quad (3.75.2)$$

$$a_0 = 1 - Y_T R_2 \quad (3.75.3)$$

$$b_2 = C_{12}C_4R_{11}(R_2 + R_3 + Y_T R_2 R_3) \quad (3.75.4)$$

$$b_1 = C_{12}R_{11} + C_4R_2 + C_4R_3 + Y_T C_4(R_{11}R_2 + R_{11}R_3 + R_2R_3) \quad (3.75.5)$$

$$b_0 = 1 + Y_T R_{11} \quad (3.75.6)$$

La principal desviación respecto del comportamiento ideal es la presencia de un cero de orden unidad, situado a una frecuencia:

$$\omega_z = \frac{a_0}{a_1} = \frac{1 - Y_T R_2}{C_4(R_2 + R_3)} \quad (3.76)$$

de tal forma que, suponiendo las resistencias de igual valor, siendo éste $23.5 \text{ k}\Omega$, C_{12} de 9 nF y C_4 de 2 nF , con Y_T de 16.6 mmhO , da un valor de 661 kHz . La presencia de este cero, así como el buen comportamiento en la banda pasante, se muestran en la figura 3.28, donde se incluye como referencia la respuesta ideal.

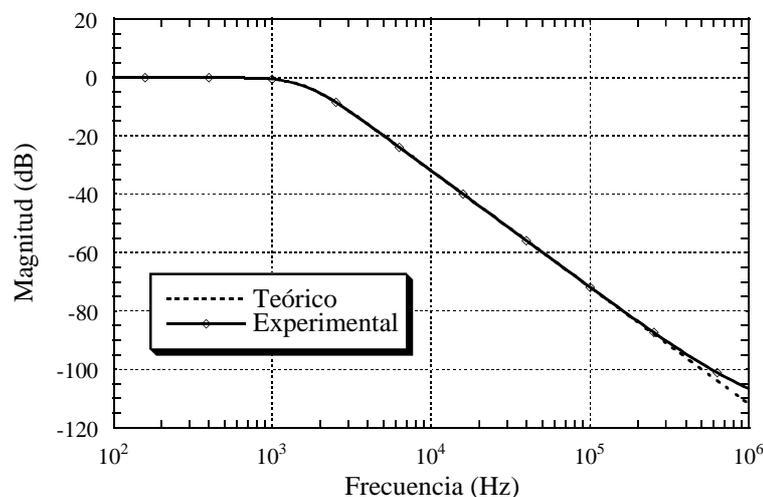


Figura 3.28 Magnitud de la respuesta en frecuencia de un MFB paso-bajo teórico y la realización basada en un transconductor

MFB Paso Alto

A la hora de obtener una respuesta de tipo paso alto, las impedancias se deben escoger de la manera siguiente:

$$Y_{11} \rightarrow C_{11}s \quad Y_{12} \rightarrow \frac{1}{R_{12}} \quad Y_2 \rightarrow C_2s \quad Y_3 \rightarrow C_3s \quad Y_4 \rightarrow \frac{1}{R_4} \quad (3.77)$$

Recalculando los coeficientes a_i y b_i , se obtiene:

$$a_2 = C_{11}R_{12}(C_2 + C_3 - Y_T C_3 R_4) \quad (3.78.1)$$

$$a_1 = 0 \quad (3.78.2)$$

$$a_0 = 0 \quad (3.78.3)$$

$$b_2 = C_{11}C_2R_{12} + C_{11}C_3R_{12} + C_2C_3R_4 + Y_T C_2 C_3 R_{12} R_4 \quad (3.78.4)$$

$$b_1 = C_2 + C_3 + Y_T (C_{11}R_{12} + C_2R_{12} + C_3R_{12}) \quad (3.78.5)$$

$$b_0 = Y_T \quad (3.78.6)$$

Al anularse los coeficientes a_1 y a_0 se deduce que en este caso se preserva de forma exacta el tipo de respuesta en frecuencia, de tal manera que no aparecen ceros parásitos, sino que se altera exclusivamente la posición de los dos polos iniciales. Tomando los condensadores iguales de 23.5 nF , R_{12} de $2 \text{ k}\Omega$ y R_4 de $9 \text{ k}\Omega$, se obtiene la respuesta en frecuencia que se muestra en la figura 3.29. En ella se aprecia la igualdad entre los datos teóricos y los hallados mediante simulación.

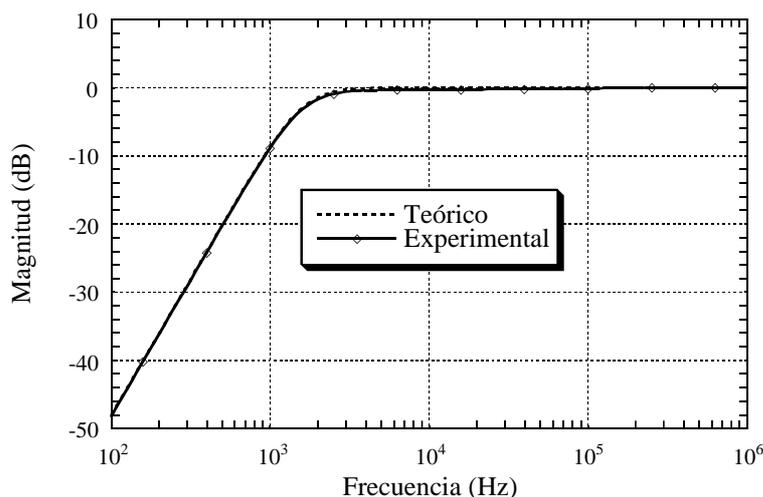


Figura 3.29 Concordancia entre la respuesta experimental y la teórica, para un filtro MFB paso alto

MFB Paso Banda

Como última opción queda el tipo de filtrado paso banda, para el cual se pueden elegir las impedancias como:

$$Y_{11} \rightarrow \frac{1}{R_{11}} \quad Y_{12} \rightarrow \frac{1}{R_{12}} \quad Y_2 \rightarrow C_2 s \quad Y_3 \rightarrow C_3 s \quad Y_4 \rightarrow \frac{1}{R_4} \quad (3.79)$$

Para esta elección los coeficientes que caracterizan la función de transferencia son:

$$a_2 = C_2 C_3 R_{12} R_4 \quad (3.80.1)$$

$$a_1 = R_{12} (C_2 + C_3 - Y_T C_3 R_4) \quad (3.80.2)$$

$$a_0 = 0 \quad (3.80.3)$$

$$b_2 = C_2 C_3 R_4 (R_{11} + R_{12} + Y_T R_{11} R_{12}) \quad (3.80.4)$$

$$b_1 = (C_2 + C_3) (R_{11} + R_{12} + Y_T R_{11} R_{12}) \quad (3.80.5)$$

$$b_0 = Y_T (R_{11} + R_{12}) \quad (3.80.6)$$

Ahora la desviación más relevante respecto del comportamiento ideal es la aparición de un cero a la frecuencia de:

$$\omega_z = \frac{a_1}{a_2} = \frac{C_2 + C_3 - C_3 R_4 Y_T}{C_2 C_3 R_4} \quad (3.81)$$

lo que origina que la ganancia a altas frecuencias no se anule, sino que venga dada por:

$$\lim_{\omega \rightarrow \infty} H(j\omega) = \frac{a_2}{b_2} = \frac{R_{12}}{R_{11} + R_{12} + Y_T R_{11} R_{12}} \quad (3.82)$$

Todos estos hechos se han comprobado en simulación, tomando las resistencias y condensadores iguales de un valor de 14.14 k Ω y 10 nF, respectivamente, figura 3.30.

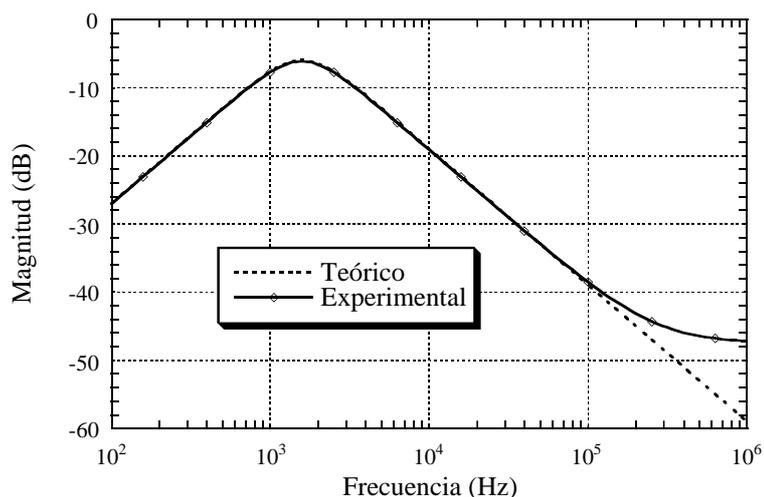


Figura 3.30 Respuesta en magnitud para un filtro MFB paso banda implementado mediante un transconductor

3.3 Conclusiones

La principal conclusión, sin lugar a dudas, de este capítulo es la viabilidad de las cuatro estructuras de la figura 2.12 en etapas amplificadoras y de filtrado. Esto se ha comprobado en diversas aplicaciones mediante las cuales se han deducido los siguientes puntos:

- En etapas amplificadoras sencillas, en las que es factible cuestionarse el tipo de realimentación (serie-serie, serie-paralelo,...), e incluso si se acomodan o no al principio de *enhancing feedback*, se ha comprobado que, a pesar de violar alguna de estas reglas de diseño, las etapas inversoras analizadas presentan siempre unos parámetros tanto en su respuesta en frecuencia, como en sus impedancias de entrada/salida que se pueden considerar aceptables.
- Existen múltiples circunstancias en las que se obtiene independencia entre la ganancia de la etapa y su ancho de banda, como se ha recogido en la tabla 3.1, bastantes más, por otra parte, de las referenciadas con asiduidad en la literatura, como es el caso del *CFOA*.
- De una forma colateral se han demostrado los graves problemas de estabilidad de los circuitos conteniendo *CCII*. Y ello se ha llevado a cabo con una estructura extremadamente simple, lo que induce a considerar el análisis inexcusable de múltiples circuitos mucho más complejos, que han sido propuestos en la literatura durante los últimos años.
- Como último punto, y de una forma genérica, se ha mostrado viable la sustitución directa del opamp en circuitos clásicos, tales como etapas de filtrado, por un *UAD* de naturaleza transconductor, obteniéndose resultados aceptables, aun a pesar de utilizar una implementación no óptima.

Capítulo 4

Simulación de impedancias flotantes



En este capítulo se tratará una nueva aplicación de los bloques básicos para el diseño de circuitos, es decir, UADs y CCII-s. Concretamente se utilizarán para la simulación de admitancias. Así en el primer apartado se estudiará el diseño de Convertidores Generalizados de Impedancias en su versión flotante, y utilizando como elemento activo una realización de UAD basada en un transconductor. Se realizará un análisis exhaustivo de todas las topologías posibles, detallando para cada una de ellas, sus funciones de error. Una vez determinadas, se concretarán para dos casos reales como son la simulación de autoinducciones y FDNRs. Para cada uno de estos dos tipos de admitancias se propondrán las estructuras que mejor se adecuen a su simulación. Finalizando este apartado se aportarán datos de simulación de filtros que utilizan Convertidores Generalizados de Impedancias.

En la segunda mitad de este capítulo se estudia la síntesis automática de admitancias arbitrarias. Se propone un algoritmo que permite realizar la síntesis de forma computacional, realizando para ello una búsqueda exhaustiva entre todo un conjunto de posibilidades. Se aplicará el proceso para ciertos casos de interés, adjuntando resultados de casos prácticos. Por último se trata brevemente la síntesis de admitancias polinomiales utilizando para ello métodos iterativos clásicos, que se mejoran a la luz de los nuevos resultados apuntados en párrafos anteriores.

4.0 Introducción

Uno de los campos más dinámicos dentro de las redes activas es el de la simulación de inmitancias. Desde los trabajos clásicos de Antoniou [ANT 67] no se ha cesado en el esfuerzo de lograr todo un conjunto de sistemas que abarquen un amplio abanico de posibilidades: desde la construcción de filtros, hasta la linealización de sensores.

En los primeros capítulos de esta memoria se han introducido varias posibilidades para los bloques activos básicos en el diseño analógico. Es por esto que resulta imprescindible el dar al menos unas líneas generales sobre lo que supondría el rediseño de estructuras clásicas, así como el estudio de nuevas topologías que nacen bajo las hipótesis de los nuevos elementos activos.

Como ya se ha indicado, todos los elementos activos utilizados hasta fechas recientes carecían de salidas flotantes. Esto conlleva que todas aquellas estructuras que los utilicen, heredarán esta característica. Así, la mayoría de las topologías originalmente propuestas en la literatura para la simulación de impedancias, poseían en común la propiedad consistente en que el elemento simulado tenía un terminal conectado a tierra [ANT 68a, ANT 68b, ANT 69, RIO 67]. No obstante son clásicas las técnicas para evitar esta seria limitación [SCH 90, HUE 93, SED 78]. El método de Gorski-Popiel [GOR 67] permite no sólo simular una impedancia flotante, sino simular toda un red flotante, gracias al uso simétrico de varios Convertidores Generalizados de Impedancias. Otra técnica ampliamente extendida es la transformación de Bruton [BRUT 69] basada en la conversión de las autoinducciones flotantes en resistencias, permitiendo de este modo la simulación de redes pasivas, ampliamente estudiadas.

Como contrapartida de la anterior situación y gracias a los elementos activos introducidos en el capítulo 2, se pretende estudiar en éste las posibilidades de simulación de impedancias flotantes. Se comenzará por la generalización y sistematización de los Convertidores Generalizados de Admitancias, *GIC*, para los cuales se toma como elemento activo la realización del *UAD* basada en un transconductor. Esto es un primer paso hacia la simulación de una admitancia generalizada, problema que se acometerá en posteriores apartados de dos formas completamente diferentes. La primera de ellas consistirá en el estudio exhaustivo de todas las posibilidades para la posición de los elementos activos, mientras que la segunda se basará en procedimientos constructivistas de carácter inductivo. No obstante, ambas mantienen como punto de referencia el uso del *UAD* y/o del *CCII*- como elementos activos, dando lugar por tanto a redes completamente flotantes.

4.1 Convertidor Generalizado de Admitancias flotantes

Supóngase una red general de dos puertos, a la que se conecta una impedancia Z_2 en uno de ellos, figura 4.1.

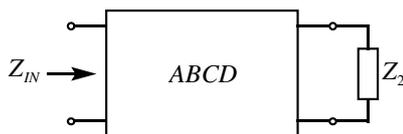


Figura 4.1 Impedancia de entrada de una red de dos puertos terminada en uno de ellos con una impedancia Z_2

Si se caracteriza la red mediante sus parámetros $ABCD$, entonces se puede demostrar que la impedancia vista desde el otro puerto viene dada por la expresión:

$$Z_{IN} = \frac{A(s)Z_2(s) + B(s)}{C(s)Z_2(s) + D(s)} \quad (4.1)$$

Se denominará Convertidor Generalizado de Immitancias, *GIC*, a aquella red que cumpla una de las siguientes condiciones [BRUT 80]:

$$Z_{IN} = K(s)Z_2(s) \quad (4.2.1)$$

$$Z_{IN} = \frac{K(s)}{Z_2(s)} \quad (4.2.2)$$

donde $K(s)$ *no* es una función de Z_2 . Si se desea satisfacer la primera de estas condiciones, una posible solución sería hacer:

$$B(s) = C(s) = 0 \quad \forall s \quad (4.3)$$

Así la expresión 4.1 se reduce a:

$$Z_{IN} = \frac{A(s)}{D(s)} Z_2 \quad (4.4)$$

y por tanto el factor de conversión de 4.2.1 quedaría:

$$K(s) = \frac{A(s)}{D(s)} \quad (4.5)$$

A las redes que cumplen la condición 4.3, se les denomina *GIC*-Convertidor de Impedancias. Para satisfacer la ecuación 4.2.2 existe otro posible camino:

$$A(s) = D(s) = 0 \quad \forall s \quad (4.6)$$

Ahora, se cumple:

$$Z_{IN} = \frac{B(s)}{C(s)} \frac{1}{Z_2} \quad (4.7)$$

con lo que el factor de conversión pasaría a ser:

$$K(s) = \frac{B(s)}{C(s)} \quad (4.8)$$

En el caso de cumplir la ecuación 4.6, la red se denomina *GIC*-Inversor de Impedancias.

En la primera parte de este capítulo se estudiarán estructuras clásicas que se comportan como *GIC* (tanto Convertidores como Inversores), para a continuación tratar casos más exóticos, en los que el valor de la impedancia simulada se hace negativo o

adopta valores extremos. El desarrollo se centrará en una generalización de la estructura de *GIC* clásica, ya que es una de las más utilizadas a la hora de la construcción de filtros, debido a su versatilidad.

4.1.1 Clasificación de estructuras y funciones de error

Clásicamente, a la hora de simular autoinducciones o *FDNRs*, se ha utilizado la estructura mostrada en la figura 4.2, propuesta y estudiada por Antoniou [ANT 69]. Este sistema se comporta como un *GIC*-Convertidor de Impedancias respecto de las admitancias impares, mientras que respecto de las pares se comporta como un *GIC*-Inversor de Impedancias.

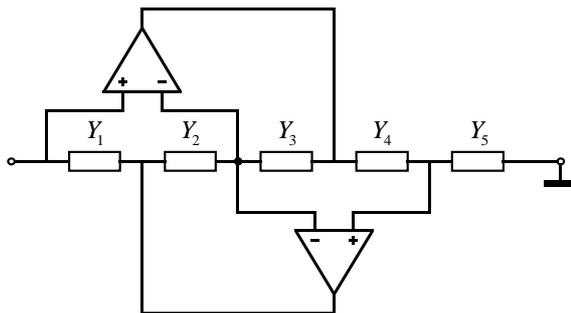


Figura 4.2 Estructura acoplada clásica para un *GIC*

La admitancia de entrada se puede escribir como:

$$Y_{IN} = \frac{Y_1 Y_3 Y_5}{Y_2 Y_4} \tag{4.9}$$

Es evidente, que la admitancia así simulada debe de tener un terminal a tierra. Esta limitación está asociada al carácter no-flotante de la salida de los opamps. Es posible no obstante evitar dicha limitación si se utiliza el esquema mostrado en la figura 4.3, que es simplemente el modelo con nullors de la figura 4.2, en el que se ha hecho flotante el nodo de tierra.

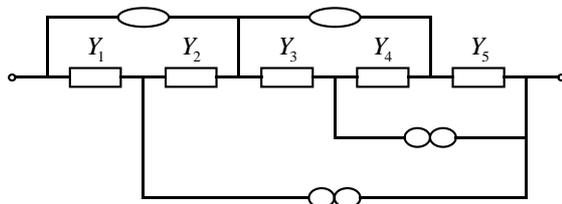


Figura 4.3 Representación mediante nullors de la figura 4.2

A partir del esquema de la figura anterior, se plantea la cuestión de cuántas posibles variaciones se podrían realizar en la posición de los elementos activos, para obtener la misma impedancia entre sus extremos, supuesto que la topología en línea de las impedancias permanece inalterable. Se verá más tarde que este supuesto no es en realidad ninguna limitación. Para acometer la solución, se propone un método de representación donde se muestran exclusivamente los nullors, omitiendo la red pasiva, que se supone

constante. Por convenio se supondrá que los nullators están en la parte superior, y los norators en la inferior. Con esta metodología se muestra como ejemplo en la figura 4.4, la nueva representación de la figura 4.2.

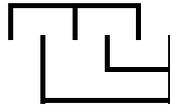


Figura 4.4 Representación esquemática de la figura 4.3

Para calcular todas las estructuras que conducen a la simulación de una impedancia del tipo de la ecuación 4.9, se ha desarrollado un programa de cálculo simbólico (con la herramienta Mathematica™), con el cual se realiza una búsqueda exhaustiva de todas las posibles combinaciones de nullors sobre la red pasiva dada. Los datos así obtenidos conducen a sólo cuatro topologías básicas, salvo reordenaciones de los nullators/norators, aplicando las propiedades comentadas en el capítulo 2. Las cuatro topologías se representan en la figura 4.5, y se denotarán como **A**, **B**, **C** y **D** en lo que sigue.

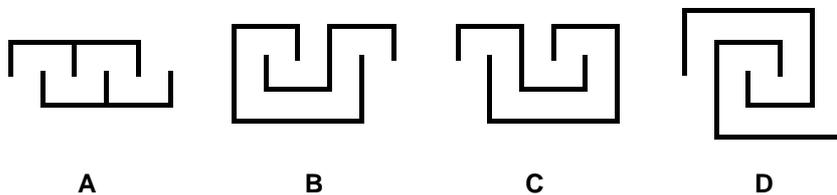


Figura 4.5 Cuatro únicas posibilidades (salvo reordenaciones) de sintetizar la expresión 4.9

Haciendo un recuento de las estructuras asociadas a cada una de ellas se obtiene:

- A** Existen tres posibles relocalizaciones para las parejas nullator/norator, dando lugar a nueve configuraciones equivalentes. Aplicando la transformación de reciprocidad (cambio de nullator por norator y viceversa) se obtienen dieciocho posibles esquemas.
- B** En este caso solamente se tiene la posibilidad de la transformación de reciprocidad, y por tanto dos configuraciones posibles.
- C** Esta topología es idéntica a la anterior, simplemente cambian los terminales de salida (posteriormente se utilizará esta propiedad de simetría). Por lo tanto, dos configuraciones.
- D** Ocurre igual que los dos casos precedentes. Dos configuraciones en total.

En definitiva, se contabilizan veinticuatro posibles estructuras. No obstante si se quiere estudiar el efecto que tiene el elemento activo, es decir la implementación particular del nullor, sobre la impedancia simulada, se han de establecer otros grupos de equivalencia entre estas veinticuatro posibilidades. Para ello se utilizan la ya conocida transformación de reciprocidad y la que se denominará de quiralidad. Estas transformaciones relacionarán estructuras funcionalmente equivalentes. La primera de estas transformaciones, representada por **C** implica el cambio de nullators por norators, con lo que si se desea que

dos estructuras sean equivalentes, se debe de imponer al nullor *real* que sea invariante bajo dicha transformación.

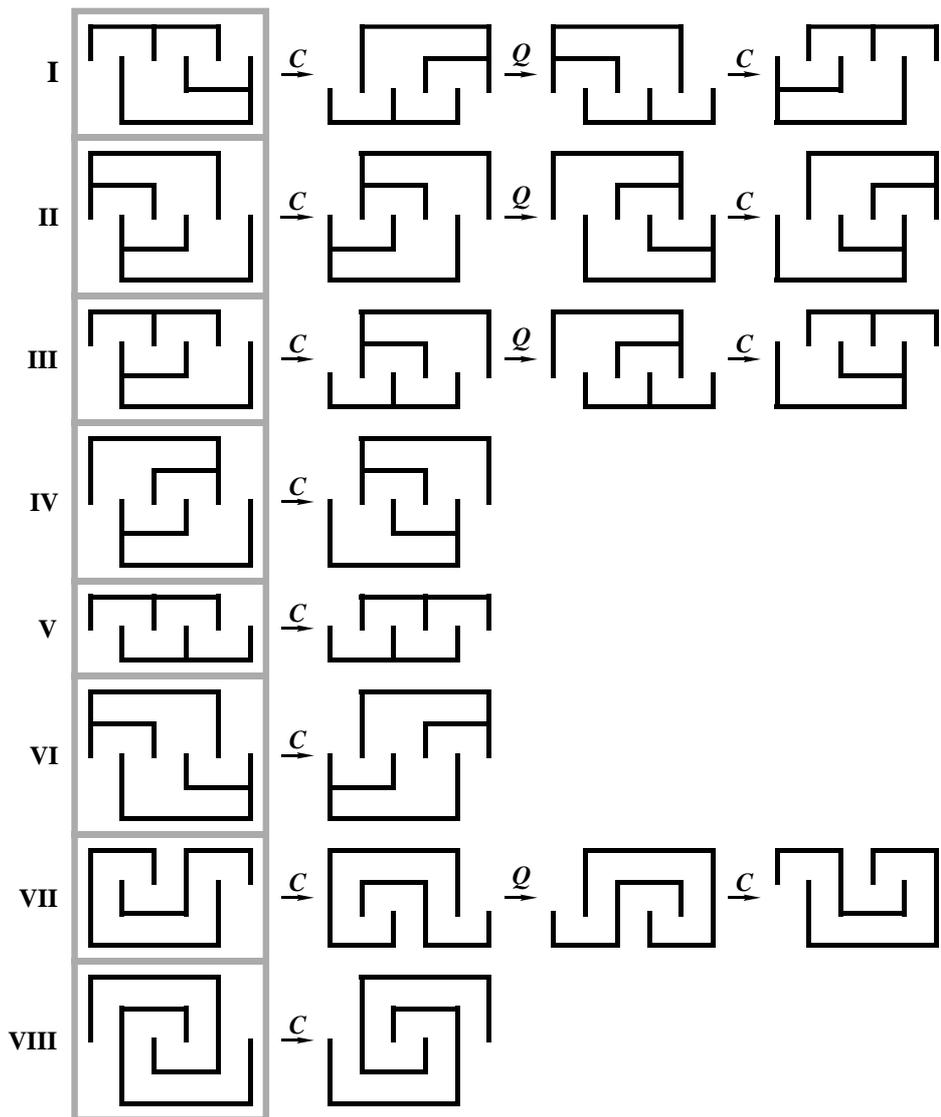


Figura 4.6 Clases de equivalencia y representantes de cada una de ellas, de las 24 posibles estructuras GIC

Observando las posibles estructuras en la figura 2.12, se llega a la elección del tipo transconductor, como única realización posible que verifica esta propiedad. Por otra parte, se beneficia así de la completa simetría entre sus terminales de entrada y de salida, lo que posteriormente ayudará a reducir las posibilidades. Se ha introducido como novedosa la transformación de quiralidad, representada por Q , que va a reflejar la simetría de la red pasiva frente a cambios entre derecha e izquierda. Es decir, las

impedancias simuladas por dos estructuras quiralmente equivalentes vendrían asociadas por las sustituciones:

$$Y_1^Q \rightarrow Y_5 \quad Y_2^Q \rightarrow Y_4 \quad Y_3^Q \rightarrow Y_3 \quad Y_4^Q \rightarrow Y_2 \quad Y_5^Q \rightarrow Y_1 \quad (4.10)$$

Es inmediato que se cumplen las siguientes propiedades:

$$C^2 = 1 \quad (4.11.1)$$

$$Q^2 = 1 \quad (4.11.2)$$

$$CQ = QC \quad (4.11.3)$$

Con estas dos transformaciones, se han confeccionado los nuevos grupos de equivalencia, como muestra la figura 4.6. Las estructuras recuadradas serán las elegidas como representantes de clase. Se han agrupado las veinticuatro estructuras iniciales en ocho tipos diferentes de dependencia funcional. Dentro de cada una de estas clases, todas la topologías simulan la misma impedancia, aún supuesto no ideal el elemento activo, siempre que éste sea del tipo mostrado en la figura 2.12.b. Ahora resta contabilizar las diferentes formas de agrupar los nullators/norator para dar lugar a nullors, así como las posibilidades de polaridades en los terminales de entrada o salida. Supuesto que los dos elementos activos puestos en juego son indistinguibles es claro que hay dos únicas opciones de agrupamiento diferentes entre los nullators/norators. Recordando la simetría que presenta la realización propuesta del nullor entre los terminales de entrada y salida, se simplifican las posibilidades de elección de polaridades a dos, para cada uno de los dos elementos activos. Así cada representante tiene asociadas ocho diferentes configuraciones *reales* de los elementos activos. O de otra forma el problema se centra en el estudio de las 64 estructuras mostradas en las tablas 4.1.1-2. Para ello se ha sistematizado la forma de la impedancia simulada, optándose por la expresión general siguiente:

$$Y_{IN} = Y_{IDEAL} \frac{\tilde{a}_0 + \tilde{a}_1(s)\varepsilon + \tilde{a}_2(s)\varepsilon^2}{\tilde{b}_0 + \tilde{b}_1(s)\varepsilon + \tilde{b}_2(s)\varepsilon^2} \quad (4.12)$$

donde ε representa el inverso de la ganancia del elemento activo, tendiendo esta última a infinito. El símbolo \sim se utiliza para recordar que los coeficientes \tilde{a}_i y \tilde{b}_i serán en general complejos con una dependencia frecuencial. Las tablas 4.2.1-8 se han obtenido utilizando esta formalización, en las que se han abreviado las siguientes expresiones:

$$\Delta_n = Y_2 Y_4 \quad (4.13.1)$$

$$\Delta_d = Y_1 Y_3 + Y_1 Y_5 + Y_3 Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4} (Y_2 + Y_4) \quad (4.13.2)$$

En dichas tablas se representan las ternas:

$$\{\tilde{a}_0, \tilde{a}_1, \tilde{a}_2\} \quad \{\tilde{b}_0, \tilde{b}_1, \tilde{b}_2\}$$

A la vista de las expresiones de la tablas 4.2.1-8, se hacen las siguientes observaciones:

- i) Los coeficientes \tilde{a}_1 y \tilde{b}_1 de las cuatro primeras expresiones respecto de las cuatro últimas, para cualquiera de las configuraciones, son iguales, salvo un signo menos. Esta igualdad se deduce de las tablas 4.1.1-2, donde se hace evidente que

la diferencia entre dichas topologías reside en el cambio de polaridad en los terminales de entrada para ambos elementos activos, lo que equivale a cambiar de signo al factor de ganancia. Es por esto que los términos cuadráticos de la expresión de error permanecen inalterados.

ii) Entre todas las expresiones se verifican las siguientes igualdades:

$$\begin{aligned}
 I.1 &\equiv IV.4 \equiv VII.6 \equiv VIII.3 \\
 I.2 &\equiv II.7 \overset{Q}{\equiv} III.6 \\
 I.3 &\overset{Q}{\equiv} VII.4 \\
 II.4 &\equiv V.4 \\
 III.1 &\equiv VI.4 \\
 IV.2 &\equiv VIII.1 \\
 IV.3 &\equiv V.3 \equiv VI.3
 \end{aligned} \tag{4.14}$$

Así sólo quedan 21 dependencias funcionalmente diferentes, de las 64 iniciales (supuesta la simplificación del apartado anterior). La Q sobre el símbolo de equivalencia, significa que las expresiones son idénticas al realizar la transformación de quiralidad, expresión 4.10

En los apartados siguientes se plantearán las condiciones generales de diseño así como las de estabilidad para estas 64 estructuras. Más tarde se concretarán en los casos en los que la admitancia simulada sea una autoinducción o una $FDNR$, y cómo dichas condiciones implican la elección de una estructura concreta como la más apropiada para la simulación de una u otra.

	I	II	III	IV
1				
2				
3				
4				
5				
6				
7				
8				

Tabla 4.1.1 Polaridades asociadas a los primeros cuatro representantes de clase

	V	VI	VII	VIII
1				
2				
3				
4				
5				
6				
7				
8				

Tabla 4.1.2 Polaridades asociadas a los cuatro últimos representantes de clase

I	Numerador	Denominador
1	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\left\{-1, Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, -Y_3 + Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, -Y_1 + Y_3 + Y_5 + 2 \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
4	$\left\{1, Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{1, Y_3 + Y_5 + \frac{Y_1 Y_3}{Y_2} + 2 \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
5	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\left\{-1, -Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, Y_3 - Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, Y_1 - Y_3 - Y_5 - 2 \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
8	$\left\{1, -Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{1, -Y_3 - Y_5 - \frac{Y_1 Y_3}{Y_2} - 2 \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$

Tabla 4.2.1 Ternas asociadas a la función de error para el caso I

II	Numerador	Denominador
1	$\left\{1, -Y_2 - 2Y_4 - \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, Y_3 + Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\left\{-1, -Y_4 \left(2 + \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 + Y_5 - \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
3	$\left\{-1, -Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, Y_3 - Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
4	$\left\{1, -\frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -Y_1 - Y_3 - Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
5	$\left\{1, Y_2 + 2Y_4 + \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -Y_3 - Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\left\{-1, Y_4 \left(2 + \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 - Y_5 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
7	$\left\{-1, Y_2 \left(1 + \frac{Y_4}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, -Y_3 + Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
8	$\left\{1, \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, Y_1 + Y_3 + Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$

Tabla 4.2.2 Ternas asociadas a la función de error para el caso II

III	Numerador	Denominador
1	$\left\{1, -Y_2 - Y_4 - \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -\frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\left\{-1, -Y_4 \left(1 + \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 + \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\left\{-1, -Y_2 + Y_4 - \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, -2Y_5 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
4	$\left\{1, Y_4 \left(1 - \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{1, -Y_1 - Y_3 - 2Y_5 - \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
5	$\left\{1, Y_2 + Y_4 + \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\left\{-1, Y_4 \left(1 + \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 - \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\left\{-1, Y_2 - Y_4 + \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, 2Y_5 - \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
8	$\left\{1, -Y_4 \left(1 - \frac{Y_2}{Y_3}\right), \Delta_n\right\}$	$\left\{1, Y_1 + Y_3 + 2Y_5 + \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$

Tabla 4.2.3 Ternas asociadas a la función de error para el caso III

IV	Numerador	Denominador
1	$\left\{1, -Y_2 - Y_4 - 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -Y_1 - Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
2	$\left\{-1, -Y_2 - Y_4 - 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, Y_1 - Y_5 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
4	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
5	$\left\{1, Y_2 + Y_4 + 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, Y_1 + Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
6	$\left\{-1, Y_2 + Y_4 + 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, -Y_1 + Y_5 - \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
8	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$

Tabla 4.2.4 Ternas asociadas a la función de error para el caso IV

V	Numerador	Denominador
1	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} - 2 \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\left\{-1, -\frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 - Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} + 2 \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, Y_1 - Y_5 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
4	$\left\{1, -\frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -Y_1 - Y_3 - Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
5	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} + 2 \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\left\{-1, \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 + Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} - 2 \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, -Y_1 + Y_5 - \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
8	$\left\{1, \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, Y_1 + Y_3 + Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$

Tabla 4.2.5 Ternas asociadas a la función de error para el caso V

VI	Numerador	Denominador
1	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + 2Y_3 + Y_5 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
2	$\left\{-1, -Y_2 - Y_4 - \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, 2Y_3 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, Y_1 - Y_5 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
4	$\left\{1, -Y_2 - Y_4 - \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -\frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
5	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - 2Y_3 - Y_5 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
6	$\left\{-1, Y_2 + Y_4 + \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, -2Y_3 - \frac{Y_1 Y_3}{Y_2} - \frac{Y_3 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, -Y_1 + Y_5 - \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4}, \Delta_d\right\}$
8	$\left\{1, Y_2 + Y_4 + \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, \frac{Y_1 Y_3}{Y_2} + \frac{Y_3 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$

Tabla 4.2.6 Ternas asociadas a la función de error para el caso VI

VII	Numerador	Denominador
1	$\left\{-1, -Y_4 \left(1 + \frac{Y_2}{Y_1}\right), \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 + \frac{Y_1 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
3	$\left\{1, Y_4 \left(1 + \frac{Y_2}{Y_1}\right), \Delta_n\right\}$	$\left\{1, Y_1 + Y_3 + 2 \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_5}{Y_4} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
4	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, Y_1 + Y_3 - Y_5 + 2 \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
5	$\left\{-1, Y_4 \left(1 + \frac{Y_2}{Y_1}\right), \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 - \frac{Y_1 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
7	$\left\{1, -Y_4 \left(1 + \frac{Y_2}{Y_1}\right), \Delta_n\right\}$	$\left\{1, -Y_1 - Y_3 - 2 \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_5}{Y_4} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
8	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, -Y_1 - Y_3 + Y_5 - 2 \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$

Tabla 4.2.7 Ternas asociadas a la función de error para el caso VII

VIII	Numerador	Denominador
1	$\left\{-1, -Y_2 - Y_4 - 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, -Y_1 + Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
2	$\left\{1, -Y_2 - Y_4 - 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, -Y_1 - Y_5 - \frac{Y_1 Y_3}{Y_4} - \frac{Y_3 Y_5}{Y_2}, \Delta_d\right\}$
3	$\{1, Y_2 + Y_4, \Delta_n\}$	$\left\{1, -Y_1 - Y_3 - Y_5 + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
4	$\{-1, Y_2 - Y_4, \Delta_n\}$	$\left\{-1, Y_1 - Y_5 + \frac{Y_1 Y_3}{Y_4} - \frac{Y_3 Y_5}{Y_2}, \Delta_d\right\}$
5	$\left\{-1, Y_2 + Y_4 + 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{-1, Y_1 - Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
6	$\left\{1, Y_2 + Y_4 + 2 \frac{Y_2 Y_4}{Y_3}, \Delta_n\right\}$	$\left\{1, Y_1 + Y_5 + \frac{Y_1 Y_3}{Y_4} + \frac{Y_3 Y_5}{Y_2}, \Delta_d\right\}$
7	$\{1, -Y_2 - Y_4, \Delta_n\}$	$\left\{1, Y_1 + Y_3 + Y_5 - \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}, \Delta_d\right\}$
8	$\{-1, -Y_2 + Y_4, \Delta_n\}$	$\left\{-1, -Y_1 + Y_5 - \frac{Y_1 Y_3}{Y_4} + \frac{Y_3 Y_5}{Y_2}, \Delta_d\right\}$

Tabla 4.2.8 Ternas asociadas a la función de error para el caso VIII

4.1.2 Condiciones de diseño

Partiendo de la expresión 4.12, y observando las tablas 4.2, ésta se puede volver a escribir de la siguiente manera:

$$Y_{IN} = Y_{IDEAL} \frac{1 + (a_{10} + ja_{11})\varepsilon + (a_{20} + ja_{21})\varepsilon^2}{1 + (b_{10} + jb_{11})\varepsilon + (b_{20} + jb_{21})\varepsilon^2} \equiv Y_{IDEAL} \tilde{E}(s) \quad (4.15)$$

donde se ha separado la parte real e imaginaria de los coeficientes \tilde{a}_i y \tilde{b}_i . El parámetro ε se entiende como el inverso de la ganancia del elemento activo, que se considerará real en este punto del desarrollo. Esta suposición implica que las consecuencias que se extraigan serán válidas sólo en el rango de frecuencias para las cuales la realización utilizada del nullor se comporte de forma independiente con la frecuencia, aunque con ganancia limitada. Más tarde se estudiará el caso de la dependencia de la ganancia con la frecuencia.

Operando en 4.15 siempre se podrá llegar a una expresión de la forma:

$$Y_{IN} = Y_{IDEAL} [E_0(\omega) + jE_1(\omega)] \quad (4.16)$$

De donde es lícito definir el factor de calidad de la impedancia simulada como el inverso de la tangente de la fase de la función de error [BRUT 80]:

$$Q \equiv \frac{E_0}{E_1} \quad (4.17)$$

Si el objetivo es conseguir un factor de calidad elevado, entonces, es claro que una posible condición de diseño será:

$$E_1(\omega) = 0 \quad \forall \omega \quad (4.18)$$

Se podrá comprobar en posteriores párrafos cómo no es viable aumentar la parte real de la función de error, para así maximizar el factor de calidad. Observando la expresión 4.16, se puede parametrizar la función de error en la forma más conveniente:

$$\tilde{E}(\omega) \equiv \frac{\bar{E}_0}{M} + j \frac{\bar{E}_1}{M} \quad (4.19)$$

donde M representa el cuadrado del módulo del denominador de la función de error 4.15. Comparando 4.19 con esta expresión, se pueden aproximar estos nuevos parámetros por las siguientes relaciones:

$$\bar{E}_0 \cong 1 + (a_{10} + b_{10})\varepsilon + (a_{20} + a_{10}b_{10} + a_{11}b_{11} + b_{20})\varepsilon^2 \quad (4.20.1)$$

$$\bar{E}_1 \cong (a_{11} - b_{11})\varepsilon + (a_{21} + a_{11}b_{10} - a_{10}b_{11} - b_{21})\varepsilon^2 \quad (4.20.2)$$

$$M \cong 1 + 2b_{10}\varepsilon + (b_{10}^2 + b_{11}^2 + 2b_{20})\varepsilon^2 \quad (4.20.3)$$

Introduciendo ahora la condición de diseño 4.18 en estas expresiones, se deduce:

$$a_{11} = b_{11} \quad (4.21)$$

Es decir, para aumentar el factor de calidad de la impedancia simulada es necesario igualar las partes imaginarias de los coeficientes lineales de la función de error. Obviamente esta

es una aproximación en el término lineal del factor de calidad. Si se desea aumentar el orden de aproximación al orden cuadrático, entonces se debe cumplir que:

$$a_{21} + a_{11}b_{10} = b_{21} + a_{10}b_{11} \quad (4.22)$$

Este análisis está basado en la suposición de que el factor de ganancia del elemento activo es real. O de otra forma, no se admite ninguna dependencia frecuencial para el mismo. Sea ahora el término ε de la forma:

$$\varepsilon \rightarrow j(\omega + \omega_a)\varepsilon \quad (4.23)$$

Es decir, se supone que el elemento activo se puede modelar gracias a un polo dominante. Bastaría pues realizar los siguientes cambios en las expresiones obtenidas anteriormente para el caso de ε real, para recuperar el caso actual:

$$a_{10} \rightarrow -a_{11}(\omega + \omega_a) \quad (4.24.1)$$

$$a_{11} \rightarrow a_{10}(\omega + \omega_a) \quad (4.24.2)$$

$$b_{10} \rightarrow -b_{11}(\omega + \omega_a) \quad (4.24.3)$$

$$b_{11} \rightarrow b_{10}(\omega + \omega_a) \quad (4.24.4)$$

Evidentemente estas reglas de sustitución sólo atañen al primer orden de aproximación. Ahora las expresiones 4.17 y 4.21 quedan:

$$a_{10} = b_{10} \Leftrightarrow E_1 \rightarrow 0 \Rightarrow Q \equiv \frac{E_0}{E_1} \rightarrow \infty \quad (4.25)$$

Es decir, que en este caso se deben igualar las partes reales de los términos lineales de la función de error para hacer que el factor de calidad aumente.

Por otra parte las expresiones 4.20 se transformarían en:

$$\bar{E}_0 \equiv 1 - (a_{11} + b_{11})\varepsilon(\omega + \omega_a) + (-a_{20} + a_{10}b_{10} + a_{11}b_{11} - b_{20})\varepsilon^2(\omega + \omega_a)^2 \quad (4.26.1)$$

$$\bar{E}_1 \equiv (a_{10} - b_{10})\varepsilon(\omega + \omega_a) + (-a_{21} - a_{11}b_{10} - a_{10}b_{11} + b_{21})\varepsilon^2(\omega + \omega_a)^2 \quad (4.26.2)$$

$$M \equiv 1 - 2b_{11}\varepsilon(\omega + \omega_a) + (b_{10}^2 + b_{11}^2 - 2b_{20})\varepsilon^2(\omega + \omega_a)^2 \quad (4.26.3)$$

En lo que sigue, se utilizará siempre que sea posible, una condición de diseño que engloba a las anteriores, y por ello más restrictiva, que consiste simplemente en igualar los coeficientes lineales de la función de error. Es decir:

$$\tilde{a}_1(s) = \tilde{b}_1(s) \quad \forall s \quad (4.27)$$

Las condiciones de diseño expresadas en 4.21, 4.22, 4.25, y 4.27 son la generalización de las encontradas en [SERR 95].

4.1.3 Condiciones de estabilidad

En el estudio de la estabilidad de las estructuras propuestas para la simulación de impedancias, resulta útil el siguiente test de estabilidad [CHU 87]:

Una red de un puerto, lineal e invariante en el tiempo, es estable en corto circuito si y sólo si los polos de la función de admitancia de dicha red se hallan en el semiplano izquierdo. Equivalentemente es estable en circuito abierto si y sólo si los polos de la función de impedancia se hallan en el semiplano izquierdo.

En el caso actual, este criterio se traduce en una condición necesaria sobre el signo de los coeficientes de la función de error. Es decir, se debe de imponer que tanto el numerador como el denominador de la función de error $\tilde{E}(s)$ sean polinomios de Hurwitz. Una condición necesaria para ello es que los coeficientes \tilde{a}_i del numerador, como los \tilde{b}_i del denominador, sean definidos positivos. Las estructuras que cumplen esto son: I.4, II.8, III.5, IV.5, V.8, VI.8, VII.3 y VIII.6. De estas ocho es lícito el eliminar las estructuras V.8 y VI.8, por ser matemáticamente equivalentes a las II.8 y III.5, respectivamente. Cabe resaltar, no obstante que estas ocho estructuras no son las más adecuadas bajo el punto de vista de las condiciones de diseño apuntadas en la sección anterior. En las dos secciones siguientes, se tratarán brevemente estructuras que cumpliendo dichas condiciones de diseño, no verifican las de estabilidad.

Hay que observar no obstante que, aun cumpliendo las condiciones de estabilidad en corto y en abierto, no se puede asegurar que una vez inserta la admitancia simulada en otra red que la contenga, el sistema así obtenido no sea inestable [CHU 87]. Con esto se quiere enfatizar la parcialidad de cualquier aproximación a la hora de valorar cuál es la estructura más adecuada, bajo el punto de vista de la estabilidad.

4.1.4 Simulación de autoinducciones

En el caso de la simulación de autoinducciones, sólo existen dos posibilidades en la elección de las admitancias, que se denominarán respectivamente tipo A y B:

$$Y_2 = C_2 s \quad Y_i = G_i \quad \forall i \neq 2 \quad \text{Tipo A}$$

$$Y_4 = C_4 s \quad Y_i = G_i \quad \forall i \neq 4 \quad \text{Tipo B}$$

Se descartan otras posibilidades con mayor número de condensadores, debido a los problemas prácticos que generarían en las etapas de entrada de los elementos activos [SED 78]. Esta limitación surge de aquellos nodos conectados a una entrada del amplificador, y que en DC no poseen un camino ni a tierra ni a una fuente de la que puedan extraer corriente con la que polarizar los transistores que componen la etapa de entrada.

A la hora de simular autoinducciones, conviene definir previamente dos parámetros que se utilizarán con posterioridad en la caracterización de las estructuras propuestas. El primero de ellos, denominado autoinducción equivalente se define como [BRUT 80]:

$$\omega L_{eq} \equiv \text{Im}(Z_{IN}) \quad (4.28)$$

y por tanto:

$$L_{eq} = L_o \frac{E_0}{E_0^2 + E_1^2} = L_o \frac{M\bar{E}_0}{\bar{E}_0^2 + \bar{E}_1^2} \quad (4.29)$$

donde:

$$\text{Tipo A} \quad L_o \equiv \frac{C_2 G_4}{G_1 G_3 G_5} \quad (4.30.1)$$

$$\text{Tipo B} \quad L_o \equiv \frac{C_4 G_2}{G_1 G_3 G_5} \quad (4.30.2)$$

Otro parámetro interesante es el error fraccional de la autoinducción simulada, que se define como:

$$\varepsilon_l \equiv \frac{L_{eq} - L_o}{L_o} = \frac{\bar{E}_0(M - \bar{E}_0) - \bar{E}_1^2}{\bar{E}_0^2 + \bar{E}_1^2} \quad (4.31)$$

y que representa la desviación porcentual de la autoinducción simulada respecto del valor ideal.

El problema que ahora se plantea es encontrar las estructuras que cumplan las condiciones de diseño impuestas por 4.21 y 4.25. Se abordará a continuación la resolución para la primera de ellas, por lo que se supondrá en principio al elemento transconductor con ganancia finita, pero sin dependencia frecuencial. Bajo este supuesto la expresión 4.31 se transforma en:

$$\varepsilon_l \equiv \frac{(b_{10} - a_{10})\varepsilon + (-a_{10}^2 - a_{11}^2 - a_{20} + a_{10}b_{10} + a_{11}b_{11} + b_{20})\varepsilon^2}{1 + 2a_{10}\varepsilon + (a_{10}^2 + a_{11}^2 + 2a_{20})\varepsilon^2} \cong (b_{10} - a_{10})\varepsilon \quad (4.32)$$

La expresión 4.21 impone la igualdad entre las partes imaginarias de los coeficientes lineales del numerador y del denominador de la función de error, para cualquier frecuencia. Esta condición sólo puede ser satisfecha por las estructuras III.3(III.7) y III.4(III.8) supuesto elegido el tipo B de autoinducción. En efecto, por inspección de la tabla 4.2, se observa que en los términos del numerador aparecen siempre impedancias pares multiplicando, y las impedancias impares dividiendo, mientras que en el denominador ocurre lo contrario. Es claro pues que siendo una impedancia par la que posee en este caso la única dependencia frecuencial, y por tanto la que aportará el carácter complejo a los coeficientes, entonces se debe buscar una estructura en la que sea posible anular la dependencia, tanto en el numerador como en el denominador, de una de las impedancias pares. Es este razonamiento el que impone la citada elección. Concretamente, se puede demostrar que en el caso de la estructura III.3 es posible hacer que la función de error sea la unidad, en primer orden de aproximación. Sin embargo, observando los signos de los coeficientes \tilde{a}_i y \tilde{b}_i , se llega a la conclusión de que este caso no verifica las condiciones necesarias para que sea estable la impedancia simulada. Es por ello que no se analizarán en profundidad ni III.3 ni III.4.

A partir de este punto el estudio se divide en relación con la elección de las admitancias, y para las seis topologías reseñadas en la sección 4.1.3 verificando las condiciones de estabilidad.

4.1.4.1 Tipo A

En la tabla 4.3 se muestran en primera aproximación los parámetros más relevantes para las estructuras propuestas.

	I.4	II.8
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_3 + G_5 + 2 \frac{G_3 G_5}{G_4} \right) \varepsilon$	$1 + \left(G_1 + G_3 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$
\bar{E}_1	$\left[\left(1 + \frac{G_5}{G_4} \right) \frac{G_1 G_3}{C_2 \omega} + \left(1 + \frac{G_4}{G_3} \right) C_2 \omega \right] \varepsilon$	$\left(\frac{G_1 G_3}{C_2 \omega} + C_2 \frac{G_4}{G_3} \omega \right) \varepsilon$
M	$1 + 2 \left(G_3 + G_5 + 2 \frac{G_3 G_5}{G_4} \right) \varepsilon$	$1 + 2 \left(G_1 + G_3 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$
ε_l	$\left(G_3 + G_5 + 2 \frac{G_3 G_5}{G_4} \right) \varepsilon$	$\left(G_1 + G_3 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$

Tabla 4.3.1 Parámetros relevantes para el tipo A de autoinducción con las topologías I.4 y II.8

	III.5	IV.5
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_4 + \frac{G_3 G_5}{G_4} \right) \varepsilon$	$1 + \left(G_1 + G_4 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$
\bar{E}_1	$\left[\left(1 + \frac{G_5}{G_4} \right) \frac{G_1 G_3}{C_2 \omega} + \left(1 + \frac{G_4}{G_3} \right) C_2 \omega \right] \varepsilon$	$\left[\frac{G_1 G_3}{C_2 \omega} + \left(1 + 2 \frac{G_4}{G_3} \right) C_2 \omega \right] \varepsilon$
M	$1 + 2 \frac{G_3 G_5}{G_4} \varepsilon$	$1 + 2 \left(G_1 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$
ε_l	$\left(-G_4 + \frac{G_3 G_5}{G_4} \right) \varepsilon$	$\left(G_1 - G_4 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon$

Tabla 4.3.2 Parámetros relevantes para el tipo A de autoinducción con las topologías III.5 y IV.5

	VII.3	VIII.6
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_1 + G_3 + G_4 + \frac{G_1 G_5}{G_4} \right) \varepsilon$	$1 + \left(G_1 + G_4 + G_5 + \frac{G_1 G_3}{G_4} \right) \varepsilon$
\bar{E}_1	$\left[\left(2 + \frac{G_5}{G_4} \right) \frac{G_1 G_3}{C_2 \omega} + C_2 \frac{G_4}{G_1} \omega \right] \varepsilon$	$\left[\frac{G_3 G_5}{C_2 \omega} + \left(1 + 2 \frac{G_4}{G_3} \right) C_2 \omega \right] \varepsilon$
M	$1 + 2 \left(G_1 + G_3 + 2 \frac{G_1 G_5}{G_4} \right) \varepsilon$	$1 + 2 \left(G_1 + G_5 + \frac{G_1 G_3}{G_4} \right) \varepsilon$
ε_l	$\left(G_1 + G_3 - G_4 + \frac{G_1 G_5}{G_4} \right) \varepsilon$	$\left(G_1 - G_4 + G_5 + \frac{G_1 G_3}{G_4} \right) \varepsilon$

Tabla 4.3.3 Parámetros relevantes para el tipo A de autoinducción con las topologías VII.3 y VIII.6

Se deduce de las tablas anteriores que ninguna de estas estructuras se va a comportar de forma adecuada a bajas frecuencias, ya que en todas ellas la función de error tiende a cero. Por otra parte, también se observa la posibilidad de anular el error fraccional, al menos en primera aproximación, salvo en las estructuras I.4 y II.8.

Es directo el comprobar que para estas seis topologías, se puede generalizar la función error a la siguiente forma funcional:

$$\tilde{E}(s) = cte \frac{s(s + s_z)}{s + s_p} \tag{4.33}$$

donde la frecuencia correspondiente al polo de la expresión anterior es siempre menor que la correspondiente al cero. Es claro, a la vista de 4.33, que una condición de diseño para las estructuras bajo estudio, es que maximizen la distancia entre la posición del polo y del cero y que el primero se aproxime al origen, para así expandir hasta el máximo posible el rango de frecuencias en las que la impedancia se comporta funcionalmente como se desea. Se define pues un nuevo parámetro, denominado rango útil de funcionamiento, como:

$$\gamma \equiv \frac{\omega_p}{\omega_z} \tag{4.34}$$

el cual idealmente tiende a cero. En la tabla 4.4 se muestra este nuevo parámetro para las diferentes estructuras propuestas. Se ha calculado en serie de potencias de ϵ , cortando a orden 2.

	ω_p	ω_z^{-1}	γ
I.4	$\frac{G_1 G_3}{C_2} \left(1 + \frac{G_5}{G_4}\right) \epsilon$	$C_2 \left(1 + \frac{G_4}{G_3}\right) \epsilon$	$G_1 (G_3 + G_4) \left(1 + \frac{G_5}{G_4}\right) \epsilon^2$
II.8	$\frac{G_1 G_3}{C_2} \epsilon$	$C_2 \frac{G_4}{G_3} \epsilon$	$G_1 G_4 \epsilon^2$
III.5	$\frac{G_1 G_3}{C_2} \left(1 + \frac{G_5}{G_4}\right) \epsilon$	$C_2 \left(1 + \frac{G_4}{G_3}\right) \epsilon$	$G_1 (G_3 + G_4) \left(1 + \frac{G_5}{G_4}\right) \epsilon^2$
IV.5	$\frac{G_1 G_3}{C_2} \epsilon$	$C_2 \left(1 + 2 \frac{G_4}{G_3}\right) \epsilon$	$G_1 (G_3 + 2G_4) \epsilon^2$
VII.3	$\frac{G_1 G_3}{C_2} \left(2 + \frac{G_5}{G_4}\right) \epsilon$	$C_2 \frac{G_4}{G_1} \epsilon$	$G_3 (2G_4 + G_5) \epsilon^2$
VIII.6	$\frac{G_3 G_5}{C_2} \epsilon$	$C_2 \left(1 + 2 \frac{G_4}{G_3}\right) \epsilon$	$G_5 (G_3 + 2G_4) \epsilon^2$

Tabla 4.4 Expresiones para el polo y el cero, así como para el rango útil de funcionamiento, supuesta la autoinducción tipo A

4.1.4.2 Tipo B

La tabla 4.5 resume los principales parámetros de la impedancia simulada, conforme la elección de la estructura.

	I.4	II.8
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_2 + G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$	$1 + \left(G_1 + G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$
\bar{E}_1	$\left[\left(2 + \frac{G_1}{G_2} \right) \frac{G_3 G_5}{C_4 \omega} + C_4 \frac{G_2}{G_3} \omega \right] \varepsilon$	$\left(\frac{G_3 G_5}{C_4 \omega} + C_4 \frac{G_2}{G_3} \omega \right) \varepsilon$
M	$1 + 2 \left(G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$	$1 + 2 \left(G_1 + G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$
ε_l	$\left(-G_2 + G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$	$\left(G_1 + G_3 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$

Tabla 4.5.1 Parámetros relevantes para el tipo B de autoinducción con las topologías I.4 y II.8

	III.5	IV.5
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_2 + \frac{G_1 G_3}{G_2} \right) \varepsilon$	$1 + \left(G_1 + G_2 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$
\bar{E}_1	$\left[\left(1 + \frac{G_1}{G_2} \right) \frac{G_3 G_5}{C_4 \omega} + \left(1 + \frac{G_2}{G_3} \right) C_4 \omega \right] \varepsilon$	$\left[\frac{G_3 G_5}{C_4 \omega} + \left(1 + 2 \frac{G_2}{G_3} \right) C_4 \omega \right] \varepsilon$
M	$1 + 2 \frac{G_1 G_3}{G_2} \varepsilon$	$1 + 2 \left(G_1 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$
ε_l	$\left(-G_2 + \frac{G_1 G_3}{G_2} \right) \varepsilon$	$\left(G_1 - G_2 + G_5 + \frac{G_1 G_3}{G_2} \right) \varepsilon$

Tabla 4.5.2 Parámetros relevantes para el tipo B de autoinducción con las topologías III.5 y IV.5

	VII.3	VIII.6
$\tilde{E}(s=0)$	0	0
\bar{E}_0	$1 + \left(G_1 + G_3 + 2 \frac{G_1 G_3}{G_2} \right) \varepsilon$	$1 + \left(G_1 + G_2 + G_5 + \frac{G_3 G_5}{G_2} \right) \varepsilon$
\bar{E}_1	$\left[\left(1 + \frac{G_3}{G_2} \right) \frac{G_1 G_5}{C_4 \omega} + \left(1 + \frac{G_2}{G_1} \right) C_4 \omega \right] \varepsilon$	$\left[\frac{G_1 G_3}{C_4 \omega} + \left(1 + 2 \frac{G_2}{G_3} \right) C_4 \omega \right] \varepsilon$
M	$1 + 2 \left(G_1 + G_3 + 2 \frac{G_1 G_3}{G_2} \right) \varepsilon$	$1 + 2 \left(G_1 + G_5 + \frac{G_3 G_5}{G_2} \right) \varepsilon$
ε_l	$\left(G_1 + G_3 + 2 \frac{G_1 G_3}{G_2} \right) \varepsilon$	$\left(G_1 - G_2 + G_5 + \frac{G_3 G_5}{G_2} \right) \varepsilon$

Tabla 4.5.3 Parámetros relevantes para el tipo B de autoinducción con las topologías VII.3 y VIII.6

Al igual que en el tipo A, la función de error se caracteriza por la dependencia funcional mostrada en la expresión 4.33. Es por esto razonable también el utilizar el rango útil de funcionamiento como un nuevo parámetro de diseño. En la tabla 4.6 se vuelven a mostrar las diferentes frecuencias características, así como el factor γ .

	ω_p	ω_z^{-1}	γ
I.4	$\frac{G_3 G_5}{C_4} \left(2 + \frac{G_1}{G_2} \right) \varepsilon$	$\frac{C_4 G_2}{G_3} \varepsilon$	$G_5 (G_1 + 2G_2) \varepsilon^2$
II.8	$\frac{G_3 G_5}{C_4} \varepsilon$	$\frac{C_4 G_2}{G_3} \varepsilon$	$G_2 G_5 \varepsilon^2$
III.5	$\frac{G_3 G_5}{C_4} \left(1 + \frac{G_1}{G_2} \right) \varepsilon$	$C_4 \left(1 + \frac{G_2}{G_3} \right) \varepsilon$	$G_5 (G_1 + G_2) \left(1 + \frac{G_3}{G_2} \right) \varepsilon^2$
IV.5	$\frac{G_3 G_5}{C_4} \varepsilon$	$C_4 \left(1 + 2 \frac{G_2}{G_3} \right) \varepsilon$	$G_5 (2G_2 + G_3) \varepsilon^2$
VII.3	$\frac{G_1 G_5}{C_4} \left(1 + \frac{G_3}{G_2} \right) \varepsilon$	$C_4 \left(1 + \frac{G_2}{G_1} \right) \varepsilon$	$G_5 (G_1 + G_2) \left(1 + \frac{G_3}{G_2} \right) \varepsilon^2$
VIII.6	$\frac{G_1 G_3}{C_4} \varepsilon$	$C_4 \left(1 + 2 \frac{G_2}{G_3} \right) \varepsilon$	$G_1 (2G_2 + G_3) \varepsilon^2$

Tabla 4.6 Expresiones para el polo y el cero, así como para el rango útil de funcionamiento supuesta la autoinducción tipo B

Observando las tablas anteriores, tanto para el tipo A como para el tipo B, se puede establecer la siguiente relación:

$$\bar{E}_1(\omega) \cong \left(\frac{\omega_p}{\omega} + \frac{\omega}{\omega_z} \right) \varepsilon \tag{4.35}$$

Este tipo de función se representa esquemáticamente en la figura 4.7, donde:

$$\omega_m \equiv \sqrt{\omega_p \omega_z} \tag{4.36}$$

y por tanto:

$$\bar{E}_1(\omega_m) \cong 2\varepsilon\sqrt{\gamma} \tag{4.37}$$

Esta expresión nos indica que la elección de la topología más adecuada debe de ir encaminada a minimizar el parámetro γ , para así maximizar tanto el factor de calidad (recuérdese su dependencia inversa con la parte imaginaria de la función de error, expresión 4.17), así como el rango útil de funcionamiento. Visto esto, y repasando las estructuras y tablas anteriores, no hay una elección clara de la topología más adecuada. Sin embargo es posible apuntar ciertas preferencias dependiendo del elemento a optimizar. Si lo que se busca es una impedancia que se comporte de forma estable en un amplio rango de frecuencias, la topología II.8 se muestra a priori como ventajosa. En cambio, si lo que se pretende es exactitud, sacrificando rango en frecuencia, la elección

más directa es la III.5. Y todo esto independientemente de la elección de tipo A o de tipo B para las impedancias.

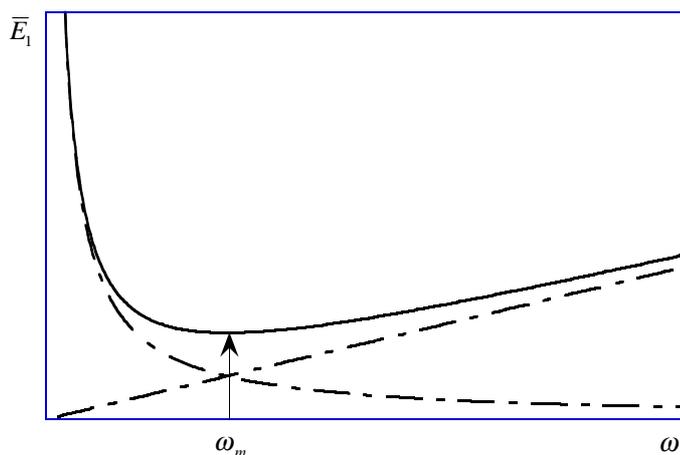


Figura 4.7 Representación cualitativa de la parte imaginaria de la función de error

Se abordará a continuación, para ilustrar todo el análisis anterior, un ejemplo numérico en el que se plasme lo anteriormente dicho. En las figuras 4.8 y 4.9, se muestra la función de error, magnitud y fase respectivamente, para las estructuras II.8 y III.5, supuestos los siguientes valores para las impedancias, tipo A:

$$G_1 = G_3 = G_4 = G_5 = 10^{-3} \text{ mhO} \quad C_2 = 10^{-9} \text{ F} \quad (4.38)$$

Respecto de la ganancia del elemento activo se supone constante en la zona de frecuencias de interés, y de valor 1/60 mhO.

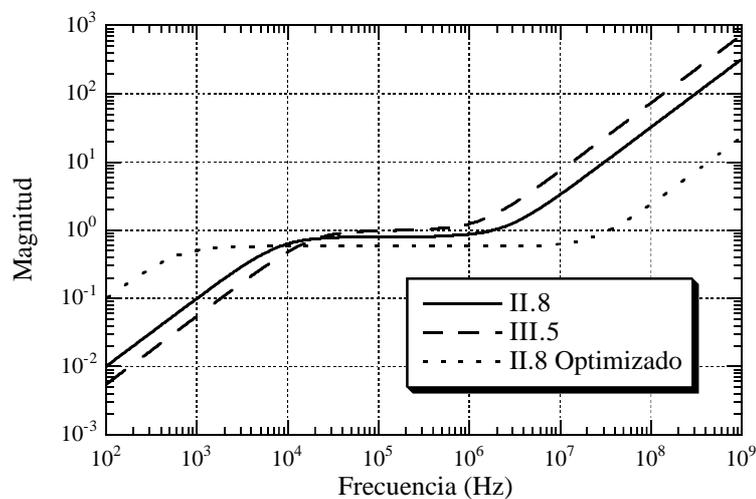


Figura 4.8 Módulo de la función de error para las estructuras II.8 y III.5, así como para la II.8 con una elección óptima de los valores de las admitancias

En dichas figuras se aprecia el mayor rango de funcionamiento para el caso II.8 a costa de perder cierta exactitud respecto del III.5. Yendo más allá en el diseño, pueden optimizarse los valores de las impedancias, para el caso II.8, de tal forma que se tienda a minimizar el parámetro γ . Esto se puede llevar a cabo sin más que elegir G_1 y G_4 lo menor posibles. Así, haciendo:

$$G_1 = G_4 = 10^{-4} \text{ mhO} \tag{4.39}$$

se obtiene la tercera traza de las figuras 4.8 y 4.9 en la que se aprecia cómo ha aumentado sensiblemente el rango de funcionamiento, perdiendo, de nuevo, precisión. En estas gráficas se ha elegido como representación para la función de error, su módulo y fase, en lugar de la parte real e imaginaria, con la que se ha tratado hasta ahora. Esto es debido a dos razones. La primera se refiere a la mayor simplicidad en el cálculo de las expresiones aproximadas para las partes reales e imaginarias. Por otra, las gráficas de módulo y fase resultan más fácilmente interpretables.

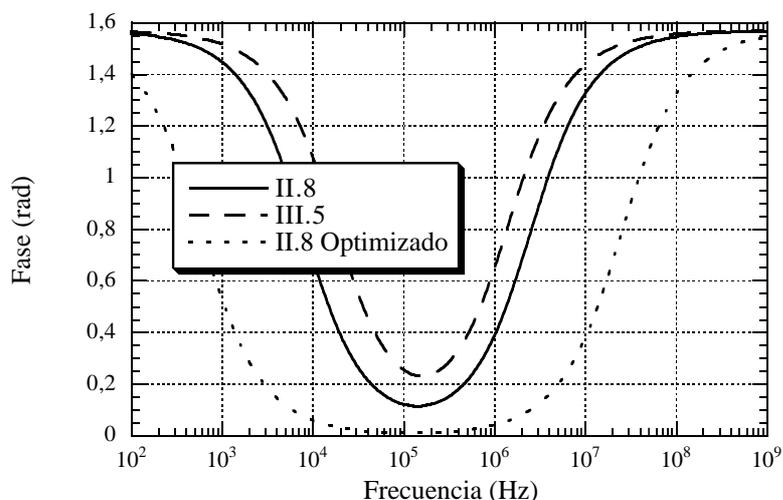


Figura 4.9 Fase de la función de error para las estructuras II.8 y III.5, así como para la II.8 optimizada

En lo que respecta al error fraccional, se puede aproximar su dependencia frecuencial como:

$$\text{II.8} \quad \varepsilon_l \cong \left(G_1 + G_3 + G_5 + \frac{G_3 G_5}{G_4} \right) \varepsilon - \frac{C_2^2 G_4^2}{G_3^2} \varepsilon^2 \omega^2 + O(\omega^4) \tag{4.40.1}$$

$$\text{III.5} \quad \varepsilon_l \cong \left(\frac{G_3 G_5}{G_4} - G_4 \right) \varepsilon - \frac{C_2^2 (G_3 + G_4)^2}{G_3^2} \varepsilon^2 \omega^2 + O(\omega^4) \tag{4.40.2}$$

siendo la gráfica 4.10, la correspondiente a los casos 4.38 y 4.39 anteriores. En ella se vuelve a comprobar la mayor exactitud del caso III.5 (de hecho se anula en primer orden de aproximación el error fraccional según se deduce de 4.40.2), frente al mayor rango del caso II.8. También se observa que para DC el error fraccional se anula, lo cual es como se verá a continuación un hecho ficticio, ya que la admitancia simulada deja de

comportarse de manera inductiva a esa frecuencia. Este enmascaramiento en el error fraccional procede de la expresión 4.31, en la cual, al existir tanto en el numerador como en el denominador el término \bar{E}_1 , se cancela su dependencia cuando la frecuencia disminuye y este último tiende a infinito.

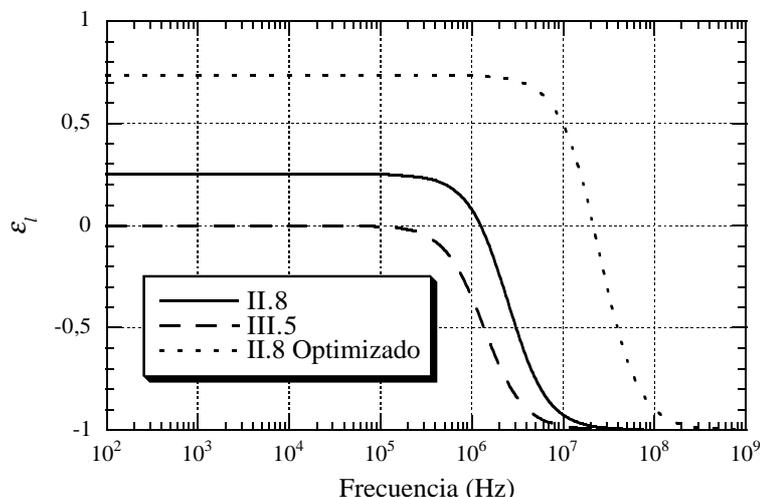


Figura 4.10 Error fraccional de las estructuras II.8 y III.5, así como para la II.8 optimizada

De las figuras 4.8 y 4.9 se observa que la función de error $\tilde{E}(s)$ no tiende a la unidad para bajas frecuencias, como ya se había adelantado. Se puede comprobar que:

$$\text{II.8} \quad Y_{IN}(s=0) = \frac{G_5}{G_4(1+G_5\varepsilon)} \quad (4.41.1)$$

$$\text{III.5} \quad Y_{IN}(s=0) = \frac{G_5(1+G_4\varepsilon)}{(G_4+G_5+G_4G_5\varepsilon)} \quad (4.41.2)$$

Por lo que se puede afirmar que la impedancia simulada se comporta a baja frecuencia como una resistencia, cuyo valor viene dado por las expresiones 4.41. Este comportamiento no deseado es común para todas las estructuras mostradas en la tabla 4.1, y por tanto es inevitable cuando se simulan autoinducciones con dispositivos transconductores como elemento activo. En efecto, el punto fundamental para poder afirmar lo anterior reside en el hecho de que la función de error posee un cero en el origen para todas las topologías, siempre y cuando una de las impedancias Y_2 o Y_4 sea un condensador, como es el caso que nos ocupa. Siendo así, y observando que el término Δ_d posee el factor Y_2Y_4 dividiendo, resulta que al multiplicar tanto el numerador como el denominador de la función de error por este factor, se genera un cero en el origen, que cancelará el comportamiento inductivo de la admitancia global. En consecuencia, una condición de diseño adicional para cualquier topología de las propuestas sería minimizar la frecuencia de ω_p para así maximizar el rango de frecuencias en las que el comportamiento es el deseado (supuesto que el valor de ω_z no se minimiza a su vez).

4.1.4.3 Resultados prácticos

A la hora de ilustrar con resultados de simulación las anteriores conclusiones teóricas, se ha elegido un filtro rechazo de banda de segundo orden, mostrado en la figura 4.11, en el cual la autoinducción se simulará con las estructuras II.8 y III.5.

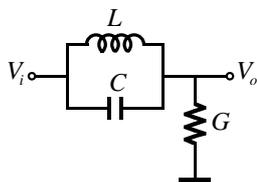


Figura 4.11 Filtro notch de segundo orden con una autoinducción flotante

Su función de transferencia viene dada por la expresión:

$$\frac{V_o}{V_i} = \frac{s^2 + \frac{1}{LC}}{s^2 + s\frac{G}{C} + \frac{1}{LC}} \tag{4.42}$$

Evidentemente, en este tipo de filtros existen dos únicos parámetros ajustables: el factor de calidad Q y la frecuencia natural ω_o , por lo que sin pérdida de generalidad se pueden suponer las siguientes relaciones:

$$C_2 = C \quad G_1 = G_4 \quad G_3 = G_5 \tag{4.43}$$

de tal forma que:

$$L = \frac{C}{G_3^2} \tag{4.44}$$

y así:

$$\omega_o = \frac{G_3}{C} \tag{4.45.1}$$

$$Q = \frac{G_3}{G} \tag{4.45.2}$$

De 4.45 se comprueba que se tiene control independiente sobre los dos parámetros característicos del filtro.

Para la simulación se ha elegido, como primer paso, los valores de impedancias indicados en 4.38, para luego en la estructura II.8 variarlos a los mostrados en 4.39. Obsérvese que en ambos casos se cumplen las relaciones 4.43, y que no se ha modificado el valor de la autoinducción. Se ha elegido para el factor de calidad el valor de la unidad.

Con estas premisas se han obtenido los resultados presentados en las figuras 4.12 y 4.13, correspondientes a la magnitud y la fase de la expresión 4.42, respectivamente. En ellas se puede observar lo anteriormente dicho al respecto de la precisión y rango de funcionamiento de la impedancia simulada. Es decir, se observa cómo la magnitud y la fase en el caso III.5 se aproximan de forma correcta a la función ideal en torno al valor

central, mientras que a frecuencias inferiores a ésta el error es sensiblemente mayor que en el caso de las estructura II.8, la cual posee una desviación global menor (en especial a bajas frecuencias) pero en la zona de transición se aleja de la respuesta ideal. Estos resultados están en concordancia con los mostrados en los párrafos anteriores sobre la función de error de estas dos topologías.

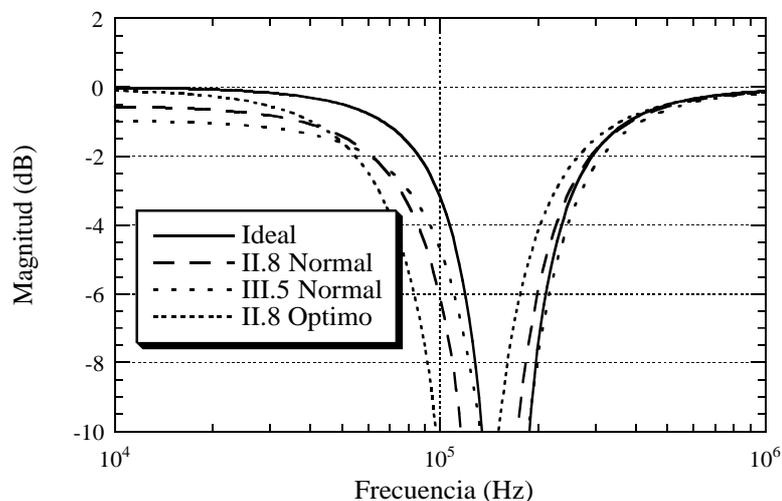


Figura 4.12 Comparación en detalle de la respuesta en magnitud de la función de transferencia del filtro notch ideal, respecto de las correspondientes a las estructuras II.8 y III.5, así como para la II.8 optimizada

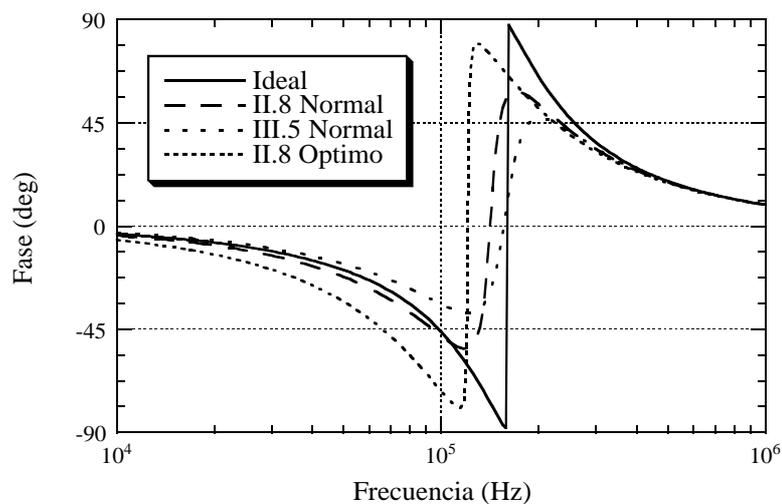


Figura 4.13 Comparación de la respuesta en fase de la función de transferencia del filtro notch ideal, respecto de las correspondientes a las estructuras II.8 y III.5, así como para la II.8 optimizada

4.1.5 Simulación de FDNRs

En el caso de la simulación de FDNRs existen tres posibilidades en la elección de las admitancias:

$$Y_1 = C_1s \quad Y_3 = C_3s \quad Y_i = G_i \quad \forall i \neq 1,3 \quad \text{Tipo A}$$

$$Y_1 = C_1s \quad Y_5 = C_5s \quad Y_i = G_i \quad \forall i \neq 1,5 \quad \text{Tipo B}$$

$$Y_3 = C_3s \quad Y_5 = C_5s \quad Y_i = G_i \quad \forall i \neq 3,5 \quad \text{Tipo C}$$

De nuevo se descartan otras posibilidades con mayor número de condensadores, debido a la limitación en la polarización de la etapa de entrada.

Siguiendo el método apuntado en la sección precedente se define el valor de la impedancia equivalente como:

$$-\frac{1}{\omega^2 D_{eq}} \equiv Re(Z_{IN}) \Rightarrow \frac{1}{D_{eq}} = \frac{1}{D_o} \frac{E_0}{E_0^2 + E_1^2} = \frac{1}{D_o} \frac{M\bar{E}_0}{\bar{E}_0^2 + \bar{E}_1^2} \quad (4.46)$$

donde el valor ideal D_o está expresado para cada elección de impedancias como:

$$\text{Tipo A} \quad D_o \equiv \frac{C_1 C_3 G_5}{G_2 G_4} \quad (4.47.1)$$

$$\text{Tipo B} \quad D_o \equiv \frac{C_1 C_5 G_3}{G_2 G_4} \quad (4.47.2)$$

$$\text{Tipo C} \quad D_o \equiv \frac{C_3 C_5 G_1}{G_2 G_4} \quad (4.47.3)$$

A la hora de definir el error fraccional ε_d como la desviación porcentual del valor equivalente respecto del ideal, ya no se conserva la expresión 4.31, sino que se obtiene:

$$\varepsilon_d \equiv \frac{D_{eq} - D_o}{D_o} = \frac{\bar{E}_0(\bar{E}_0 - M) + \bar{E}_1^2}{M\bar{E}_0} \quad (4.48)$$

Este error se puede aproximar como:

$$\varepsilon_d \cong \frac{(a_{10} - b_{10})\varepsilon + (a_{10}^2 + a_{11}^2 + a_{20} - a_{10}b_{10} - a_{11}b_{11} - b_{20})\varepsilon^2}{1 + (a_{10} + b_{10})\varepsilon + (a_{20} + a_{10}b_{10} + a_{11}b_{11} + b_{20})\varepsilon^2} \cong (a_{10} - b_{10})\varepsilon \quad (4.49)$$

supuesto que la transconductancia del elemento activo es constante y finita.

Se buscarán entonces aquellas estructuras que sean capaces de cumplir con la condición de diseño impuesta por 4.27. Para la búsqueda de estas topologías, se observa que ahora será en el numerador donde puede haber una dependencia inversa con la frecuencia (las admitancias impares siempre aparecen dividiendo), mientras que en el denominador existirá una dependencia directa con la frecuencia (las impedancias impares aparecen exclusivamente multiplicando). Es así que si se desea cumplir la igualdad 4.27 para cualquier frecuencia, es necesario anular las dependencias frecuenciales de los coeficientes \tilde{a}_1 y \tilde{b}_1 . Es directo el comprobar que la única posibilidad para ello es anular los propios coeficientes, por lo que las estructuras a elegir son la IV.3 (V.3, VI.3) y la VIII.4. De nuevo, se encuentra aquí la misma dificultad que en el caso de la simulación

de autoinducciones. Es decir, las dos topologías mencionadas poseen coeficientes negativos en la función de error, lo que puede llevar asociado inestabilidades en la impedancia global. Es por esto que tampoco se profundizará en el estudio de esta alternativa.

Se retorna pues a las seis topologías tratadas en la sección anterior, estudiando separadamente cada uno de los tipos de *FDNR*.

4.1.5.1 Tipo A

En este caso la tabla con los parámetros principales es la 4.7.

	I.4	II.8
$\tilde{E}(s=0)$	∞	∞
\bar{E}_0	$1 + \left[G_2 + G_5 - \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$1 + \left(G_5 - \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left[\frac{G_2 G_4}{C_3 \omega} + \left(1 + 2 \frac{G_5}{G_4} \right) C_3 \omega \right] \varepsilon$	$-\left[\frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_1}{C_3} + \frac{G_5}{G_4} \right) C_3 \omega \right] \varepsilon$
M	$1 + 2 \left[G_5 - \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$1 + 2 \left(G_5 - \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$
ε_d	$\left[G_2 - G_5 + \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$\left(-G_5 + \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$

Tabla 4.7.1 Parámetros relevantes para el tipo A de *FDNR* con las topologías I.4 y II.8

	III.5	IV.5
$\tilde{E}(s=0)$	∞	∞
\bar{E}_0	$1 + \left[G_2 + G_4 - \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + G_5 - \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left(\frac{G_2 G_4}{C_3 \omega} + C_3 \frac{G_5}{G_4} \omega \right) \varepsilon$	$-\left[2 \frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_3 G_5}{C_1 G_4} \right) C_1 \omega \right] \varepsilon$
M	$1 - 2 \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \varepsilon$	$1 + 2 \left(G_5 - \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$
ε_d	$\left[G_2 + G_4 + \left(1 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$\left(G_2 + G_4 - G_5 + \frac{C_1 C_3}{G_2} \omega^2 \right) \varepsilon$

Tabla 4.7.2 Parámetros relevantes para el tipo A de *FDNR* con las topologías III.5 y IV.5

	VII.3	VIII.6
$\tilde{E}(s=0)$	∞	∞
\bar{E}_0	$1 + \left[G_4 - \left(2 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + G_5 - \frac{C_1 C_3}{G_4} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left[\frac{G_2 G_4}{C_1 \omega} + \left(1 + \frac{C_3}{C_1} + \frac{G_5}{G_4} \right) C_1 \omega \right] \varepsilon$	$-\left[2 \frac{G_2 G_4}{C_3 \omega} + \left(\frac{C_1}{C_3} + \frac{G_5}{G_2} \right) C_3 \omega \right] \varepsilon$
M	$1 - 2 \left(2 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \varepsilon$	$1 + 2 \left(G_5 - \frac{C_1 C_3}{G_4} \omega^2 \right) \varepsilon$
ε_d	$\left[G_4 + \left(2 + \frac{G_5}{G_4} \right) \frac{C_1 C_3}{G_2} \omega^2 \right] \varepsilon$	$\left(G_2 + G_4 - G_5 + \frac{C_1 C_3}{G_4} \omega^2 \right) \varepsilon$

Tabla 4.7.3 Parámetros relevantes para el tipo A de FDNR con las topologías VII.3 y VIII.6

4.1.5.2 Tipo B

Aquí es la tabla 4.8 la que muestra las características de este tipo de FDNR.

	I.4	II.8
$\tilde{E}(s=0)$	$1 + \left(G_2 - G_3 + \frac{G_2 G_4}{G_3} \right) \varepsilon$	$1 + \left(-G_3 + \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_0	$1 + \left[G_2 \left(1 + \frac{G_4}{G_3} \right) + G_3 - \frac{C_1 C_5 G_3}{G_2 G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_3 + \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_1	$-\left(1 + \frac{C_1 G_3}{C_5 G_2} + 2 \frac{G_3}{G_4} \right) C_3 \omega \varepsilon$	$-\left[C_1 \left(1 + \frac{G_3}{G_2} \right) + C_5 \left(1 + \frac{G_3}{G_4} \right) \right] \omega \varepsilon$
M	$1 + 2 G_3 \left(1 - \frac{C_1 C_5}{G_2 G_4} \omega^2 \right) \varepsilon$	$1 + 2 G_3 \varepsilon$
ε_d	$\left[G_2 \left(1 + \frac{G_4}{G_3} \right) - G_3 + \frac{C_1 C_5 G_3}{G_2 G_4} \omega^2 \right] \varepsilon$	$\left(-G_3 + \frac{G_2 G_4}{G_3} \right) \varepsilon$

Tabla 4.8.1 Parámetros relevantes para el tipo B de FDNR con las topologías I.4 y II.8

	III.5	IV.5
$\tilde{E}(s=0)$	$1 + \left(G_2 + G_4 + \frac{G_2 G_4}{G_3} \right) \varepsilon$	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_0	$1 + \left[G_2 \left(1 + \frac{G_4}{G_3} \right) + G_4 - \frac{C_1 C_3 G_3}{G_2 G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_1	$-\left(\frac{C_5}{G_4} + \frac{C_1}{G_2} \right) G_3 \omega \varepsilon$	$-\left[C_1 \left(1 + \frac{G_3}{G_2} \right) + C_5 \left(1 + \frac{G_3}{G_4} \right) \right] \omega \varepsilon$
M	$1 - 2 G_3 \frac{C_1 C_5}{G_2 G_4} \omega^2 \varepsilon$	1
ε_d	$\left[G_2 \left(1 + \frac{G_4}{G_3} \right) + G_4 + \frac{C_1 C_3 G_3}{G_2 G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$

Tabla 4.8.2 Parámetros relevantes para el tipo B de FDNR con las topologías III.5 y IV.5

	VII.3	VIII.6
$\tilde{E}(s=0)$	∞	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_0	$1 + \left[G_3 + G_4 - \left(1 + \frac{G_3}{G_2} \right) \frac{C_1 C_3}{G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$
\bar{E}_1	$-\left[\frac{G_2 G_4}{C_1 \omega} + \left(1 + 2 \frac{G_3}{G_2} \right) C_1 \omega \right] \varepsilon$	$-\left[C_1 \left(1 + \frac{G_3}{G_4} \right) + C_5 \left(1 + \frac{G_3}{G_2} \right) \right] \omega \varepsilon$
M	$1 + 2 \left[G_3 - \left(1 + \frac{G_3}{G_2} \right) \frac{C_1 C_3}{G_4} \omega^2 \right] \varepsilon$	1
ε_d	$\left[-G_3 + G_4 + \left(1 + \frac{G_3}{G_2} \right) \frac{C_1 C_3}{G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_2 + G_4 + 2 \frac{G_2 G_4}{G_3} \right) \varepsilon$

Tabla 4.8.3 Parámetros relevantes para el tipo B de FDNR con las topologías VII.3 y VIII.6

4.1.5.3 Tipo C

Es la tabla 4.9 la que muestra en este caso los parámetros característicos.

	I.4	II.8
$\tilde{E}(s=0)$	∞	∞
\bar{E}_0	$1 + \left[G_2 - \left(2 + \frac{G_1}{G_2} \right) \frac{C_3 C_5}{G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_1 - \frac{C_3 C_5}{G_4} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left[\frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_5}{C_3} + \frac{G_1}{G_2} \right) C_3 \omega \right] \varepsilon$	$-\left[\frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_5}{C_3} + \frac{G_1}{G_2} \right) C_3 \omega \right] \varepsilon$
M	$1 - 2 \left(1 + 2 \frac{G_2}{G_1} \right) \frac{C_3 C_5 G_1}{G_2 G_4} \omega^2 \varepsilon$	$1 + 2 \left(G_1 - \frac{C_3 C_5}{G_4} \omega^2 \right) \varepsilon$
ε_d	$\left[G_2 + \left(2 + \frac{G_1}{G_2} \right) \frac{C_3 C_5}{G_4} \omega^2 \right] \varepsilon$	$\left(-G_1 + \frac{C_3 C_5}{G_4} \omega^2 \right) \varepsilon$

Tabla 4.9.1 Parámetros relevantes para el tipo C de FDNR con las topologías I.4 y II.8

	III.5	IV.5
$\tilde{E}(s=0)$	∞	∞
\bar{E}_0	$1 + \left[G_2 + G_4 - \left(1 + \frac{G_1}{G_2} \right) \frac{C_3 C_5}{G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_1 + G_2 + G_4 - \frac{C_3 C_5}{G_4} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left(\frac{G_2 G_4}{C_3 \omega} + \frac{C_3 G_1}{G_2} \omega \right) \varepsilon$	$-\left[2 \frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_3 G_1}{C_5 G_2} \right) C_5 \omega \right] \varepsilon$
M	$1 - 2 \left(1 + \frac{G_2}{G_1} \right) \frac{C_3 C_5 G_1}{G_2 G_4} \omega^2 \varepsilon$	$1 + 2 G_1 \left(1 - \frac{C_3 C_5}{G_1 G_4} \omega^2 \right) \varepsilon$
ε_d	$\left[G_2 + G_4 + \left(1 + \frac{G_1}{G_2} \right) \frac{C_3 C_5}{G_4} \omega^2 \right] \varepsilon$	$\left(-G_1 + G_2 + G_4 + \frac{C_3 C_5}{G_4} \omega^2 \right) \varepsilon$

Tabla 4.9.2 Parámetros relevantes para el tipo C de FDNR con las topologías III.5 y IV.5

	VII.3	VIII.6
$\tilde{E}(s=0)$	$1 + \left(-G_1 + G_4 + \frac{G_2 G_4}{G_1}\right) \varepsilon$	∞
\bar{E}_0	$1 + \left[G_1 + G_4 \left(1 + \frac{G_2}{G_1}\right) - \frac{C_3 C_5 G_1}{G_2 G_4} \omega^2 \right] \varepsilon$	$1 + \left(G_1 + G_2 + G_4 - \frac{C_3 C_5}{G_2} \omega^2 \right) \varepsilon$
\bar{E}_1	$-\left[C_3 \left(1 + 2 \frac{G_1}{G_2}\right) + \frac{C_5 G_1}{G_4} \right] \omega \varepsilon$	$-\left[2 \frac{G_2 G_4}{C_3 \omega} + \left(1 + \frac{C_3 G_1}{C_5 G_4}\right) C_5 \omega \right] \varepsilon$
M	$1 + 2G_1 \left(1 - \frac{C_3 C_5}{G_2 G_4} \omega^2\right) \varepsilon$	$1 + 2G_1 \left(1 - \frac{C_3 C_5}{G_1 G_2} \omega^2\right) \varepsilon$
ε_d	$\left[-G_1 + G_4 \left(1 + \frac{G_2}{G_1}\right) + \frac{C_3 C_5 G_1}{G_2 G_4} \omega^2 \right] \varepsilon$	$\left(-G_1 + G_2 + G_4 + \frac{C_3 C_5}{G_2} \omega^2 \right) \varepsilon$

Tabla 4.9.3 Parámetros relevantes para el tipo C de FDNR con las topologías VII.3 y VIII.6

A la vista de las tablas anteriores, se observan varias propiedades:

- i) La función de error no se comporta de forma adecuada a bajas frecuencias salvo en el tipo B de impedancias, exceptuando el caso VII.3 que es válido en el tipo C.
- ii) La parte imaginaria de la función de error posee siempre una dependencia con la frecuencia, la cual es imposible anular, salvo para valores concretos.
- iii) Respecto al error fraccional ocurre exactamente igual que en el apartado anterior, salvo para el caso II.8 tipo B, en el cual es posible anular en primer orden de aproximación dicho error.

Con estas propiedades en mente, es claro que la estructura II.8 con la elección de impedancias del tipo B, resulta la más adecuada para la simulación de FDNRs, siempre y cuando se cumpla la siguiente condición de diseño:

$$G_3^2 = G_2 G_4 \quad (4.50)$$

De forma más exacta, el error fraccional se puede escribir como:

$$\varepsilon_d \cong \left(\frac{G_2 G_4}{G_3} - G_3 \right) \varepsilon + G_3^2 \varepsilon^2 + C_1 C_5 \left(1 + \frac{G_3}{G_4} + \frac{G_3}{G_2} \right) \varepsilon^2 \omega^2 + O(\omega^4) \quad (4.51)$$

En esta expresión se ve clara la forma de anular mediante la condición 4.50, en primer orden de aproximación, el valor de ε_d para bajas frecuencias. Es importante observar el comportamiento cuadrático de 4.51 respecto de la frecuencia, que proviene del hecho de que ε_d es una función par en ω . En DC la expresión exacta sería:

$$\varepsilon_d(\omega=0) = \frac{G_3 + G_2 G_4 \varepsilon + G_2 G_3 G_4 \varepsilon^2}{G_3(1 + G_3 \varepsilon)} \quad (4.52)$$

Por otra parte, la función de error para las estructuras estudiadas en las tablas 4.7 a 4.9, posee una forma funcional del tipo:

$$\tilde{E}(s) = cte \frac{1}{s^2 + s \frac{\omega_o}{Q} + \omega_o^2} \quad (4.53)$$

que corresponde a una repuesta de tipo paso bajo de orden dos cuyo parámetro relevante es la frecuencia característica ω_o , y que en el caso de la estructura II.8-Tipo B viene dada por:

$$\omega_o = \sqrt{\frac{1}{D_o} \frac{1 + G_3 \epsilon}{\left(G_2 + G_4 + \frac{G_2 G_4}{G_3} \right) \epsilon^2}} \quad (4.54)$$

Para ilustrar todas las expresiones anteriores se abordará a continuación un ejemplo numérico. Se partirá de la siguiente elección para los valores de las impedancias:

$$G_2 = G_3 = G_4 = 10^{-3} \text{ mhO} \quad C_1 = C_5 = 10^{-9} \text{ F} \quad (4.55)$$

Respecto de la ganancia del elemento activo se supone constante en la zona de frecuencias de interés, y de valor 1/60 mhO. Las figuras 4.14 y 4.15 muestran para estos valores la magnitud y la fase de la función de error, respectivamente.

Con lo que respecta al error fraccional, se muestra en la figura 4.16. Se observa que para ω_o , el error fraccional tiende a infinito, debido a que para esa frecuencia la función de error es puramente imaginaria, y por tanto D_{eq} diverge, expresión 4.46.

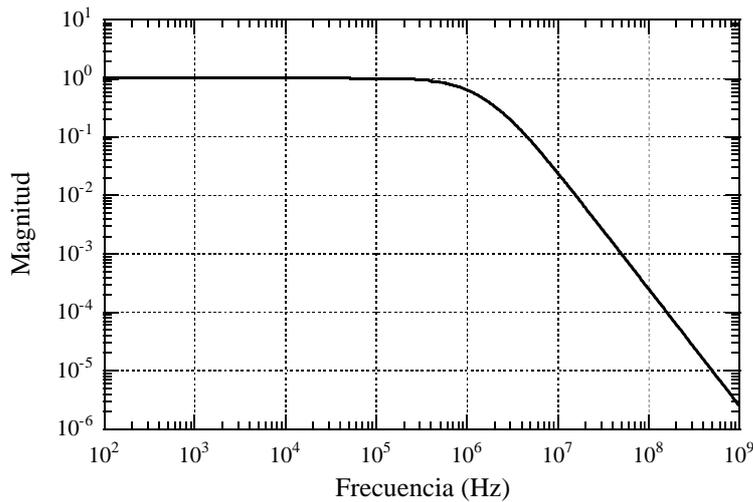


Figura 4.14 Magnitud de la función de error para una FDNR simulada mediante la estructura II.8, tipo B

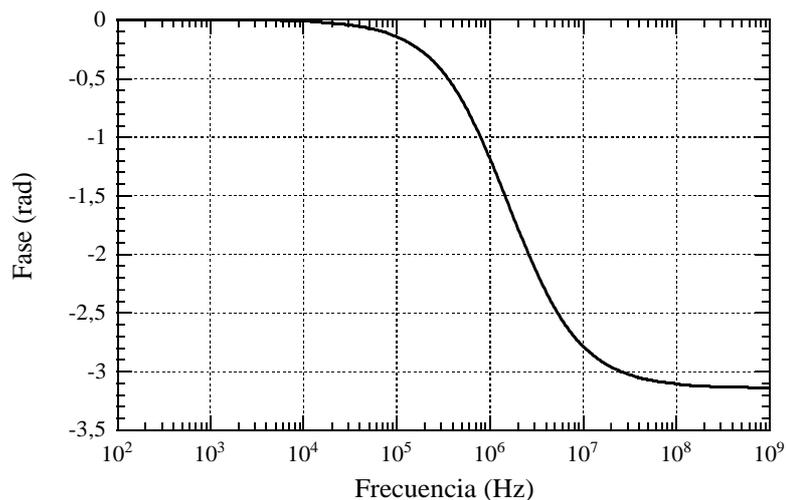


Figura 4.15 Fase de la función de error para una FDNR simulada mediante la estructura II.8, tipo B

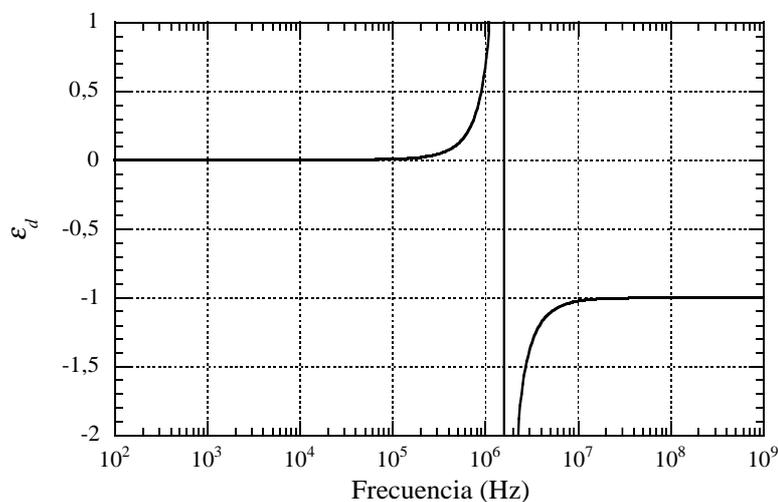


Figura 4.16 Error fraccional de la impedancia simulada con la estructura II.8, tipo B

4.1.5.4 Resultados prácticos

En este apartado se mostrarán diversos resultados de simulación de un filtro notch, en el cual se ha utilizado una impedancia del tipo *FDNR*, sintetizada por los métodos propuestos en esta sección. Se parte del filtro mostrado en la figura 4.11, al que se le aplica una transformación de Bruton, para obtener el de la figura 4.17.

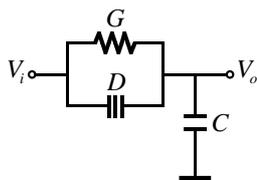


Figura 4.17 Filtro notch de segundo orden con una FDNR flotante

Ahora la función de transferencia queda como:

$$\frac{V_o}{V_i} = \frac{s^2 + \frac{G}{D}}{s^2 + \frac{C}{D}s + \frac{G}{D}} \tag{4.56}$$

Utilizando el tipo B para la simulación de la FDNR, supuesto se cumplen las siguientes expresiones:

$$C_1 = C_5 = C \quad G_3 = G_2 \tag{4.57}$$

se tiene un valor para la FDNR dado por:

$$D = \frac{C_1^2}{G_4} \tag{4.58}$$

y por tanto la frecuencia natural y el factor de calidad se expresan como:

$$\omega_o^2 = \frac{GG_4}{C_1^2} \tag{4.59.1}$$

$$Q = \sqrt{\frac{G}{G_4}} \tag{4.59.2}$$

con lo que se vuelve a tener control independiente tanto de la frecuencia central como del factor de calidad. Así las condiciones 4.57 no suponen una pérdida de generalidad en este tipo de filtro.

Concretamente para los valores de las diferentes admitancias se han escogido los mostrados en 4.55, supuesto un valor unitario para el factor de calidad. Así se podrán usar los diversos resultados que para ellos se han obtenido con respecto a la función de error. Con estas premisas, se muestran en las figuras 4.18 y 4.19 las respuestas en magnitud y fase, respectivamente, para el filtro rechazo de banda. Se comparan los datos de simulación con los correspondientes al supuesto de filtro ideal. A la vista de estas gráficas, se hace patente el efecto de la función de error a altas frecuencias, figura 4.14 y 4.15, de tal forma que el filtro real se puede considerar prácticamente ideal a frecuencias bajas, mientras que conforme aumenta la frecuencia se va alejando de la respuesta ideal, debido a la ganancia finita del elemento transconductor.

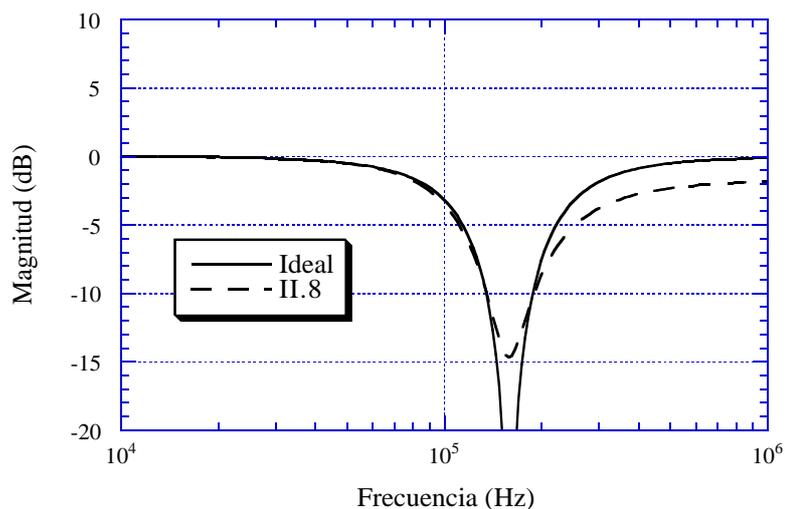


Figura 4.18 Comparación en detalle de la respuesta en magnitud de la función de transferencia del filtro notch ideal respecto de la correspondiente a la estructura II.8, tipo B

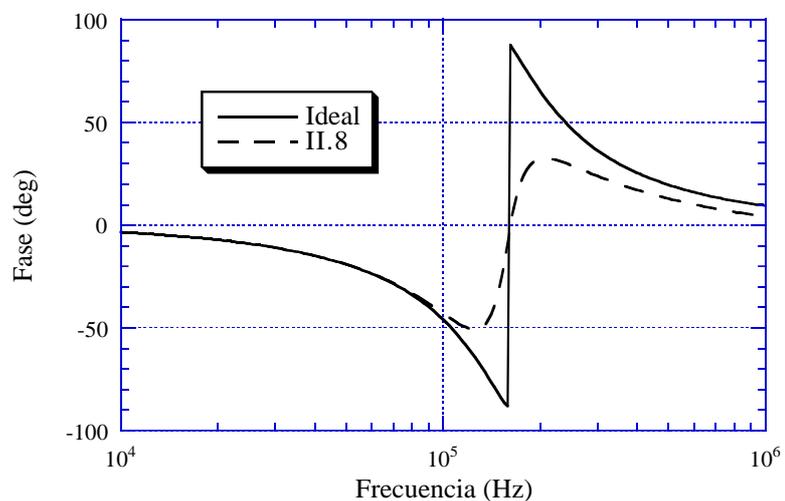


Figura 4.19 Comparación de la respuesta en fase de la función de transferencia del filtro notch ideal respecto de la correspondiente a la estructura II.8, tipo B

4.2 Simulación de admitancias arbitrarias

4.2.1 Síntesis automática

En este apartado se abordará el problema de la síntesis automática de redes con una determinada admitancia de entrada, mediante algoritmos de cálculo, de tal forma que sea posible llevarlos a cabo mediante un lenguaje de programación. La herramienta a utilizar deberá permitir el manejar con facilidad expresiones algebraicas, así como listas y

matrices. Se ha optado por la herramienta denominada Mathematica™ por adecuarse perfectamente a los requerimientos anteriores. Una ventaja adicional de esta elección es la existencia de una librería de funciones para el tratamiento de grafos, lo que se mostrará más adelante como sumamente útil. Por otra parte, y para la gran mayoría de los problemas aquí tratados, es necesaria una potencia de cálculo elevada, y en especial, una gran cantidad de memoria, por lo que es casi imprescindible el uso de una estación de trabajo. De hecho y como se verá, no ha sido posible finalizar todos los problemas planteados, debido a una limitación en la capacidad de cómputo. No obstante, es necesario resaltar que el algoritmo diseñado es perfectamente válido para la resolución de un problema de síntesis genérico y sólo está limitado por la capacidad de cálculo y la cantidad de memoria.

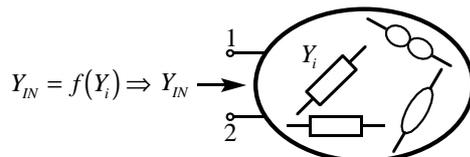


Figura 4.20 Diagrama general ilustrativo del problema de síntesis

La situación de partida se muestra en la figura 4.20. Dada una función f cuyas variables serán admitancias, se deberán buscar todas aquellas redes activas tales que contengan dos nodos accesibles, entre los cuales la admitancia de entrada coincida con dicha función. Se clasificarán las diferentes redes por el número de nodos que posean. El algoritmo de síntesis deberá ser exhaustivo, supuesto conocido el número de nodos, n , de la red. Es decir, deberá dar como resultado *todas* las redes con n nodos, cuya admitancia de entrada sea la buscada.

Se tratará ahora de obtener una cota superior al número n de nodos de la red, supuesta dada la función f , y el número de nullors a utilizar. Sea N el número de variables de f . Sea M el número de nullors. Sea n_{max} el número máximo de nodos que puede tener la red. Se distinguen entre nodos externos, denominados 1 y 2 en la figura 4.20, y nodos internos, aquéllos que componen el resto de la red. Sea n_{ex} el número de nodos externos y n_{in} el de internos. Se contabilizará a continuación el número mínimo de elementos que pueden incidir sobre cada nodo de la red, para así maximizar la cantidad de éstos. Respecto de los nodos externos, como mínimo deben tener cada uno dos elementos incidiendo sobre ellos. En efecto:

- i) Si incidiera una sola admitancia, Y_k , entonces la función f se podría descomponer como, figura 4.21.a:

$$f(Y_k, Y_i) = \left(Y_k^{-1} + [f'(Y_i)]^{-1} \right)^{-1} \quad i \neq k, i = 1 \dots N \tag{4.60}$$

Por lo que la síntesis se reduciría a la función f' .

- ii) Si incidiera un nolator, figura 4.21.b, entonces es claro que la función se reduce a un caso trivial.

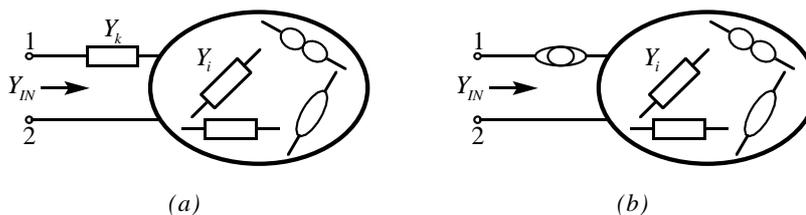


Figura 4.21 Situaciones en las que la red se reduciría a un caso trivial

Por lo que respecta a los nodos internos, deben existir al menos tres elementos incidentes, ya que si no la red se reduciría a una con un nodo menos, figura 4.22. En efecto, el caso (a) equivale a las dos admitancias en serie; el caso (b) a un abierto o un corto, dependiendo de si el nulator es un nullator o un norator, respectivamente, y por último el caso (c) varía según la combinación de nulators; no obstante en cualquiera de las cuatro combinaciones posibles, siempre se simplifica el nodo intermedio (ver propiedades de la sección 2.11).

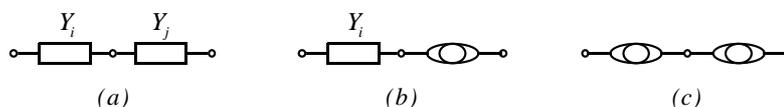


Figura 4.22 Situaciones posibles en las que desaparecería un nodo interno

En definitiva, se debe de cumplir que:

$$2N + 4M = 2 \times n_{ex} + 3 \times n_{in} \quad (4.61.1)$$

$$n_{max} = n_{ex} + n_{in} \quad (4.61.2)$$

donde evidentemente el número de nodos externos, n_{ex} , es dos. Por tanto:

$$n_{max} = 2 + \text{floor}\left(\frac{2N + 4(M-1)}{3}\right) \quad (4.62)$$

donde la función $\text{floor}(x)$ calcula el mayor entero menor o igual que x .

A continuación, y a modo de ejemplo, se aplica este razonamiento a dos situaciones clásicas en simulación de admitancias, como son los *NICs* y los *GICs*. En el primero de estos casos, la función a simular viene dada por:

$$Y_{IN} = f(Y_1, Y_2, Y_3) = -\frac{Y_1 Y_3}{Y_2} \quad (4.63)$$

Es claro que en este caso N vale 3. Así:

M	n_{max}
1	4
2	5
3	6
4	8

Tabla 4.10 Número máximo de nodos para el caso de N igual a 3

En el caso de los $GICs$, la función a simular viene dada por:

$$Y_{IN} = f(Y_1, Y_2, Y_3, Y_4, Y_5) = \frac{Y_1 Y_3 Y_5}{Y_2 Y_4} \tag{4.64}$$

Como ahora N vale 5, la tabla para el máximo número de nodos en la red frente al número de nullors es la siguiente:

M	n_{max}
2	6
3	8
4	9

Tabla 4.11 Número máximo de nodos para el caso de N igual a 5

A continuación se analizará en detalle el algoritmo propuesto para la síntesis de admitancias. Inicialmente se parte de una red pasiva totalmente conectada, con un número n de nodos. Es necesario recalcar el hecho de la simetría de este tipo de redes. Esta propiedad permite la elección completamente arbitraria de los nodos exteriores 1 y 2. El número de nodos n , se irá variando desde valores mínimos hasta el valor de n_{max} , de tal forma que la búsqueda sea exhaustiva, supuesto conocido el número de nullors, M . Al estar la red completamente conectada, entre cualesquiera nodos, i y j , existirá una impedancia, que se denominará Y_{ij} . Es decir, inicialmente se dispone de un mayor número de admitancias, que luego se reducirá, hasta conseguir N de ellas. Por tanto, la matriz indefinida de admitancias de dicha red tendrá la forma:

$$\mathbf{Y} = \begin{bmatrix} \sum_i Y_{1i} & -Y_{12} & K & -Y_{1n} \\ -Y_{21} & \sum_i Y_{2i} & K & -Y_{2n} \\ M & M & O & M \\ -Y_{n1} & -Y_{n2} & K & \sum_i Y_{ni} \end{bmatrix} \tag{4.65}$$

Ahora el siguiente paso consiste en conectar dentro de la red, de todas las formas posibles, los M nullors. Para cada posición de los elementos activos, se reducirá la matriz indefinida, hasta llegar a la matriz definida. El procedimiento seguido para ello es clásico [BRUT 80] y se reproduce a continuación:

- i) Para cada nullator conectado entre los nodos i y j con $i < j$, suprimase la columna j de \mathbf{Y} , y reemplácese la columna i por la suma de las columnas i y j . Este proceso se repetirá para cada nullator.
- ii) Para cada norator conectado entre los nodos i y j con $i < j$, suprimase la fila j de \mathbf{Y} , y reemplácese la fila i por la suma de las filas i y j . Este proceso se repetirá para cada norator.

Una vez hecho esto, la matriz original $n \times n$, se reduce a una, \mathbf{Y}^* , cuyas dimensiones serían $(n - M) \times (n - M)$. Para el cálculo de la admitancia de entrada se utiliza la siguiente expresión:

$$Y_{IN} = \frac{\bar{\mathbf{Y}}_2^{*2}}{\bar{\mathbf{Y}}_{1,2}^{*2}} \quad (4.66)$$

donde $\bar{\mathbf{Y}}_j^i$ representa el menor complementario de la fila i columna j .

Se analizará a continuación en detalle el procedimiento seguido para la colocación exhaustiva de los nullors en toda la red. En primer lugar se genera una lista cuyos elementos representan los nodos de la red, y por tanto de la forma:

$$nodos = \{1, 2, \dots, n\} \quad (4.67)$$

Ahora se calculan todos los subconjuntos de cardinal 2 de esta lista, es decir:

$$nolators = \{\{1, 2\}, \{1, 3\}, \dots, \{n - 1, n\}\} \quad (4.68)$$

Esta lista representa todas las posibles localizaciones de nullators o de norators en la red; de ahí que se haya denominado *nolators*. Su cardinal es:

$$\binom{n}{2} = \frac{n(n-1)}{2} \quad (4.69)$$

Sólo resta ahora generar las M -tuplas de nolators:

$$Mnolators = \{\{\{1, 2\}, \dots, \{1, M + 1\}\}, \{\{1, 2\}, \dots, \{1, M + 2\}\}, \dots\} \quad (4.70)$$

cuyo cardinal viene dado por:

$$n_M \equiv \binom{\binom{n}{2}}{M} \quad (4.71)$$

Una vez que se han calculado las M -tuplas de nolators, hay que emparejarlas entre sí, para originar un lista de nullors, denominada *nullors*. Esta lista no se representa, ya que resultaría poco legible. No obstante, su cardinal sería:

$$n_T \equiv \binom{n_M}{2} \quad (4.72)$$

Evidentemente de estas n_T posibilidades, hay que realizar una serie de simplificaciones, ya que en caso contrario, el problema de síntesis seguiría siendo computacionalmente complejo debido al carácter exponencial de la expresión 4.72. Dichas simplificaciones se detallarán en los siguientes párrafos.

En este punto del desarrollo, es necesario introducir unos determinados conceptos de teoría de grafos. Es claro que un elemento de la lista 4.70 puede entenderse como el conjunto de aristas de un grafo inmerso en la red pasiva, que a su vez se puede entender como otro grafo, esta vez completamente conectado, es decir completo. Dicho grafo, el correspondiente a los nolators, para tener consistencia con las propiedades enunciadas en el apartado 2.11, debería ser un bosque, es decir, un grafo compuesto únicamente por árboles. Por otra parte, dado un árbol con k aristas, existen $(k + 1)^{k-1}$ árboles equivalentes eléctricamente [WIE 86]. Es claro entonces que un mecanismo de simplificación será el suprimir todos aquellos árboles de 4.70 redundantes, es decir, que sean reordenaciones de un árbol anterior. Es claro, también, que se deberán suprimir todos aquellos grafos que posean ciclos, es decir, que no sean bosques. Para la realización de estas dos tareas, el procedimiento utilizado pasa primero por calcular, de un grafo dado, todos sus subgrafos disconexos, figura 4.23. Se ha utilizado un método iterativo con *backtracking* denominado *DFS (Depth-First Search)* [FOU 92]. Este algoritmo se basa en analizar el grafo comenzando en un vértice cualquiera, escogiendo una arista que incida en dicho nodo, para luego seguir el análisis en el otro vértice sobre el cual incide la arista. De esta forma se puede ir recorriendo todo un grafo, para comprobar diversas propiedades: búsqueda de arboles, planaridad, isomorfismos, y la que en concreto se busca, como es la conectividad. Una vez obtenidas las componentes conectadas, es inmediato el probar si el grafo posee ciclos, sin más que verificar que el número de aristas en cada subgrafo conectado es igual al número de vértices menos uno. Por otra parte, el cálculo de las reordenaciones de los nolators resulta directa de la lista de vértices de los subgrafos conectados, sin más que calcular todas las posibles combinaciones de vértices, eliminando aquellas que posean ciclos.

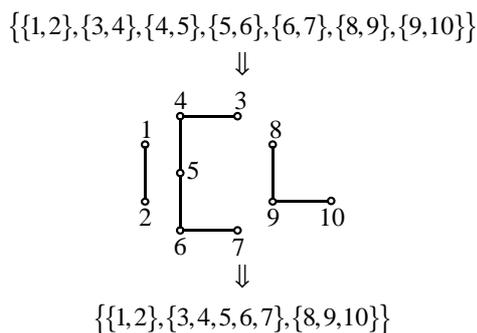


Figura 4.23 Ejemplo práctico de cálculo de los nodos de cada uno de los árboles disconexos del bosque

Una simplificación posterior se realiza eliminando todos aquellos casos que posean un nolator conectado entre los terminales exteriores, ya sea directamente o a través de una reordenación. Gracias a todas estas simplificaciones se obtiene una nueva lista, $Mnolators^*$, cuyo cardinal se denotará por n_M^* .

Obsérvese que no se ha impuesto la condición de que no haya un nolator entre dos nodos consecutivos (en paralelo con una admitancia), ya que este tipo de situaciones son las que simplificarán la red pasiva, eliminando admitancias de la expresión final (véanse las propiedades 2.1.1).

A continuación se establecen dos criterios de selección para cribar los nullors que se obtienen del cálculo de subconjuntos de dos elementos, de la lista $Mnolators^*$. En primer lugar, se rechazan todos aquellos casos en los que exista un nodo interno en la red sin conexión a un nolator. La razón de esta simplificación radica en la propiedad de las redes pasivas por la cual, dada una red con un nodo inaccesible, ésta es completamente equivalente a otra red pasiva con un nodo menos. En segundo lugar, se rechazan todos aquellos que posean dos componentes conectadas (obviamente una correspondiente al nullator y la otra al norator) cuya intersección sea mayor que uno. Es decir, se rechazan situaciones en las que existan un nullator y un norator entre los dos mismos nodos, o mediante alguna reordenación, ya que esto equivaldría a un cortocircuito y por tanto a simplificar un elemento activo, con lo que el análisis se reduciría a un caso que se debería haber analizado con anterioridad. De aquí se obtiene una nueva lista de nullors que se denominará $nullors^*$ y cuyo cardinal es n_T^* .

Con todas estas simplificaciones, se puede realizar una tabla en la que se muestran los distintos grados de simplificación, así como el factor de reducción α , definido como el cociente entre n_T y n_T^* , para diferentes valores del número de nodos y de elementos activos.

	n_M	n_T	n_M^*	n_T^*	α
$n=5 M=2$	45	990	19	78	12.69
$n=6 M=2$	105	5460	55	663	8.23
$n=7 M=2$	210	21945	125	1825	12.02
$n=7 M=3$	1330	883785	285	14370	61.50
$n=7 M=4$	5985	17907120	211	1260	14212.00

Tabla 4.12 Cardinal de las diferentes listas generadas, especificando el factor de simplificación

Se comprueba que la efectividad es aproximadamente de un orden de magnitud en los casos más simples, siendo mayor cuando aumenta la complejidad del circuito. Esto permitirá el abordar la síntesis de circuitos de hasta 7 nodos con la capacidad actual de cómputo, cosa que sería inviable sin todos los algoritmos de simplificación descritos. No obstante, hay que resaltar que dado el carácter exponencial en el número de casos a estudiar, resulta imposible el acometer redes con mayor número de nodos, si se cuenta con una estación de trabajo de sobremesa.

En este punto del proceso de síntesis, ya se puede calcular, mediante la expresión 4.66, la admitancia de entrada Y_{IN}^j , la cual dependerá de p admitancias del circuito. Ahora se generan todos los subconjuntos con N elementos de esas p admitancias. Los complementarios de dichos subconjuntos serán aquellas admitancias que se harán tender a cero, o dicho de otra forma, que desaparecerán de la red pasiva inicial. Por ejemplo, si la impedancia simulada viniera dada por una expresión del tipo:

$$Y_{IN}^j = \frac{Y_{12}Y_{13} + Y_{14}Y_{23}}{Y_{24}} \tag{4.73}$$

entonces suponiendo que $N=3$, se tendrían las siguientes posibilidades:

Y_{12}	Y_{13}	Y_{14}	$Y_{23} \rightarrow 0$	$Y_{24} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow \infty$
Y_{12}	Y_{13}	Y_{23}	$Y_{14} \rightarrow 0$	$Y_{24} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow \infty$
Y_{12}	Y_{13}	Y_{24}	$Y_{14} \rightarrow 0$	$Y_{23} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow Y_{12}Y_{13}/Y_{24}$
Y_{12}	Y_{14}	Y_{23}	$Y_{13} \rightarrow 0$	$Y_{24} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow \infty$
Y_{12}	Y_{14}	Y_{24}	$Y_{13} \rightarrow 0$	$Y_{23} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow 0$
Y_{12}	Y_{23}	Y_{24}	$Y_{13} \rightarrow 0$	$Y_{14} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow 0$
Y_{13}	Y_{14}	Y_{23}	$Y_{12} \rightarrow 0$	$Y_{24} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow \infty$
Y_{13}	Y_{14}	Y_{24}	$Y_{12} \rightarrow 0$	$Y_{23} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow 0$
Y_{13}	Y_{23}	Y_{24}	$Y_{12} \rightarrow 0$	$Y_{14} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow 0$
Y_{14}	Y_{23}	Y_{24}	$Y_{12} \rightarrow 0$	$Y_{13} \rightarrow 0$	$Y_{IN}^{\downarrow} \rightarrow Y_{14}Y_{23}/Y_{24}$

Tabla 4.13 Proceso de simplificación de la admitancia calculada

donde Y_{IN}^{\downarrow} representa la admitancia final después de todo el proceso de simplificaciones y cálculos. Los resultados así obtenidos, columna tercera de la tabla 4.13, se comparan con la expresión buscada. Si son coincidentes, entonces se imprime la posición de los nullators y norators, así como la expresión de la impedancia encontrada.

No obstante si realmente se hiciera de este modo, los resultados serían en la mayoría de los casos poco útiles, por no decir inservibles, ya que se obtendrían ficheros de salida de una longitud intratable, debido a casos redundantes unos con otros. Esta duplicación se debe a dos factores. En primer lugar, hay posiciones de los elementos activos que conducen a idéntica admitancia de entrada. No se está hablando en este caso de reordenaciones, o transformaciones nullators por norators, ya que, por construcción, estas posibilidades se han omitido. Para evitar estas duplicaciones, que no son usuales, se va construyendo, a medida que se van generando, dos listas de admitancias. La primera de ellas, denominada **lista1**, está constituida por todas las funciones de admitancia que se van generando. Otra, **lista2**, con aquellos casos de cálculo de impedancias en los que se hayan encontrado situaciones de simplificación que han conducido a una topología satisfactoria con el proceso de síntesis. Así cada vez que se calcula una nueva impedancia se compara con estas dos listas, para comprobar que no corresponde con un caso ya estudiado. Cabe señalar que, si se han generado de forma óptima el conjunto de nullors, siguiendo los criterios expuestos en párrafos precedentes, la comprobación de pertenencia a la lista **lista1** resultaría innecesaria. No obstante en el algoritmo final se mantiene por coherencia, ya que no representa un tiempo de cómputo apreciable. Por otra parte, y como segundo motivo de duplicación, y este sí que es desagradablemente frecuente, están las equivalencias topológicas, o hablando más estrictamente, grafos isomorfos. En la figura 4.24 se muestran dos ejemplos que se obtienen del proceso de síntesis, que son absolutamente equiparables. Es decir, los grafos ponderados asociados a estas dos redes, son isomorfos; matemáticamente, dados dos vértices adyacentes, u y v cualesquiera del grafo inicial, siendo λ el peso asociado a

la arista que los une, existe una aplicación f , tal que los vértices transformados en el grafo final, $f(u)$ y $f(v)$, cumplen que son adyacentes y su arista posee un peso λ .

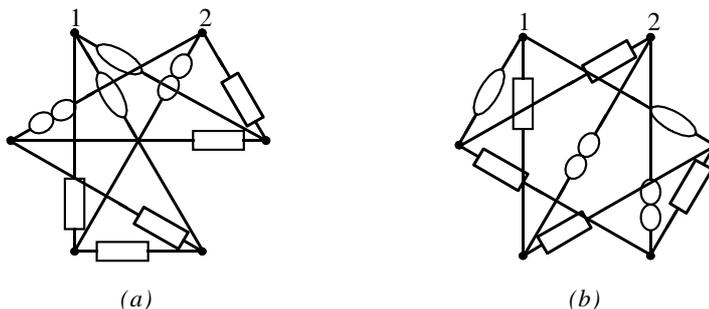


Figura 4.24 Dos estructuras halladas por el proceso de síntesis, en las que el caso (b) se puede rechazar al ser su grafo asociado isomorfo con el del caso (a)

Se puede comprobar que estas dos topologías son idénticas al tipo VI de la figura 4.6. Para evitar esta redundancia se utiliza el siguiente procedimiento. Para cada estructura válida, es decir, cuya admitancia de entrada coincide con la buscada, se define su grafo asociado, como un grafo ponderado, en el cual el peso de las aristas correspondientes a una admitancia vale 1, el de un nullator vale 2, y para un norator toma el valor de 3. Una vez definido así el grafo, se comprueba que no es isomorfo (él o cualquiera de sus reordenaciones), con los ya hallados anteriormente como válidos. Es así como se descartaría el caso (b) de la figura 4.24.

Todos estos razonamientos referentes al proceso final de síntesis se condensan en la figura 4.25, en la que se muestra el procedimiento seguido desde la obtención de la admitancia Y_{IN}^j hasta su simplificación y manejo posterior del conjunto de admitancias simplificadas. Se explicará a continuación de forma breve, dicho diagrama. El primer paso, después de obtener la admitancia de entrada, es comprobar si esa función ha sido obtenida con anterioridad, es decir si pertenece a la lista denominada **lista1**; en caso afirmativo, se comprobará con posterioridad si esa función lleva asociadas simplificaciones mediante las cuales se obtiene la admitancia que inicialmente se busca. Es decir, se comprueba su pertenencia o no a la lista denominada **lista2**. En caso afirmativo, se imprimirá en el fichero de salida la posición de los elementos activos, indicando además que es un caso coincidente con uno anterior, llámese k . En el caso de que la admitancia calculada Y_{IN}^j , no pertenezca a la **lista1**, significará que es un caso nuevo para el cual se debe de aplicar todo el proceso de simplificación. En primer lugar se deberá incluir dicha admitancia en la lista **lista1**, para así no tener que repetir en posteriores iteraciones el cálculo que se va a desarrollar a continuación. Posteriormente se aplicará el algoritmo de simplificación mostrado en la tabla 4.13, para así obtener un conjunto de admitancias, que se denominarán Y_{IN}^k . A partir de ahora se repetirán todos los pasos para cada una de dichas funciones. En primer lugar se comprueba que para cada nodo de la red simplificada se tiene una incidencia correcta. Es decir, se comprueba que cada nodo externo tiene una incidencia mínima de dos elementos (activos o pasivos), y cada nodo interno de tres elementos, siendo al menos uno de ellos una admitancia. Una vez hecha esta comprobación se coteja la admitancia Y_{IN}^k con la inicial Y_{IN} . Si es positiva la

comparación, entonces se debe de comprobar que la red no es isomorfa con ninguna de las anteriormente halladas.

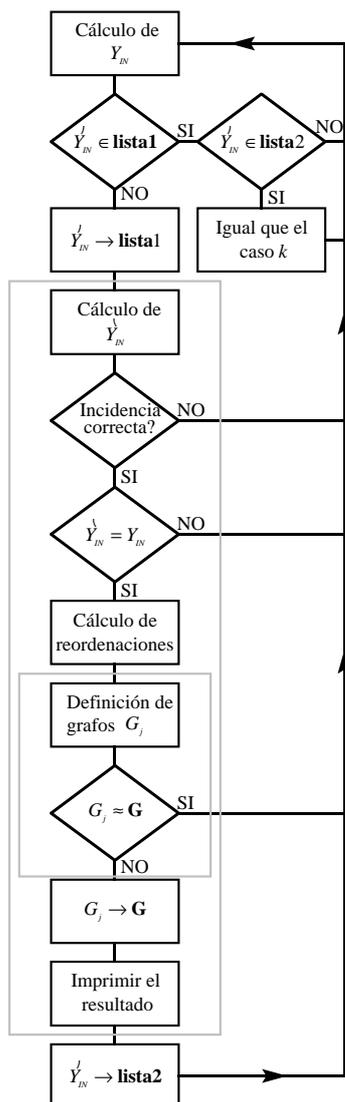


Figura 4.25 Diagrama de flujo asociado al proceso de simplificación y clasificación de las diferentes admitancias calculadas

Para ello, se calculan en primer lugar todas las reordenaciones de los elementos activos, para después calcular los grafos asociados a cada una de estas reordenaciones. Con este conjunto de grafos ponderados, se comprueba su isomorfismo con una lista de grafos anteriores, denominada **G**. Dicha lista contiene todos los grafos asociados con las redes que han resultado satisfactorias en el proceso de síntesis. Si es positivo el test, entonces se aborta el proceso, ya que se está repitiendo el cálculo para una estructura que ya ha sido estudiada. Si el resultado es negativo para todos y cada uno de los grafos

asociados a cada una de las reordenaciones, entonces la red en uso resultará adecuada. Por tanto, el grafo asociado a la última reordenación se añade a la lista de grafos total \mathbf{G} . Por último basta con imprimir el resultado consistente en la impedancia simplificada Y_{IN}^s , más la posición de los elementos activos.

Para ilustrar todo lo anteriormente dicho, se hará a continuación un boceto del funcionamiento del algoritmo completo con un ejemplo. Para ello se ha elegido uno de los más sencillos posibles, como es el proceso de síntesis de un *NIC*, utilizando para ello dos elementos activos, inmersos en una red de cinco nodos. Así el proceso comienza con la creación de la lista de nolators. En este caso, utilizando la expresión 4.69, se tendrán 10 posibilidades. Como se tienen a su vez dos elementos activos, entonces el total de posibilidades para la situación de nolators es de 45. Para finalizar se deben de emparejar, dando lugar a 990 posibilidades de posicionar dos nullors en una red de 5 nodos. Ahora se deben de aplicar los criterios de reducción de posibilidades expuestos en párrafos precedentes. En primer lugar se podan las posibilidades para el número de parejas de nolators, para obtener la lista que se ha denominado *Mnolators**. Esta lista contiene 19 elementos según se muestra en la tabla 4.14. En dicha tabla se ha aplicado la siguiente nomenclatura: 0 significa que el par asociado cumple con todos los requisitos para pasar a la siguiente fase; 1 significa que esa configuración posee al menos un ciclo, lo cual es inaceptable; 2 significa que existe un nolator conectado entre los nodos exteriores; y por último 3 significa que la posición asociada es una reordenación de otra ya listada.

										{1,2}											
										{1,2}	2		{1,3}								
										{1,3}	2	1		{1,4}							
										{1,4}	2	0	1		{1,5}						
										{1,5}	2	0	0	1		{2,3}					
										{2,3}	2	2	0	0	1		{2,4}				
										{2,4}	2	0	2	0	0	1		{2,5}			
										{2,5}	2	0	0	2	0	0	1		{3,4}		
										{3,4}	2	3	3	0	3	3	0	1		{3,5}	
										{3,5}	2	3	0	3	3	0	3	0	1		{4,5}
										{4,5}	2	0	3	3	0	3	3	3	3	1	

Tabla 4.14 Tabla mostrando el proceso de selección de las diferentes combinaciones para dos nolators en una red de cinco nodos

con menos variables de las que se esperarían. Por tanto, las cuatro funciones de admitancias que se obtienen son:

$\frac{Y_{12}Y_{35} + Y_{23}Y_{35}}{Y_{35}}$	$\frac{Y_{12}Y_{35} + Y_{25}Y_{35}}{Y_{35}}$
$\frac{Y_{23}Y_{25} + Y_{23}Y_{35} + Y_{25}Y_{35}}{Y_{35}}$	$\frac{Y_{25}Y_{34} + Y_{25}Y_{35}}{Y_{35}}$

A la vista de estas cuatro expresiones, se concluye fácilmente que la posición bajo estudio de los elementos activos no conduce a ninguna posibilidad satisfactoria, bajo el punto de vista de síntesis. No así con la segunda alternativa que se contemplará, que es: $\{\{1,3\},\{4,5\}\}\{\{1,4\},\{3,5\}\}$, la cual representa la primera ocasión en la que se obtiene un resultado positivo. En este caso la admitancia de entrada viene dada por:

$$Y_{IN} = \frac{Y_{12}Y_{15} + Y_{15}Y_{23} + Y_{15}Y_{24} - Y_{23}Y_{24} + Y_{12}Y_{25} + Y_{15}Y_{25} - Y_{12}Y_{34} - Y_{23}Y_{34} - Y_{24}Y_{34} - Y_{25}Y_{34}}{Y_{15} + Y_{25} - Y_{34}} \quad (4.75)$$

Por lo tanto, se tienen seis admitancias diferentes, con lo que existirían a priori 20 posibles simplificaciones. De éstas, 10 son patológicas, quedando las 10 siguientes.

$\frac{Y_{12}Y_{15} + Y_{12}Y_{25} + Y_{15}Y_{25}}{Y_{15} + Y_{25}}$	$\frac{Y_{12}Y_{25} - Y_{12}Y_{34} - Y_{25}Y_{34}}{Y_{25} - Y_{34}}$
$\frac{Y_{15}Y_{23} + Y_{15}Y_{24} - Y_{23}Y_{24}}{Y_{15}}$	$\frac{Y_{15}Y_{23} + Y_{15}Y_{25}}{Y_{15} + Y_{25}}$
$\frac{Y_{15}Y_{24} + Y_{15}Y_{25}}{Y_{15} + Y_{25}}$	$\frac{Y_{15}Y_{25} - Y_{25}Y_{34}}{Y_{15} + Y_{25} - Y_{34}}$
$-\frac{Y_{23}Y_{24}}{Y_{25}}$	$\frac{Y_{23}Y_{24} + Y_{23}Y_{34} + Y_{24}Y_{34}}{Y_{34}}$
$\frac{Y_{23}Y_{34} + Y_{25}Y_{34}}{Y_{25} - Y_{34}}$	$\frac{Y_{24}Y_{34} + Y_{25}Y_{34}}{Y_{25} - Y_{34}}$

En esta situación, sí que se cumple, en un caso, la funcionalidad buscada: el trigesimotercero de los 78 totales. De entre los 45 restantes, se obtendrían 5 soluciones más, que se muestran a continuación.

$\{\{1,3\},\{4,5\}\}\{\{1,5\},\{3,4\}\}$	$-\frac{Y_{23}Y_{25}}{Y_{24}}$
$\{\{1,4\},\{3,5\}\}\{\{1,5\},\{3,4\}\}$	$-\frac{Y_{24}Y_{25}}{Y_{23}}$
$\{\{2,3\},\{4,5\}\}\{\{2,4\},\{3,5\}\}$	$-\frac{Y_{13}Y_{14}}{Y_{15}}$
$\{\{2,3\},\{4,5\}\}\{\{2,5\},\{3,4\}\}$	$-\frac{Y_{13}Y_{15}}{Y_{14}}$
$\{\{2,4\},\{3,5\}\}\{\{2,5\},\{3,4\}\}$	$-\frac{Y_{14}Y_{15}}{Y_{13}}$

Es directo el demostrar que todas estas estructuras son topológicamente isomorfas, como así se comprueba durante el desarrollo del algoritmo propuesto. Todo el cálculo anterior para el caso de cinco nodos y dos nullors, se realiza en menos de dos minutos con un ordenador personal.

4.2.2 Casos prácticos relevantes

En este apartado se tratarán varios ejemplos de la simulación de impedancias, utilizando para ello el algoritmo de síntesis propuesto en el apartado anterior. Los tipos de inmitancia a estudiar han sido extraídos de la literatura, para utilizar casos con un interés práctico probado y para comprobar la efectividad del procedimiento. En la tabla 4.16 se muestran en conjunto todas las alternativas elegidas.

Tipo I	$Y_{IN} = \frac{Y_1 Y_3}{Y_2}$	Tipo VI	$Z_{IN} = Z_1 + \frac{Z_1 Z_3}{Z_2}$
Tipo II	$Y_{IN} = -\frac{Y_1 Y_3}{Y_2}$	Tipo VII	$Z_{IN} = Z_1 + \frac{Z_1 Z_3}{Z_2} + \frac{Z_1 Z_3 Z_5}{Z_2 Z_4}$
Tipo III	$Y_{IN} = \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}$	Tipo VIII	$Z_{IN} = Z_1 - \frac{Z_1 Z_3}{Z_2}$
Tipo IV	$Y_{IN} = Y_1 + \frac{Y_1 Y_3}{Y_2}$	Tipo IX	$Y_{IN} = Y_1 - \frac{Y_1 Y_3}{Y_2}$
Tipo V	$Y_{IN} = Y_1 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4}$		

Tabla 4.16 Diferentes tipos de inmitancias que se estudiarán en detalle en este apartado

El tipo I, que en la literatura recibe el acrónimo de *PIC-PII* (*Positive Impedance Converter-Positive Impedance Inverter*) es utilizado en la simulación de autoinducciones [PAU 70, MAL 94, SEN 94]. El tipo II, denominado *NIC* (*Negative Impedance Converter*) es clásico a la hora de simular impedancias negativas [BRUT 80]. Respecto al tipo III, o *GIC* se ha estudiado en profundidad en la sección 4.1. El tipo IV simula el paralelo de dos impedancias, por lo que se utiliza, por ejemplo, en los casos en que sea interesante el tener una resistencia con una autoinducción [SEN 88]. Además representa el caso más sencillo dentro de la simulación generalizada propuesta en el apartado 4.2.3. Precisamente el tipo V es la generalización del caso anterior, y puede representar el paralelo de tres impedancias. Los tipos VI y VII se asocian dualmente a los tipos IV y V respectivamente, de tal forma que el caso VI representa la asociación en serie de dos impedancias [SEN 88], mientras que en el tipo VII son tres las asociadas [HIG 88]. Ambas son interesantes a la hora de diseñar filtros. Por último, los tipos VIII y IX son funciones útiles para la multiplicación de condensadores o bobinas, respectivamente [SERR 95].

4.2.2.1 Tipo I

La admitancia simulada será:

$$Y_{IN} = \frac{Y_1 Y_3}{Y_2} \tag{4.76}$$

Para la realización de esta dependencia, se necesitan al menos tres nullors, i.e. el algoritmo no encuentra ninguna solución posible con un número menor de nullors. Las estructuras obtenidas por el método de síntesis se detallan a continuación.

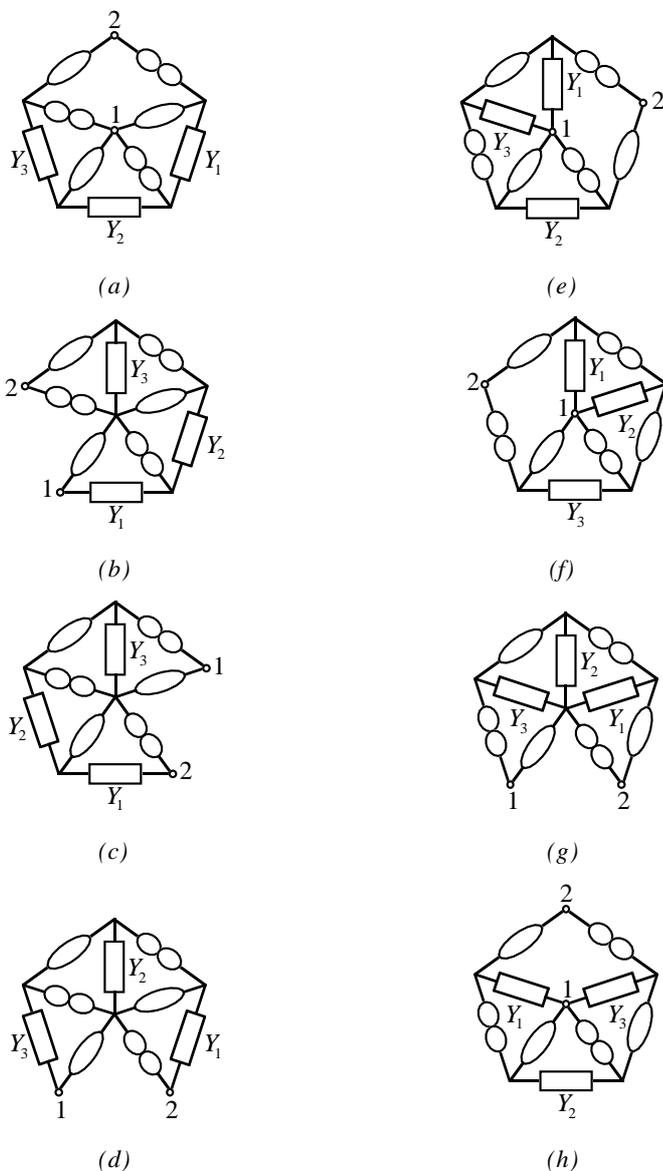


Figura 4.26 Estructuras tipo I, con tres nullors

Se pueden agrupar con fines de representación las ocho anteriores topologías en las dos mostradas en la figura 4.27. Para obtenerlas, lo único que se ha hecho es añadir una admitancia, Y_4 , entre los nodos de salida 1 y 2. Para estos nuevos circuitos, el determinante de la matriz definida de admitancias viene dado por la expresión [BRUT 80]:

$$\Delta_y = Y_1 Y_3 + Y_2 Y_4 \tag{4.77}$$

Por tanto, si se desea conocer cuál es la admitancia de entrada, supuesto que se ha retirado la admitancia Y_i , basta con resolver el siguiente par de ecuaciones:

$$Y_{IN} = -Y_i \tag{4.78.1}$$

$$\Delta_y = 0 \tag{4.78.2}$$

De modo que, retirando una a una las admitancias de las figuras 4.27 se reproducen las de las figuras 4.26. Las dos topologías representadas en la primera de estas figuras se encuentran en [PAU 70].

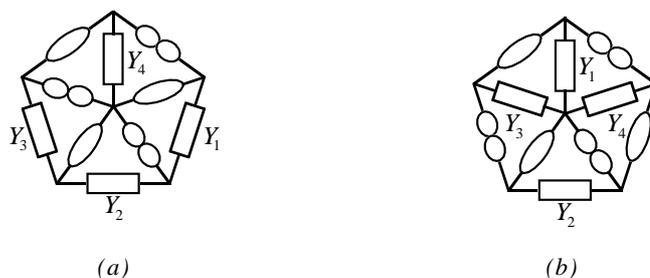


Figura 4.27 Estructuras generales de tipo I con tres nullors

Obsérvese que las dos estructuras anteriores se pueden realizar mediante CCII-, y que no existe la posibilidad de usar opamps. Evidentemente, si se contempla la posibilidad de usar opamps para la realización de estas admitancias, es bajo la hipótesis de que la admitancia simulada no posee carácter flotante, sino que uno de sus terminales está conectado a tierra.

4.2.2.2 Tipo II

Aquí la admitancia a simular viene dada por:

$$Y_{IN} = -\frac{Y_1 Y_3}{Y_2} \tag{4.79}$$

Para este caso, existe la posibilidad de realización con uno o dos nullors, mediante las estructuras clásicas mostradas en la figura 4.28.a y 4.28.b, respectivamente. Obsérvese que se está afirmando implícitamente la no existencia de ninguna otra topología, con menos de dos nullors, que represente la funcionalidad de la expresión 4.79.

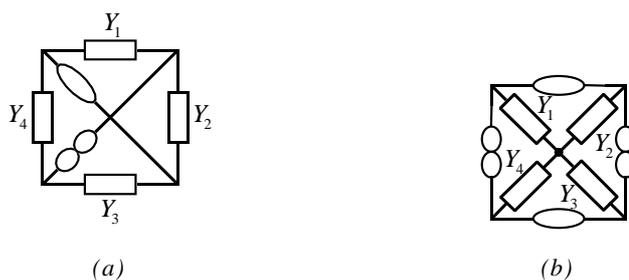


Figura 4.28 Estructuras generales tipo II, con uno y dos nullors

Obsérvese que se ha utilizado la técnica descrita en el apartado anterior consistente en añadir una admitancia entre los nodos externos, de tal forma que ahora se cumplirá:

$$\Delta_y = Y_1 Y_3 - Y_2 Y_4 \tag{4.80}$$

Estas dos topologías son clásicas a la hora de realizar un *NIC* [BRUT 80]. Sin embargo, no hay referenciadas topologías con tres elementos activos. En ese caso, se necesitan redes con seis nodos, y la única, salvo transformaciones, se representa en la figura 4.29.

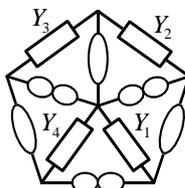


Figura 4.29 Estructura general tipo II, con tres nullors

De estas tres estructuras, la 4.28.a es realizable con un opamp para el caso no flotante, mientras que las 4.28.b y 4.29 son sólo factibles con *CCII-*.

4.2.2.3 Tipo III

Para el tipo III se debe de cumplir que:

$$Y_{IN} = \frac{Y_1 Y_3 Y_5}{Y_2 Y_4} \tag{4.81}$$

o lo que es lo mismo:

$$\Delta_y = Y_1 Y_3 Y_5 + Y_2 Y_4 Y_6 \tag{4.82}$$

Supuesta esta condición, no se obtienen, con dos nullors, nada más que las dos estructuras clásicas, mostradas en la figura 4.30, [BRUT 80]. Obsérvese que se puede demostrar que no es posible realizar la expresión 4.81 con un solo nullor [MAR 68].

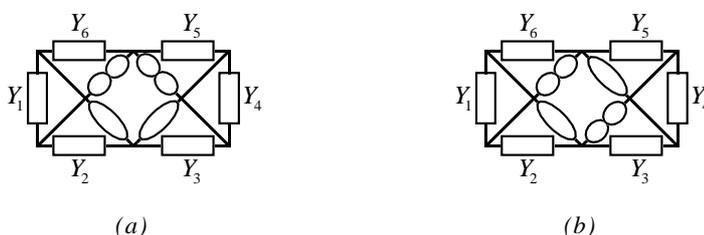


Figura 4.30 Dos únicas estructuras tipo III con dos nullors

Es claro que el caso (a) corresponde a las estructuras clásicas, realizadas con opamps, mientras que el caso (b) corresponde a estructuras referenciadas en la literatura utilizando *CCII-* [BRUT 80, SEN 84]. A la vista del resultado, queda demostrado que el haber supuesto las admitancias en línea, en la discusión de la sección 4.1.1, no representa ninguna limitación real, ya que es una condición necesaria en los *GIC* que cumplen 4.81.

4.2.2.4 Tipo IV

La admitancia buscada es:

$$Y_{IN} = Y_1 + \frac{Y_1 Y_3}{Y_2} \tag{4.83}$$

Al ser en este caso una dependencia funcional que no es simétrica respecto de todas las variables, no es posible el aplicar de forma general la técnica antes mencionada, de añadir una admitancia entre los nodos de entrada. Es decir, para el determinante de la matriz definida de admitancias se obtendría:

$$\Delta_y = -Y_2 Y_4 - Y_1 Y_2 - Y_1 Y_3 \tag{4.84}$$

expresión de la que no se puede obtener otra equivalente a 4.83, salvo para el caso de Y_3 . Es decir que introduciendo una admitancia entre los nodos de salida 1 y 2, para luego retirar la admitancia Y_3 , la estructura resultante posee una admitancia de entrada dada por 4.83, supuesto que se toman como nuevos nodos de entrada, los de la admitancia retirada. Aplicando esta técnica a la estructura de la figura 4.31.a, resulta ella misma. Si se aplica a la figura 4.31.b se genera la figura 4.31.c, y viceversa.

Se han obtenido las siguientes estructuras, con dos nullors.

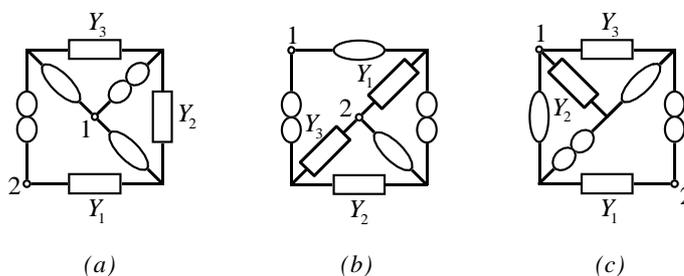


Figura 4.31 Estructuras tipo IV con dos nullors

De ellas, la 4.31.a es posible llevarla a cabo con opamps o con CCII-, mientras que los casos (b) y (c) sólo son posibles usando estos últimos. Por otra parte, el caso (a) se encuentra en [SEN 88].

Para tres nullors, se tiene una sola topología posible: la mostrada en la figura 4.32. Es claro que sólo con una realización de un UAD o con CCII- es posible realizar esta topología.

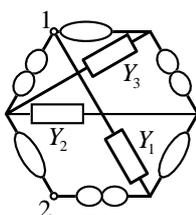


Figura 4.32 Estructura tipo IV con tres nullors

4.2.2.5 Tipo V

Se buscará en este caso:

$$Y_{IN} = Y_1 + \frac{Y_1 Y_3}{Y_2} + \frac{Y_1 Y_3 Y_5}{Y_2 Y_4} \tag{4.85}$$

Se necesitarán al menos dos nullors, con los que se obtienen las siguientes cuatro topologías.

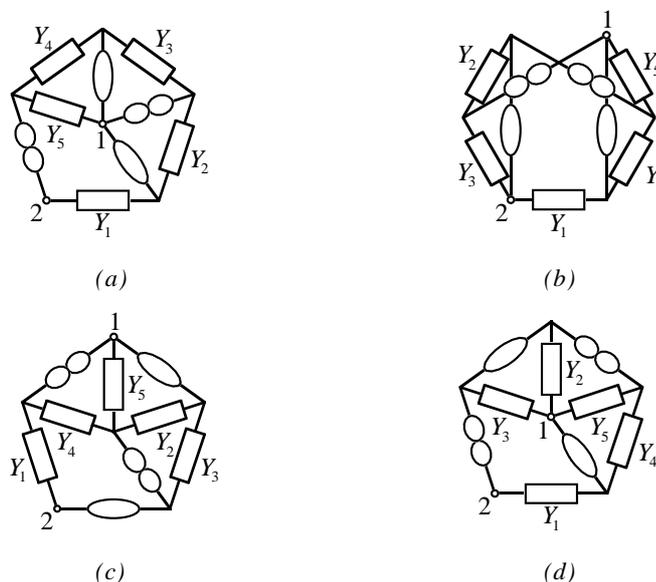


Figura 4.33 Estructuras tipo V con dos nullors

El caso (a) es realizable con opamps, mientras que los casos (b) y (c) se pueden construir con CCII-. La estructura 4.33.d sólo es viable con UADs.

En este caso, la admitancia que permitiría obtener estructuras equivalentes es Y_5 , de tal forma que las figuras 4.33.a y 4.33.d son ambas equivalentes a sí mismas, mientras que las 4.33.b y 4.33.c lo son entre sí.

4.2.2.6 Tipo VI

El tipo VI viene definido por la expresión:

$$Z_{IN} = Z_1 + \frac{Z_1 Z_3}{Z_2} \tag{4.86}$$

Obsérvese que esta relación equivale a una expresión para el determinante asociado igual a la mostrada en 4.84. Por lo cual las estructuras representadas a continuación estarán íntimamente ligadas a las de las figuras 4.31 y 4.32. Bastaría retirar en estas últimas las impedancias Y_1 o Y_2 .

Se necesitan dos nullors al menos para realizar, como muestra la figura 4.34, esta admitancia de entrada. La primera de las topologías es realizable con opamps. Sin

embargo, en el resto, es el *CCII-* o el *UAD* el bloque activo a manejar. La topología 4.34.a se puede encontrar en [SEN 88].

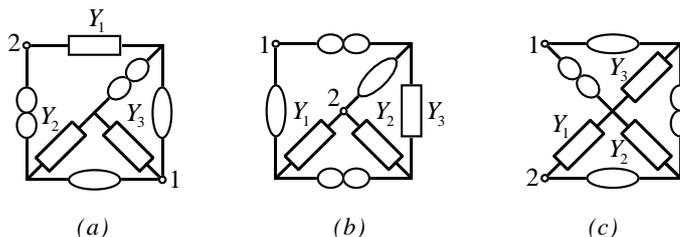


Figura 4.34 Estructuras tipo VI con dos nullors

Si se admite la utilización de tres elementos activos, entonces, la figura 4.35 muestra la única posibilidad de realizar la función 4.86. Esta topología permite el uso de *CCII-* para su realización.

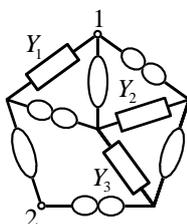


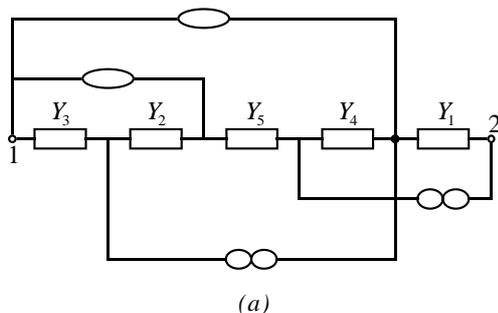
Figura 4.35 Estructura tipo VI con tres nullors

4.2.2.7 Tipo VII

Para el tipo VII se tiene la relación siguiente:

$$Z_{IN} = Z_1 + \frac{Z_1 Z_3}{Z_2} + \frac{Z_1 Z_3 Z_5}{Z_2 Z_4} \tag{4.87}$$

La figura 4.36 muestra las cuatro estructuras posibles para la realización de la expresión anterior, contabilizando cada una de ellas dos nullors.



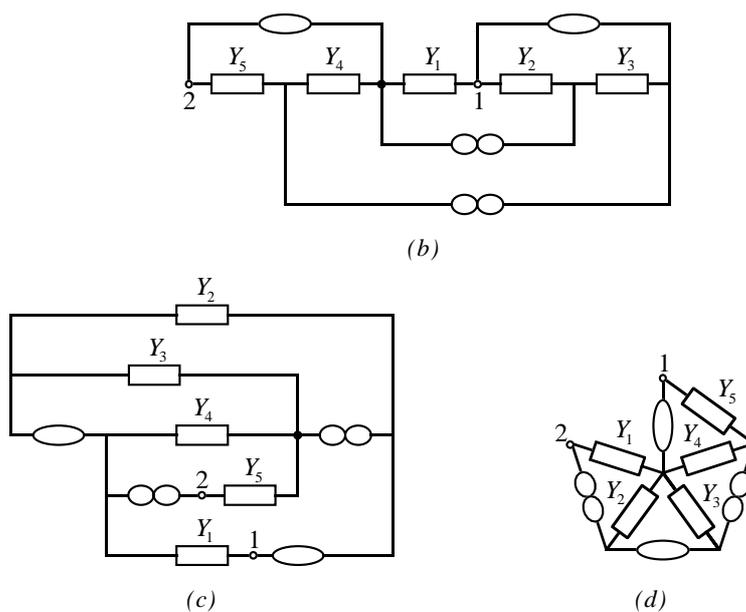


Figura 4.36 Estructuras tipo VII con dos nullors

El caso (a) podría realizarse sólo con opamps, siendo imposible realizarlo con CCII-, mientras que los casos (b) y (c) necesitarían CCII-. El caso 4.36.d sólo es posible usando UADs.

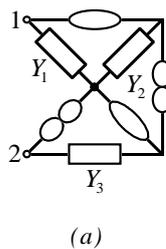
Obsérvese la relación entre estas cuatro topologías y las mostradas en la figura 4.33. Esta similitud parte de nuevo de la relación entre los determinantes asociados para ambas admitancias. Para obtener las figuras 4.36, basta retirar Y_1 o Y_4 en las 4.33.

4.2.2.8 Tipo VIII

La expresión para la admitancia de entrada en este caso es:

$$Z_{IN} = Z_1 - \frac{Z_1 Z_3}{Z_2} \tag{4.88}$$

Por el método de síntesis, se obtienen una estructura con dos nullors, figura 4.37.a, y dos con tres nullors, figuras 4.37.b y 4.37.c.



(a)

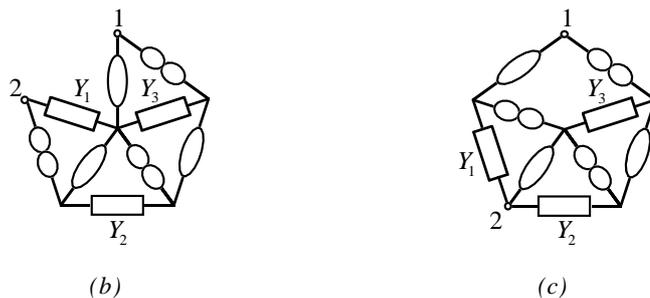


Figura 4.37 Estructuras tipo VIII con dos (a) y tres nullors (b) y (c)

Ambos casos se pueden realizar con CCII-.

4.2.2.9 Tipo IX

Por último, la expresión asociada al tipo IX es:

$$Y_{IN} = Y_1 - \frac{Y_1 Y_3}{Y_2} \tag{4.89}$$

Así se obtienen una topología con dos nullors, figura 4.38.a, mientras que existen dos, figuras 4.38.b y 4.38.c, que poseen tres elementos activos. Todas ellas se pueden construir con CCII-.

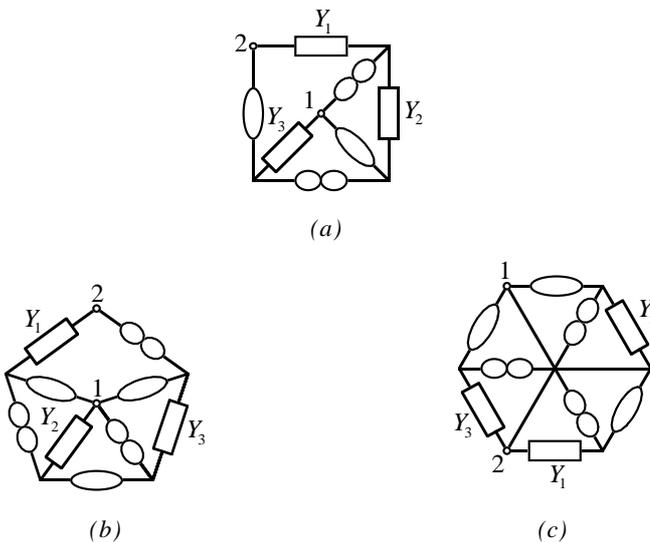


Figura 4.38 Estructuras tipo IX con dos (a) y tres nullors (b) y (c)

Es directo el comprobar la relación entre las estructuras de la figura 4.37 y 4.38, sin más que verificar la igualdad de los determinantes de sus matrices definidas de admitancias.

4.2.3 Resultados prácticos

En este apartado se estudiarán de forma concreta diferentes estructuras para la simulación de impedancias entre las anteriormente propuestas. Para ello se diseñarán

etapas de filtrado básicas, que utilicen como elementos integrantes el tipo de impedancias bajo estudio. Para la realización del elemento activo, o nullor, se manejará como principal alternativa el *CCII*-. Esto es debido a que en todas las estructuras a tratar es posible el uso de *CCII*-, por lo que parece más adecuado utilizar este dispositivo activo, a manejar un *UAD* construido mediante dos *CCII*-.

4.2.3.1 Estudio del tipo VII

En este caso la impedancia conseguida mediante estos sistemas viene dada por la expresión 4.87, y las posibles realizaciones se representan en la figura 4.36. Supuesto que sólo existen dos posibles elecciones a la hora de escoger el tipo de impedancias a utilizar, resistencias y condensadores, entonces aparecen las cuatro posibles alternativas para la impedancia simulada.

$$R_1 + \frac{R_1}{C_3 R_2 s} + \frac{R_1}{C_3 C_5 R_2 R_4 s^2} \tag{4.90.1}$$

$$R_1 + C_2 R_1 R_3 s + C_2 C_4 R_1 R_3 R_5 s^2 \tag{4.90.2}$$

$$\frac{1}{C_1 s} + \frac{1}{C_1 C_3 R_2 s^2} + \frac{1}{C_1 C_3 C_5 R_2 R_4 s^3} \tag{4.90.3}$$

$$\frac{1}{C_1 s} + \frac{C_2 R_3}{C_1} + \frac{C_2 C_4 R_3 R_5 s}{C_1} \tag{4.90.4}$$

Observando cada una de estas expresiones se puede afirmar que: la primera de ellas corresponde a la disposición en serie de una resistencia, un condensador y una *FDNR* tipo D; la segunda a la serie de una resistencia, una autoinducción y una *FDNR* tipo E; la tercera a la serie de un condensador, una *FDNR* tipo D, y un nuevo elemento con una dependencia cúbica con la frecuencia; por último, la cuarta representa la serie de una resistencia, un condensador y una autoinducción.

Hay que remarcar el hecho de que, de las 32 posibles elecciones de resistencias y condensadores, sólo las cuatro opciones anteriores dan lugar a sumandos en los cuales la potencia de *s* varía de uno a otro. Es decir, que representan la serie de tres impedancias diferentes. Este criterio se ha seguido para explotar al máximo la funcionalidad de la expresión 4.87. Obsérvese además que, en muchos casos en los que no se cumple la condición anterior, la impedancia así simulada se podría conseguir a través de estructuras más simples, dadas por la expresión 4.86.

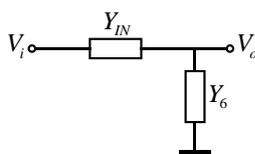


Figura 4.39 Estructura test para la comprobación de la funcionalidad de las admitancias simuladas

Para la comprobación del funcionamiento de todas estas posibilidades se ha planteado la estructura más simple posible, consistente en el sistema mostrado en la figura

4.39, donde Y_{IN} representa la admitancia simulada, e Y_6 una admitancia externa, bien sea una resistencia o un condensador.

De las ocho posibles funciones de transferencia en relación con el tipo de impedancia externa, sólo cuatro poseen el número total de condensadores adecuado al orden de dicha función, y son las siguientes:

$$Y_6 = G_6 \text{ \& 4.90.1} \quad \frac{V_o}{V_i} = \frac{C_3 C_5 R_2 R_4 R_6 s^2}{R_1 + C_5 R_1 R_4 s + C_3 C_5 R_1 R_2 R_4 s^2 + C_3 C_5 R_2 R_4 R_6 s^2} \quad (4.91.1)$$

$$Y_6 = G_6 \text{ \& 4.90.2} \quad \frac{V_o}{V_i} = \frac{R_6}{R_1 + R_6 + C_2 R_1 R_3 s + C_2 C_4 R_1 R_3 R_5 s^2} \quad (4.91.2)$$

$$Y_6 = C_6 s \text{ \& 4.90.2} \quad \frac{V_o}{V_i} = \frac{1}{1 + C_6 R_1 s + C_2 C_6 R_1 R_3 s^2 + C_2 C_4 C_6 R_1 R_3 R_5 s^3} \quad (4.91.3)$$

$$Y_6 = G_6 \text{ \& 4.90.3} \quad \frac{V_o}{V_i} = \frac{C_1 C_3 C_5 R_2 R_4 R_6 s^3}{1 + C_5 R_4 s + C_3 C_5 R_2 R_4 s^2 + C_1 C_3 C_5 R_2 R_4 R_6 s^3} \quad (4.91.4)$$

Los casos 4.91.3 y 4.91.4 representan funciones de transferencia de orden 3. Para asegurar la estabilidad del sistema se deberán imponer las siguientes condiciones de estabilidad, respectivamente:

$$\frac{C_6}{C_4} > \frac{R_5}{R_1} \quad (4.92.1)$$

$$\frac{C_5}{C_1} > \frac{R_6}{R_4} \quad (4.92.2)$$

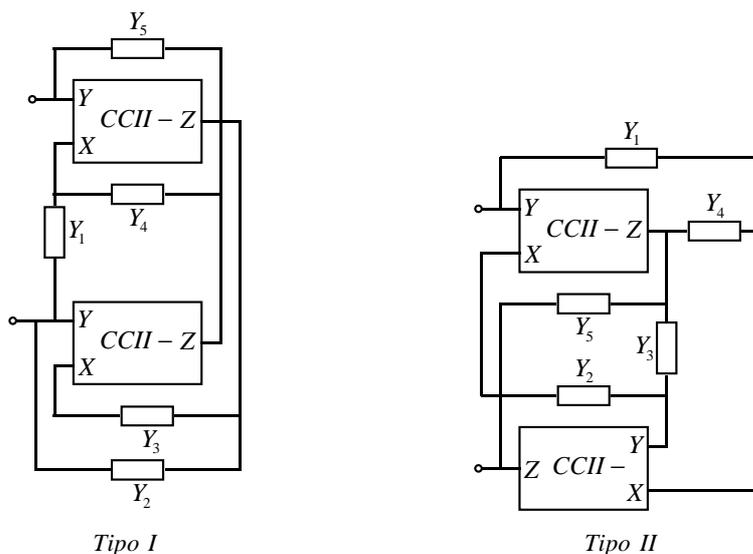


Figura 4.40 Realización mediante CCII- de la admitancia tipo VII

A la hora de construir los elementos activos, en una primera fase se ha trabajado con CCII-. Por tanto, de las cuatro estructuras posibles mostradas en la figura 4.36, se

han utilizado realmente los casos (b) y (c), que se denominarán tipo I y II, respectivamente, y cuya representación concreta se especifica en la figura 4.40.

Para la realización de las simulaciones se supondrán, salvo que se indique lo contrario, resistencias y condensadores de idéntico valor, e iguales a 1 k Ω y 10 nF, respectivamente.

Así para el filtro paso alto 4.91.1, se obtiene una magnitud para la función de transferencia representada en la figura 4.41.

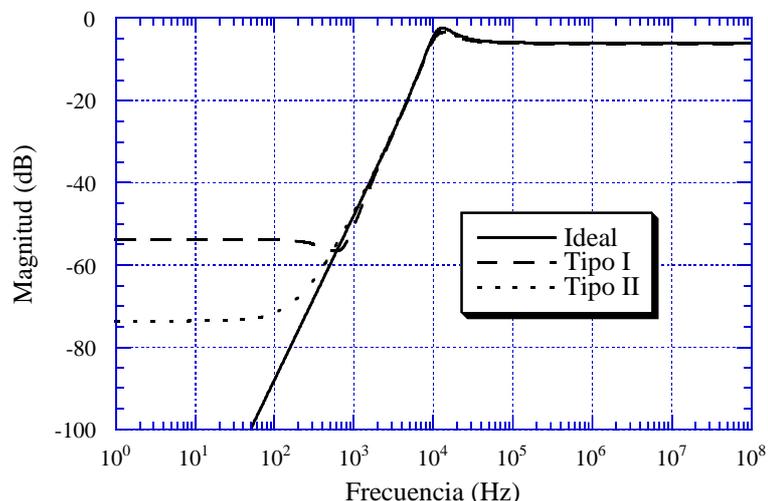


Figura 4.41 Magnitud de la función de transferencia para el filtro paso alto dado por 4.91.1

En esta figura se advierte el alejamiento respecto de la respuesta ideal del filtro de las dos realizaciones propuestas, así como la mejor adecuación de la topología tipo II para la realización de esta impedancia en concreto. Es evidente también la viabilidad de este tipo de impedancias para la realización de filtros, o en cualquier otra aplicación.

Por otra parte se puede comprobar en la simulación que en el caso de utilizar el tipo I, el parámetro del *CCII*- respecto del cual es más sensible la función de transferencia, es la ganancia en corriente del terminal *X* respecto del terminal *Z*. Sin embargo, en el tipo II, es la ganancia del buffer de tensión situado entre los terminales *Y* y *Z*, la que lleva asociada mayor sensibilidad. Es por ello que estos dos casos son ligeramente problemáticos en el diseño, ya que una variación de menos de una milésima parte, en el caso del buffer de tensión, origina una variación considerable en la función de transferencia. Más adelante se verá otro caso más patente, si cabe, de sensibilidad a los parámetros del elemento activo.

En lo que respecta a las funciones de transferencia de tercer orden, se mostrarán a continuación los resultados obtenidos para los casos 4.91.3 y 4.91.4, filtros paso bajo y paso alto, respectivamente. Para asegurar los criterios de estabilidad definidos en 4.92 se han elegido los condensadores iguales, y las resistencias con un factor 20 entre ellas. Aún así la topología II con el filtro 4.91.4 resulta inestable, por lo que no se analizan datos de

este caso. Para el resto, en cambio, sí que se ha comprobado en simulación la estabilidad. La magnitud correspondiente al filtro paso bajo se muestra en la figura 4.42, mientras que en la figura 4.43 aparece la magnitud del filtro paso alto.

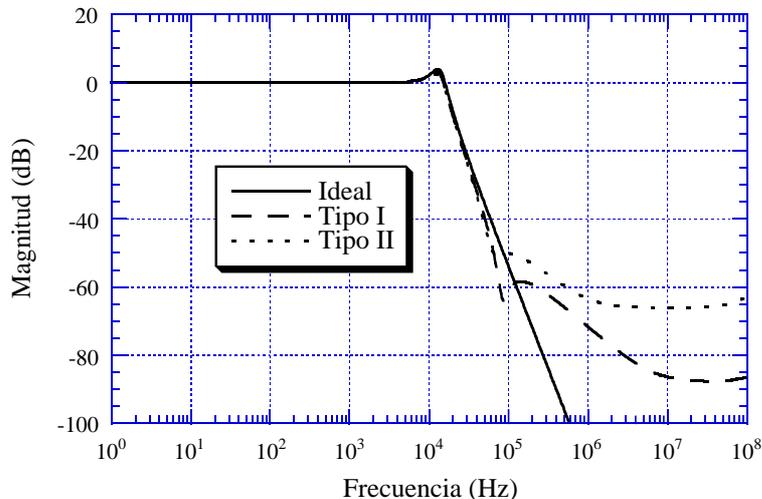


Figura 4.42 Magnitud de la función de transferencia para el filtro paso alto dado por 4.91.3

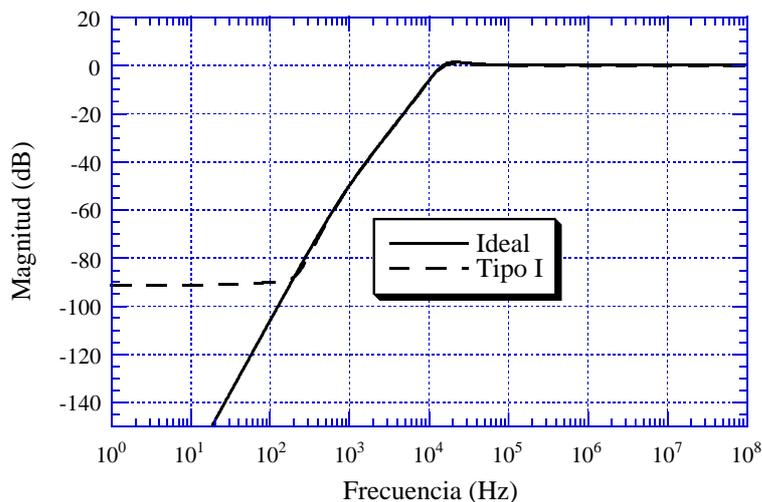


Figura 4.43 Magnitud de la función de transferencia para el filtro paso alto dado por 4.91.4

En estos casos se puede volver a realizar un análisis cuantitativo de la sensibilidad de la función de transferencia respecto de la variación de los parámetros del elemento activo. Así se comprueba que en el caso del filtro 4.91.3 el factor dominante es la resistencia de salida del terminal X de los CCII-. En menor medida, y en el tipo II, afectan los condensadores parásitos de los terminales Y y Z. En lo que respecta al caso 4.91.4, es la resistencia de salida del terminal Z la que da lugar a mayores cambios en la función de

transferencia. Es necesario resaltar que al hacer una análisis por simulación de estas estructuras, lo que analíticamente sería poco menos que inviable, se comprueba la insensibilidad de la impedancia simulada a la variación de los elementos que conforman el modelo del CCII-, salvo uno de ellos, respecto del cual manifiesta un sensibilidad más que notable. Para ilustrar esto en detalle se muestra en la figura 4.44 la respuesta paso banda del caso 4.90.1, supuesto Y_6 un condensador. Esta posibilidad no se ha tratado antes por tener tres condensadores, mientras que la función de transferencia se mantiene de orden 2.

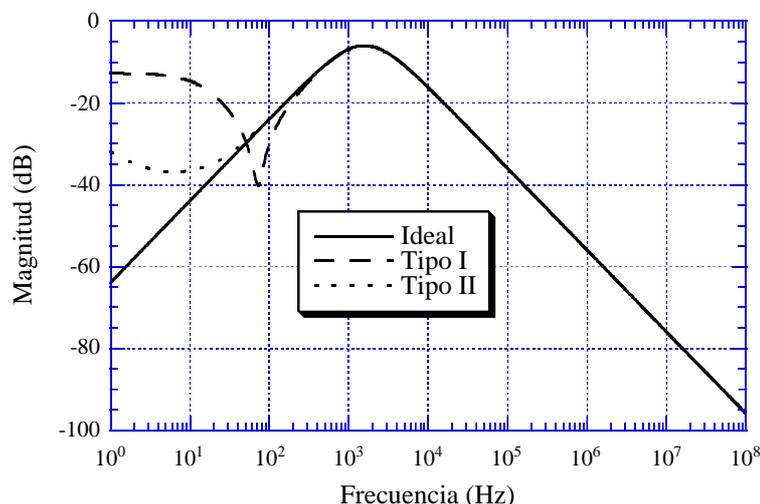


Figura 4.44 Magnitud de la función de transferencia para el filtro paso-banda utilizando 4.90.1

Es patente a la vista de la gráfica la no idealidad de las respuestas, en especial en el tipo I. Se puede volver a comprobar que en el tipo I el factor dominante es la ganancia en corriente del terminal Z respecto del terminal X, mientras que para el tipo II, es la ganancia en tensión del buffer de entrada del CCII-, la que impone la principal limitación. Se puede incluso estudiar cómo la variación de menos de un 1% da lugar a situaciones como el tipo I de la figura anterior, que son claramente inaceptables. La principal conclusión es por tanto la precaución a la hora del diseño de este tipo de estructuras, y lo cuestionable de ciertos resultados aparecidos en la literatura.

4.2.3.2 Estudio del tipo VIII

En este caso la impedancia simulada viene dada por la expresión 4.88. Observando la misma se deduce que si se escoge Z_1 como un condensador, y Z_2, Z_3 como resistencias, entonces la impedancia resultante sería un condensador, cuyo valor vendría dado por:

$$C_{IN} = \frac{C_1}{1 - \frac{R_3}{R_2}} \quad (4.93)$$

A la vista de esta expresión, es clara la posible utilización de este sistema: la simulación de condensadores cuyo valor sea relativamente grande, sin más que tomar la resistencia R_3 ligeramente menor que R_2 , o incluso de obtener valores positivos y negativos. Un problema inherente a la expresión 4.93, es su sensibilidad respecto a pequeñas variaciones en el valor de las resistencias.

Como se apuntó en el apartado 4.2.2.8, es posible la realización de la topología mostrada en la figura 4.37.a mediante dos CCII-, como se demuestra en la figura 4.45

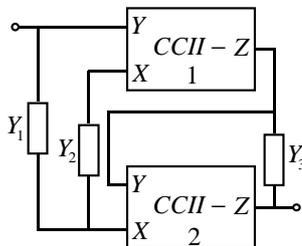


Figura 4.45 Realización mediante CCII- de la admitancia tipo VIII

No obstante esta estructura adolece de problemas de estabilidad. Un análisis empírico de la misma demuestra que la dependencia frecuencial de los dos buffers implicados en un CCII-, de tensión y de corriente, así como las impedancias parásitas de los diferentes terminales, originan de forma interrelacionada comportamientos inestables de la impedancia simulada. Para la comprobación de éstos, se ha estudiado un circuito análogo al mostrado en la figura 4.39, donde se ha elegido para la impedancia conectada a tierra, una resistencia. Para solventar esta eventual inestabilidad se propone añadir en serie con cada uno de los terminales X de los CCII-, una impedancia, Z_{X_i} , de tipo resistivo. Ahora la expresión 4.88 quedaría como:

$$Z_{IN} = Z_{X_2} + Z_1 \left(1 - \frac{Z_3 - Z_{X_2}}{Z_2 + Z_{X_1}} \right) \tag{4.94}$$

Evidentemente, la impedancia simulada deja de comportarse de forma puramente capacitiva, para transformarse en la asociación en serie de un condensador más una resistencia. El valor de dicha resistencia en serie es precisamente el valor de la resistencia de compensación. A pesar de este hecho, las simulaciones demuestran que el comportamiento de la impedancia deja de ser inestable, y que no se aleja de forma sensible del deseado. En la figura 4.46, se muestra la magnitud de la respuesta en frecuencia para un filtro paso alto, construido como se ha indicado, en la que se aprecia para diferentes valores de la resistencia R_2 la variación del valor del condensador equivalente.

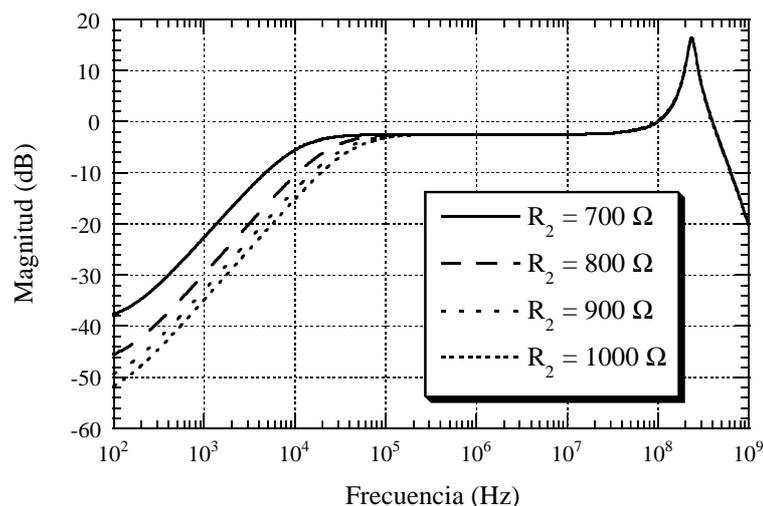


Figura 4.46 Magnitud de la función de transferencia para un paso alto utilizando la estructura de la figura 4.45, variando el valor del condensador simulado

Los valores utilizados para el resto de impedancias son: R_3 y R_4 toman el valor de 1000Ω , C_1 es de 1 nF , mientras que las resistencias de compensación son de 300Ω cada una.

Es conveniente remarcar que el estudio de la estabilidad de esta estructura ha sido realizado de forma empírica. No obstante se han apuntado varias aproximaciones analíticas al problema. La más sencilla es suponer que la única desviación de los *CCII*- respecto del modelo teórico es una dependencia frecuencial cuadrática del buffer de corriente dada por la expresión 2.7. En este caso se puede demostrar que el denominador de la función de transferencia presenta orden 2, y la condición de estabilidad se reduce a:

$$R_2 > \beta_0 R_3 \quad (4.95)$$

Evidentemente esta condición es directa, siempre que se utilice la estructura para la simulación de condensadores positivos. Si se intenta realizar este cálculo suponiendo que la copia de corrientes es ideal, y si el buffer de tensión en la entrada posee una dependencia análoga a la anterior, se obtiene un polinomio de orden cuatro, para el cual la condición de estabilidad necesaria y suficiente es:

$$R_2 > \alpha_0 R_3 \quad (4.96)$$

que vuelve a ser directa. Si se trabajara con ambos buffers no ideales, el orden del polinomio a estudiar subiría hasta ocho! Y esto sin haber introducido ninguna impedancia parásita de salida en los terminales del *CCII*-, impedancias que en el estudio empírico de estabilidad se demuestran como decisivas (en especial la asociada al terminal *X*). En conclusión se puede afirmar que el estudio analítico un tanto riguroso de este tipo de sistemas es del todo intratable, debido a su complejidad.

4.2.3.2 Estudio del tipo II

La función característica de este tipo de impedancias viene dada por la expresión 4.79, y una de sus realizaciones mediante *CCII*- está representada en la figura siguiente.

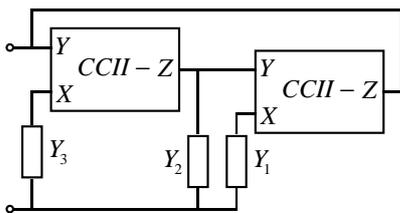


Figura 4.47 Realización mediante CCII- de la admitancia tipo II

Obviamente este tipo de estructuras permitirán la simulación de impedancias negativas, es decir NICs flotantes. Así, una posible elección para la obtención de un condensador negativo sería \$Y_1\$ e \$Y_2\$ como resistencias, mientras que \$Y_3\$ se tomaría como un condensador. Para la comprobación del funcionamiento de la topología propuesta, se ha simulado un simple circuito RC paso alto al que se ha colocado en paralelo con el condensador el de valor negativo, de tal forma que cancele en cierta medida el valor de éste. En la figura 4.48 se muestra la magnitud de la respuesta en frecuencia, observándose cómo efectivamente el circuito equivalente corresponde a un circuito RC paso alto en el que el valor del condensador ha disminuido. Los valores para las impedancias del NIC son de 1 kΩ para \$R_1\$ y \$R_2\$, de 1 nF para \$C_3\$, mientras que los utilizados para la resistencia y el condensador externos son de 1 kΩ y 2 nF, respectivamente.

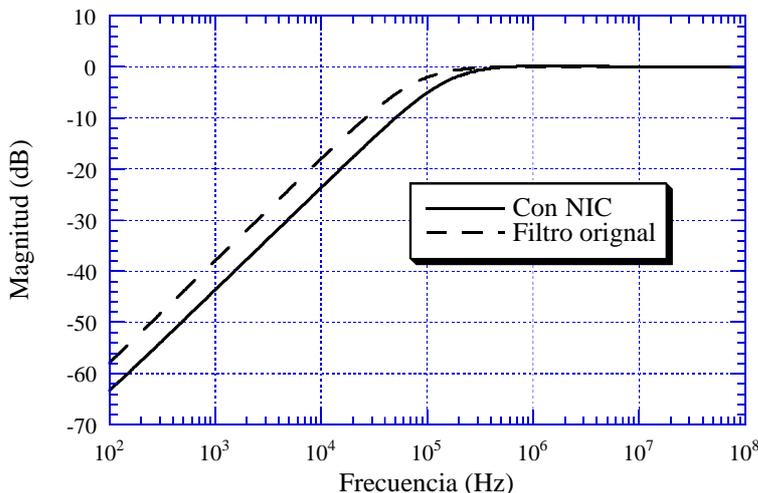


Figura 4.48 Comparación entre las magnitudes de la función de transferencia para el filtro original y el que incluye un NIC

4.2.4 Síntesis clásica

En este apartado se abordará el problema de síntesis de redes cuya admitancia de entrada sea un polinomio en \$s\$ genérico. Es decir, se buscarán redes que cumplan:

$$Y_{IN} = a_0 + a_1s + a_2s^2 + \dots + a_n s^n \tag{4.97}$$

Para ello se empezará el proceso de síntesis en un sistema que a priori no posee una estrecha relación con la expresión anterior, como es el caso de un PIC. Es decir se sintetizará una red que posea una admitancia de entrada del tipo:

$$Y_{IN} = \frac{Y_1 Y_3}{Y_2} \tag{4.98}$$

Como punto de partida se elige una etapa amplificadora, a la cual se le aplica la transformación de Hilberman [HIL 73], figura 4.49.a-b. Realimentando esta etapa con una admitancia Y_3 se obtiene el resultado buscado, sin más que aplicar el teorema de Miller. Obsérvese que se han añadido dos buffers, uno a la entrada y otro a la salida de la etapa amplificadora original, para poder aplicar de la forma deseada el teorema de Miller.

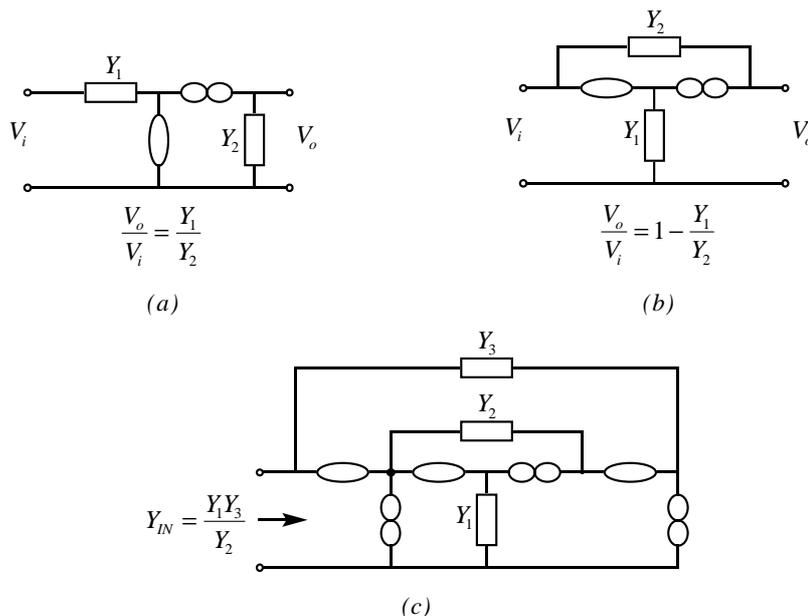


Figura 4.49 Una etapa amplificadora básica (a), aplicándole la transformación de Hilberman (b), y el uso del teorema de Miller (añadiendo dos buffers) (c)

No obstante si se prescindiera de los citados buffers, se obtendrían las redes mostradas en la figura 4.50. En la primera de ellas se mantiene el buffer de salida, con lo que la admitancia vista en la entrada será el paralelo de la admitancia de entrada de la etapa amplificadora, Y_1 , y la admitancia Miller. Por otra parte, en la segunda figura, se omite el buffer de salida, con lo que la impedancia de entrada se convierte en la impedancia Miller, en la cual la impedancia de realimentación Y_3 , se sustituye por la serie de la impedancia de salida de la etapa amplificadora, Y_2 , más la propia impedancia Y_3 .

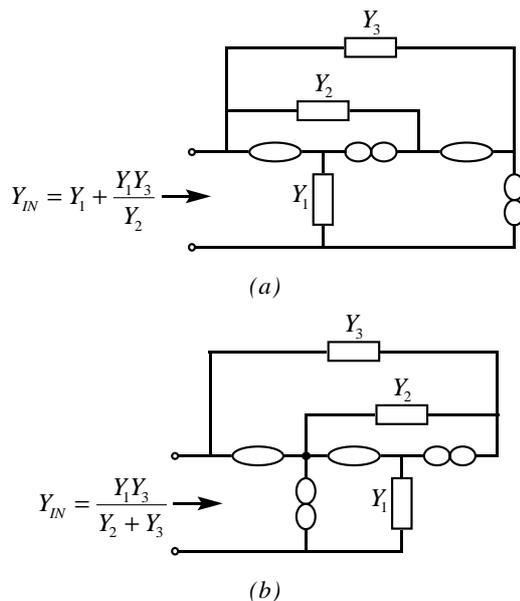


Figura 4.50 Estructura asociada a la figura 4.49.c, omitiendo el buffer de entrada (a); y omitiendo el de salida (b)

A la vista de estos resultados las conclusiones son claras. Para la síntesis de la expresión 4.97, se deberá buscar la generalización del esquema de la figura 4.50.a, en el cual se ha conseguido sintetizar el caso más simple de la citada expresión. Cabe observar aquí el hecho de la dualidad de la figura 4.50.b, en la cual se representa la semilla para la síntesis de impedancias generalizadas. Por tanto queda justificado el estudio de estas topologías más simples.

En el proceso de generalización de los anteriores resultados se plantean al menos dos caminos. El primero consiste simplemente en anidar la estructura mostrada en la figura 4.50.a, de tal forma que se obtendría una admitancia de entrada de la forma:

$$Y_{IN} = Y_1^0 + \frac{Y_1^0 Y_1^1}{Y_2^0} + \frac{Y_1^0 Y_1^1 Y_1^2}{Y_2^0 Y_2^1} + \dots + \frac{Y_1^0 Y_1^1 \dots Y_1^n}{Y_2^0 Y_2^1 \dots Y_2^{n-1}} \quad (4.99)$$

Sin más que elegir las admitancias como:

$$\begin{aligned} Y_1^0 &= G_1^0 & Y_1^i &= C_i s & i &= 1 \dots n \\ Y_2^j &= G_j & j &= 0 \dots n \end{aligned} \quad (4.100)$$

se obtiene la expresión 4.97, siempre y cuando se supongan todos los coeficientes positivos y no nulos. Así se necesitan $2n$ nullors, n condensadores y $n+2$ resistencias. Las topologías que se obtienen con este método se muestran en las figuras 4.51 y 4.52, siendo la primera de ellas la alcanzada por la simple sustitución de las admitancias, mientras que la segunda es una simple deformación de la anterior.

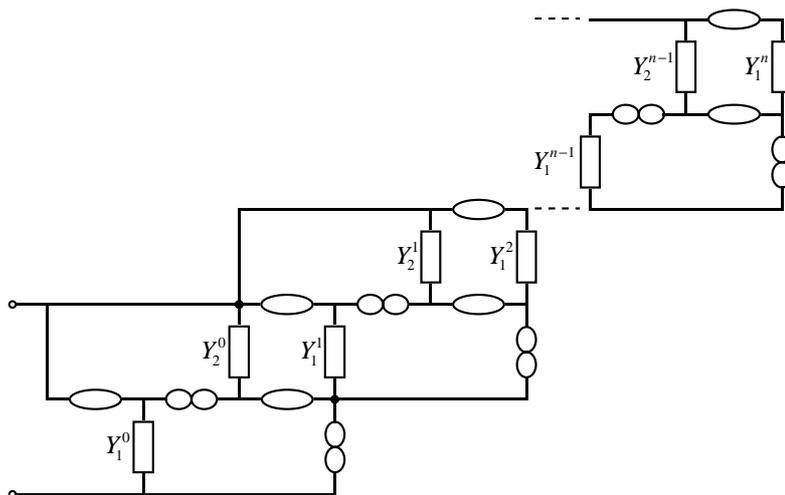


Figura 4.51 Estructura general para la simulación de una admitancia arbitraria, con coeficientes positivos y no nulos

Se observa que con este procedimiento no es posible la realización de coeficientes negativos ni nulos en el polinomio de la admitancia buscada.

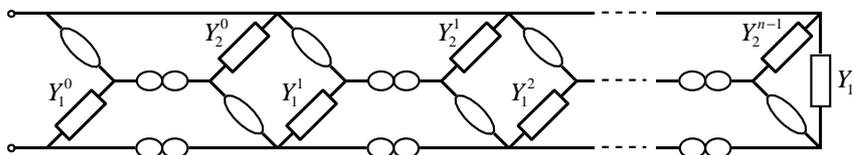


Figura 4.52 Deformación de la estructura mostrada en la figura 4.51

Como segunda vía de síntesis, se parte de la figura 4.50.a, para generalizarla según se muestra en la figura 4.53. Para este circuito se cumple que:

$$Y_{IN} = Y_{11}^{n-1} + (1 - t_{n-1})Y_1^n \tag{4.101}$$

donde Y_{11}^{n-1} es la admitancia de entrada de la red recuadrada, cuya función de transferencia en voltaje entre los nodos 1 y 3, supuesta intensidad de salida nula (lo cual se verifica), es t_{n-1} . Basta ahora escoger el circuito de la figura 4.49.a como la red incógnita de la figura 4.53. Eso sí, se intercambiarán los nodos 1 y 2, para dar lugar, en realidad, a la topología de la figura 4.49.b. Insertando esto de nuevo en la figura 4.53, se obtiene la figura 4.54.

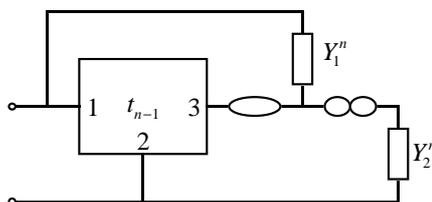


Figura 4.53 Primer paso hacia la simulación de una admitancia generalizada

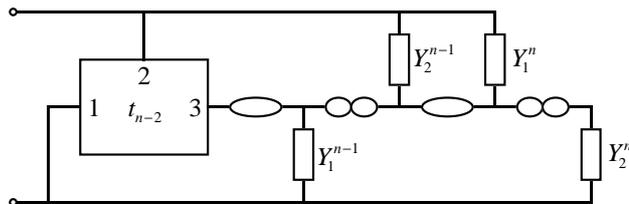


Figura 4.54 Segundo paso hacia la simulación de una admitancia generalizada

Para este caso, se cumple:

$$Y_{IN} = Y_{11}^{n-2} + (1 - t_{n-2})Y_1^n + (1 - t_{n-2}) \frac{Y_1^{n-1}Y_1^n}{Y_2^{n-1}} \tag{4.102}$$

Reiterando el proceso, se llega al esquema de la figura 4.55, para el cual vuelve a ser válida la expresión 4.99.

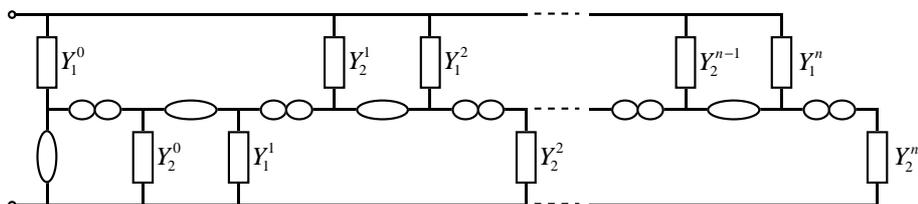


Figura 4.55 Estructura general para la simulación de una admitancia generalizada con coeficientes positivos y no nulos

En este caso, para sintetizar una admitancia de orden n se necesitan $n+1$ nullors, n condensadores y $n+2$ resistencias. El método expuesto aquí, se puede ver que es completamente equivalente al propuesto por Hilberman [HIL 67]. Se podría retomar aquí dicho trabajo, para dilucidar los esquemas necesarios para la obtención de coeficientes nulos o negativos en el polinomio 4.97. No obstante, solamente se resaltarán dos puntos. En primer lugar, el autor citado necesita un nullor adicional si el polinomio a simular contiene k coeficientes nulos, y debe de imponer k condiciones adicionales de igualdad entre pares de resistencias. En segundo lugar, si existen p coeficientes negativos, utiliza $p+1$ nullors adicionales, respecto de la red inicial de $n+1$ elementos activos.

Se verá a continuación una tercera vía, basada en la descomposición por bloques, que mejora esta situación. Consiste básicamente en una pequeña mejora del primer método, que da lugar a la expresión 4.99. En esa ocasión se anidaba exclusivamente la estructura mostrada en la figura 4.50.a. La mejora proviene del hecho de utilizar como bloques constructivos, aquéllos que den lugar a las siguientes estructuras:

$$Y_{IN} = a_1Y_1 + a_2 \frac{Y_1Y_3}{Y_2} \tag{4.103.1}$$

$$Y_{IN} = b_1Y_1 + b_2 \frac{Y_1Y_3}{Y_2} + b_3 \frac{Y_1Y_3Y_5}{Y_2Y_4} \tag{4.103.2}$$

donde:

$$a_i, b_i = \begin{cases} +1 \\ 0 \\ -1 \end{cases} \quad a_2, b_3 \neq 0 \quad (4.104)$$

Es claro que mediante estas dos expresiones, se podría construir cualquier polinomio del tipo 4.97, siendo sus coeficientes arbitrarios, es decir, positivos, negativos o nulos. Por ejemplo, para la síntesis de un polinomio de la forma:

$$Y_{IN} = a_0 - a_1s + a_2s^2 + a_4s^4 - a_6s^6 \quad (4.105)$$

se podría construir como:

$$Y_{IN} = Y_1 - \frac{Y_1Y_3}{Y_2} + \frac{Y_1Y_3Y_5}{Y_2Y_4} + \frac{Y_1Y_3Y_5Y_7Y_9}{Y_2Y_4Y_6Y_8} - \frac{Y_1Y_3Y_5Y_7Y_9Y_{11}Y_{13}}{Y_2Y_4Y_6Y_8Y_{10}Y_{12}} \quad (4.106)$$

la cual se puede descomponer de la forma:

$$Y_{IN} = Y_1 - \frac{Y_1Y_3}{Y_2} + \frac{Y_1Y_3}{Y_2Y_4} \left[Y_5 + \frac{Y_5Y_7}{Y_6Y_8} \left(Y_9 - \frac{Y_9Y_{11}Y_{13}}{Y_{10}Y_{12}} \right) \right] \quad (4.107)$$

de tal modo que se utilizarían tres bloques anidados del tipo 4.103.2. Más adelante se verá que esta opción es más eficiente que el método clásico.

Para la expresión 4.103.1 se tienen en total 6 posibilidades en función del signo de los coeficientes. Obsérvese que a_2 no puede ser nulo. Análogamente, para la expresión 4.103.2 se tienen 18 posibles alternativas. Bastaría entonces, gracias al algoritmo computacional propuesto en apartados anteriores, el sintetizar estos 24 bloques básicos.

Caben aquí varios comentarios al respecto de este procedimiento. En primer lugar es obvio que dado un polinomio general para la admitancia a simular, el método más óptimo de sintetizarla, es decir con el mínimo número de componentes, sería el introducir dicha expresión en el programa de síntesis del apartado 4.2.1, y se obtendrían todas las estructuras posibles. No se plantea esta posibilidad ya que, siendo viable teóricamente, resulta inviable en la práctica, debido al tiempo de cómputo. El segundo matiz a reseñar es la elección de las expresiones básicas 4.103. Es claro que se pueden plantear más complejas, pero el número de posibilidades se dispara. Por ejemplo suponiendo cuatro sumandos se deberían sintetizar 64 posibilidades! Y empeorando la situación, la mayoría de estas 64 posibilidades contendrían cuatro nullors y más de siete nodos, con lo que de nuevo el tiempo de cálculo aumenta enormemente. Queda pues justificada la elección de las expresiones 4.103 como los bloques básicos a la hora de sintetizar un polinomio genérico.

En la tabla 4.17 se muestra un listado exhaustivo del número de elementos activos, que por motivos de comparación se ha supuesto un *CCII*-, para todas las estructuras que se utilizan en la realización de los términos básicos 4.103, comparando dicho número con el que se necesitaría utilizando el método clásico [HIL 67]. En los casos marcados con un asterisco no ha sido posible la finalización del algoritmo, por lo que el número asociado es una estimación. Las estructuras concretas para cada caso no se muestran ya que no aportan bajo el punto de vista actual ningún tipo de información.

	1	2	3	4	5	6
a_1	+	+	-	-	0	0
a_2	+	-	+	-	+	-
Nuevo	2	2	3	2	3	2
Clásico	2	4	4	5	3	4

	7	8	9	10	11	12	13	14	15
b_1	+	+	+	+	-	-	-	-	+
b_2	+	+	-	-	+	+	-	-	0
b_3	+	-	+	-	+	-	+	-	+
Nuevo	2	3	3	3	3	5*	3	3	3
Clásico	3	5	5	5	6	6	6	7	4

	16	17	18	19	20	21	22	23	24
b_1	+	-	-	0	0	0	0	0	0
b_2	0	0	0	+	+	-	-	0	0
b_3	-	+	-	+	-	+	-	+	-
Nuevo	3	3	5*	3	5*	3	3	2	5*
Clásico	5	5	6	4	5	5	6	3	5

Tabla 4.17 Comparación entre el número de elementos activos con el nuevo esquema de síntesis vs. el clásico

A modo de ejemplo se va sintetizar la siguiente función de impedancia extraída de [HIL 67]:

$$Y_{IN} = -2s^6 + 3s^5 + 5s^4 - 4s^3 - 2s^2 + s + 10 \tag{4.108}$$

que con la nueva aproximación debería de implementarse de la siguiente forma:

$$Y_{IN} = Y_1 + \frac{Y_1 Y_3}{Y_2} - \frac{Y_1 Y_3}{Y_2 Y_4} \left[Y_5 + \frac{Y_5 Y_7}{Y_6} - \frac{Y_5 Y_7}{Y_6 Y_8} \left(Y_9 + \frac{Y_9 Y_{11}}{Y_{10}} - \frac{Y_9 Y_{11} Y_{13}}{Y_{10} Y_{12}} \right) \right] \tag{4.109}$$

es decir, anidando tres veces el módulo 8 de la tabla 4.17. Por tanto, son necesarios 7 resistencias, 6 condensadores y 9 elementos activos, en este caso CCII-. Sin embargo Hilberman utiliza 11 resistencias, 6 condensadores y 11 CCII-, sin citar las condiciones de diseño impuestas entre las resistencias adicionales. La mejora es evidente.

Comparando los dos métodos, el clásico y el basado en bloques constructivos, se observan dos ventajas claras para el segundo. La primera consiste en el menor número de elementos activos (manteniendo el CCII- como etapa activa básica) independientemente del polinomio a simular. Por otra parte para aquellos casos en los que el polinomio posea coeficientes negativos o nulos, no se hace necesaria la utilización de nuevas impedancias, ni la existencia de relaciones exactas entre ellas. Este matiz representa la segunda mejora del método propuesto frente al utilizado clásicamente.

Para acabar este apartado se mencionará la posibilidad de sintetizar una función de transferencia genérica, sin más que sustituir en la figura 4.49.a las admitancias Y_1 e Y_2 , por el numerador y el denominador, respectivamente, de la función buscada, para luego sintetizar dichos polinomios.

4.3 Conclusiones

A lo largo de este capítulo se han desarrollado diversas aplicaciones para el *UAD*, centradas todas ellas en torno a la simulación de impedancias. Concretamente se han estudiado las diferentes estructuras para la realización de un *GIC* mediante elementos activos transconductores. Para lo cual se han seleccionado ocho topologías representativas de entre las veinticuatro posibles y para estas ocho se han analizado sus funciones de error en el supuesto de estar simulando tanto una autoinducción como una *FDNR*. Así se han propuesto varios sistemas como los más prometedores, comprobando para cada uno de ellos, en etapas de filtrado que contienen la impedancia simulada, su funcionamiento.

Por otra parte se ha desarrollado un algoritmo de síntesis para la obtención de todas las redes que posean una impedancia de entrada prefijada, supuesto conocido el número de nullors y el de nodos. Se ha comprobado el algoritmo en varios ejemplos, obteniéndose en todos ellos resultados teóricos satisfactorios. Así mismo se han seleccionado diversas de entre estas estructuras con las cuales se han realizado etapas de filtrado, cuyo comportamiento en frecuencia se ha simulado.

Como último apartado dentro de este capítulo se encuentra la propuesta de un nuevo método de síntesis para admitancias polinomiales, que mejora en gran medida los utilizados hasta el momento. Esta nueva aproximación es además una aplicación directa del algoritmo expuesto en el párrafo precedente.

Capítulo 5

Conclusiones y líneas de futuro



En este breve epílogo se pretenden cubrir dos objetivos.

Por una parte, se realizará un compendio de las principales conclusiones derivadas de todo el trabajo expuesto anteriormente. Para ello, se desglosarán en dos vertientes: la primera de ellas listará aquellas conclusiones expresadas y probadas de forma directa durante la memoria; la segunda poseerá un carácter más genérico y se centrará en aquellas ideas, conceptos y realidades que han tenido un papel preponderante en la realización de este trabajo de investigación y que, por su naturaleza, no pueden verse reflejadas de un modo formal en la memoria.

El segundo de los objetivos determinará cuáles deberían ser las líneas de trabajo futuro, a la vista de los resultados obtenidos.

Conclusiones

En primer lugar se detallarán aquellas conclusiones directamente relacionadas con el desarrollo de la memoria anterior.

- Siguiendo un orden cronológico, se ha demostrado la viabilidad de la construcción de elementos activos universales con una única celda básica como es el *CCII*-. Se han propuesto cuatro diferentes realizaciones para un *UAD* correspondiendo cada una de ellas a las cuatro posibles fuentes controladas más sencillas.
- El esquema de diseño anterior ha permitido unificar múltiples trabajos aparecidos en la literatura en los últimos años que proponían nuevos elementos activos.
- A la vista de las diferentes realizaciones propuestas, se han elegido por simplicidad los *UAD* de naturaleza transconductor y de transimpedancia. Por su simetría se ha elegido el primero de estos como elemento a estudiar en mayor detalle. Con posterioridad se han planteado dos alternativas para mejorar las características del *UAD* transconductor.
- Para realizar un estudio detallado del comportamiento de estos esquemas, se ha diseñado, modelado en frecuencia e integrado un *CCII*-.
- En cuanto a las aplicaciones, se han comparado las cuatro estructuras de *UAD*, en una etapa inversora, realizando las cuatro posibles conversiones entre tensión y corriente. Esta comparativa ha permitido encontrar diferentes características de dichas etapas, así como demostrar la universalidad de dichos amplificadores básicos.
- Como segunda aplicación, y ahora exclusivamente del *UAD* transconductor, se ha estudiado el comportamiento de dos etapas básicas de filtrado tales como los Sallen-Key y los *MFB*, al reemplazar de forma directa el opamp por el nuevo dispositivo activo. Se ha comprobado así que resultan sistemas totalmente aceptables, apuntalando aún más la universalidad antes mencionada.
- Ya en el terreno de aplicaciones más novedosas, utilizando y explotando la completa flotabilidad de los elementos activos, se han investigado diversas realizaciones para la simulación de impedancias. En primer lugar se ha llevado a cabo un estudio exhaustivo de todos los sistemas denominados *GICs*. En este sentido, se han catalogado las veinticuatro estructuras posibles, agrupándolas en ocho representantes, para los cuales se han escogido aquellos más prometedores en la realización de autoinducciones y *FDNRs*. Los criterios de selección se han basado en criterios de diseño novedosos, así como en parámetros ya establecidos.
- Como continuación de la simulación de impedancias, se ha desarrollado un algoritmo para la síntesis de inmitancias. Este algoritmo, fijado el número de elementos activos y el número de nodos de la red, genera todas las redes activas cumpliendo estos dos requisitos, teniendo además entre dos de sus nodos una determinada impedancia de entrada.

- Este algoritmo ha sido probado para diversos casos, unos cuya solución era conocida y otros completamente novedosos, obteniéndose en todos ellos unos resultados plenamente satisfactorios.
- Como validación experimental se ha corroborado con numerosos ejemplos de simulación el funcionamiento de estas estructuras.
- La última de las aplicaciones se ha basado en la búsqueda de un mecanismo de síntesis constructivista que permita la generación de una admitancia polinomial genérica. Con este fin se han encontrado tres vías, una de las cuales corresponde a un método clásico. Sin embargo, se ha podido demostrar que uno de los mecanismos propuestos permite mejorar este esquema clásico, ya que utiliza menor número tanto de elementos pasivos como activos, no teniendo la necesidad de imponer ligaduras de diseño entre los componentes pasivos, limitación clara de la aproximación clásica.

Respecto de las conclusiones no ligadas estrictamente a lo que representa el hilo argumental de la memoria se pueden citar las siguientes.

- Quizás en este aspecto la conclusión, con diferencia, más relevante ha sido la constatación de los graves problemas de estabilidad que presentan los circuitos conteniendo *CCII*- de altas prestaciones. Es decir, aquéllos que no se derivan del opamp clásico. Así la principal consecuencia es la necesidad incuestionable de realizar siempre que sea posible un exhaustivo análisis de estabilidad de cualquiera de los sistemas propuestos.
- A pesar de lo anteriormente expuesto, el *CCII*- se ha revelado como un elemento activo extremadamente flexible. Concretamente, en la simulación de impedancias arbitrarias, todos los casos estudiados se podían realizar con este dispositivo, lo que hace pensar en él como una alternativa al *UAD* en muchos sistemas. No obstante, adolece a su vez de graves problemas, como la precisión en las copias de voltaje y corriente, así como la impedancia de salida no nula en el terminal *X*.
- La importancia del *time to market*, cuestión que dentro del mundo académico puede parecer banal, pero como se ha comprobado con la integración del prototipo de *UAD*, siempre hay que tenerla presente.

Líneas de trabajo futuro

Es casi innecesario remarcar aquí la incompletitud de todo trabajo de investigación, siendo algunas veces más importantes los interrogantes que se plantean que los que se resuelven. Por esta razón se indicarán de forma muy breve las líneas de futuro que se abren con todo el trabajo anterior.

- La primera, que ya se está llevando a cabo, es la integración de diversas celdas básicas en tecnología estándar, léase CMOS. Para ello se está contemplando la realización de diversas estructuras: desde un *OFC* hasta el *UAD* transconductor, pasando por el inevitable *CCII*.

- Un tema que no se ha tratado, y cuyo interés resulta obvio, es la construcción de etapas de filtrado completamente flotantes, utilizando para ello elementos activos que posean esta característica de flotabilidad.
- En el campo de la simulación de impedancias, se ha comenzado ya el análisis de las seis topologías que conforman un *GIC* realizables mediante *CCII-s*, con el objetivo de discernir aquellas que presenten las mejores características de estabilidad y de precisión.
- Respecto al algoritmo computacional propuesto existen varias posibles mejoras. La más directa, y en la cual también se está ya empezando a obtener resultados, es la optimización del cálculo de las estructuras posibles. Para ello se contempla un cambio de filosofía a la hora de generar la posición de los elementos activos, de tal forma que se pasa de una metodología reduccionista como es la actual, a una constructivista en la cual sólo se construyen y analizan aquellas topologías que son estrictamente diferentes entre sí.
- Una vez que se haya cumplimentado el anterior objetivos es seguro que se podrán acometer síntesis de redes más complejas. Esto llevará asociado también una mejora en la síntesis de admitancias polinomiales, en las que a su vez es posible el plantearse un nuevo estudio constructivista genérico, para así ampliar los resultados obtenidos con las celdas básicas.
- Como una generalización del algoritmo estudiado, se planteará la sustitución del elemento activo universal, por otros más concretos y cuya representación en términos de nullors no es trivial, i.e. *CCII+*, *CCIII*, etc.
- Como última posibilidad se contempla llevar a cabo un estudio específico para optimizar la síntesis de funciones de transferencia.

Bibliografía

- [AKE 69] D. AKERBERG, K. MOSSBERG: "Standard building blocks for active RC filters", *Electronics Letters*, 1969, **5**, pp. 528-529
- [ALL 80] P.E. ALLEN, M.B. TERRY: "The use of current amplifiers for high performance voltage applications", *IEEE J. of Solid-State Circuits*, 1980, **SC-15**, pp. 155-162
- [ANT 67] A. ANTONIOU: "Gyrators using operational amplifiers", *Electronics Letters*, 1967, **3**, pp. 350-352
- [ANT 68a] A. ANTONIOU: "New gyrator circuits obtained by using nullors", *Electronics Letters*, 1968, **4**, pp. 87-88
- [ANT 68B] A. ANTONIOU: "Stability properties of some gyrator circuits", *Electronics Letters*, 1968, **4**, pp. 510-512
- [ANT 69] A. ANTONIOU: "Realization of gyrators using operational amplifiers, and their use in RC-active-network synthesis", *Proc. of the IEE*, 1969, **116**, pp. 1838-1850
- [ARB 69] A. ARBEL: "Mismatch oriented circuit design and its applications to nuclear electronics", *IEEE Trans. on Nuclear Science*, 1969, **NS-16**, pp. 3-15
- [ARB 80] A. ARBEL: "Analog signal processing", *Cambridge University Press*, 1980
- [ARB 90] A. ARBEL, B. SABBAH, Y. SHOHAM: "The complementary Darlington-a novel current source for ICs", *IEEE J. of Solid State Circuits*, 1990, **SC-25**, pp. 612-613
- [ARB 92] A. ARBEL, L. GOLDMINZ: "Output stage for current-mode feedback amplifiers, theory and applications", *Analog Integrated Circuits and Signal Processing*, 1992, **2**, pp. 243-255
- [ARB 93] A. ARBEL: "Pure mode vs mixed mode interfacing between analog circuits", *Analog Integrated Circuits and Signal Processing*, 1993, **4**, pp. 167-172
- [ARB 96] A. ARBEL: "Negative feedback revisited", *Analog Integrated Circuits and Signal Processing*, 1996, **10**, pp. 157-178
- [ARB 97] A. ARBEL: "Towards a perfect CMOS CCII", *Analog Integrated Circuits and Signal Processing*, 1997, aceptado para su publicación
- [BEL 59] V. BELEVITCH: "On the algebraic structure of formal realizability theory", *Revue H.F.*, 1959, **4**, pp. 183
- [BOW 90] D. BOWERS: "Applying 'current feedback' to voltage amplifiers", *Analog IC design: the current-mode approach*, Peter Peregrinus, 1990, pp. 569-595
- [BRO 77] L. BROWN, A.S. SEDRA: "New multifunction biquadratic filter circuit with inherently stable Q -factor", *Electronics Letters*, 1977, **13**, pp. 719-721
- [BRU 82] U.W. BRUGGER, R. LEUENBERGER, B.J. HOSTICKA, G.S. MOSCHYTZ: "A comparison of semiconductor controlled sources for the design of active RC impedances", *International Journal of Circuit Theory and Applications*, 1982, **10**, pp. 27-42

- [BRUT 69] L.T. BRUTON: "Network transfer functions using the concept of frequency dependent negative resistance", *IEEE Trans. on Circuit Theory*, 1969, **CT-18**, pp. 406-408
- [BRUT 80] L.T. BRUTON: "RC active circuits: theory and design", *Prentice-Hall*, 1980
- [BRUU 91a] E. BRUUN: "A differential-input, differential-output current mode operational amplifier", *International Journal of Electronics*, 1991, **71**, pp. 1047-1056
- [BRUU 91b] E. BRUUN: "Constant-bandwidth current-mode operational amplifier", *Electronics Letters*, 1991, **27**, pp. 1673-1674
- [BRUU 92] E. BRUUN: "High speed, current conveyor based voltage mode op-amp", *Electronics Letters*, 1992, **28**, pp. 742-744
- [BRUU 93] E. BRUUN: "CMOS high speed, high precision current conveyor and current feedback amplifier structures", *International Journal of Electronics*, 1993, **74**, pp. 93-100
- [BRUU 94] E. BRUUN: "CMOS current-conveyors", *ISCAS Tutorials*, 1994, pp. 632-641
- [BRUU 95] E. BRUUN: "Bandwidth optimization of a low-power, high-speed CMOS current opamp", *Analog Integrated Circuits and Signal Processing*, 1995, **7**, pp. 11-19
- [CAB 93] R. CABEZA, A. CARLOSENA, L. SERRANO: "Multiple feedback filters revisited", *Proc. of the E.C.C.T.D.*, 1993, pp. 91-96
- [CAB 94] R. CABEZA, A. CARLOSENA, L. SERRANO: "Unified approach to the implementation of universal active devices", *Electronics Letters*, 1994, **30**, pp. 618-620
- [CAB 95] R. CABEZA, A. CARLOSENA: "Design considerations for practical nullors", *Proc. of the E.C.C.T.D.*, 1995, pp. 839-842
- [CAB 97a] R. CABEZA, A. CARLOSENA: "Analog universal active device: theory, design and applications", *Analog Integrated Circuits and Signal Processing*, 1997, aceptado para su publicación
- [CAB 97b] R. CABEZA, A. CARLOSENA, A. ARBEL: "Use of a CCII- as universal building block", *International Journal of Microelectronics*, 1997, aceptado para su publicación
- [CAR 55] H.J. CARLIN: "Synthesis of nonreciprocal networks", *Proc. Symp. on Modern Network Synthesis*, 1955, Editado por el Polytechnic Inst. of Brooklyn
- [CAR 61] H.J. CARLIN, D.C. YOULA: "Network synthesis with negative resistors", *Proc. of the I.R.E.*, 1961, **49**, pp. 907-920
- [CAR 64] H.J. CARLIN: "Singular network elements", *IEEE Trans. on Circuit Theory*, 1964, **CT-11**, pp. 67-72
- [CARL 93a] A. CARLOSENA, G.S. MOSCHYTZ: "Nullators and norators in voltage to current mode transformations", *International Journal of Circuit Theory and Applications*, 1993, **21**, pp. 421-424

- [CARL 93b] A. CARLOSENA, L. SERRANO, S. PORTA: "Current-mode multiple feedback filters", *IEEE Trans. on Circuits and Systems-I*, 1993, **40**, pp. 141-143
- [CARL 94] A. CARLOSENA, R. CABEZA, L. SERRANO: "On the search for a 'universal' active element", *Proc. of the I.S.C.A.S.*, 1994, **5**, pp. 779-782
- [CHA 91] C. CHANG, P. CHEN: "Realization of current-mode transfer function using second-generation current conveyors", *International Journal of Electronics*, 1991, **71**, pp. 809-815
- [CHE 86] W.K. CHEN: "Passive and active filters", *Wiley*, 1986
- [CHEN 93] M.C.H. CHENG, C. TOUMAZOU: "3V MOS current conveyor cell for VLSI technology", *Electronics Letters*, 1993, **29**, pp. 317-318
- [CHU 87] L.O. CHUA, C.A. DESOER, E.S. KUH: "Linear and nonlinear circuits", *McGraw-Hill*, 1987
- [DAV 66a] A.C. DAVIES: "Matrix analysis of networks containing nullators and norators", *Electronics Letters*, 1966, **2**, pp. 48-49
- [DAV 66b] A.C. DAVIES: "Topological solution of networks containing nullators and norators", *Electronics Letters*, 1966, **2**, pp. 90-92
- [DAV 67a] A.C. DAVIES: "Nullator-norator equivalent networks for controlled sources", *Proc. of the IEEE*, 1967, **55**, pp. 722-723
- [DAV 67b] A.C. DAVIES: "The significance of nullators, norators and nullors in active-network theory", *The Radio and Electronic Engineer*, 1967, **34**, pp. 259-268
- [DES 69] C.A. DESOER, E.S. KUH: "Basic circuit theory", *McGraw-Hill*, 1969
- [DIR 69] S.W. DIRECTOR, R.A. ROHRER: "The generalized adjoint network and network sensitivities", *IEEE Trans. on Circuit Theory*, 1969, **CT-16**, pp. 318-323
- [FAB 85] A. FABRE: "Translinear current conveyors implementation", *International Journal of Electronics*, 1985, **59**, pp. 619-623
- [FAB 94a] A. FABRE, H. BARTHELEMY: "Composite second generation current conveyor with reduced parasitic resistance", *Electronics Letters*, 1994, **30**, pp. 377-378
- [FAB 94b] A. FABRE, N. MIMECHE: "Class A/AB second-generation current conveyor with controlled current gain", *Electronics Letters*, 1994, **30**, pp. 1267-1269
- [FAB 95a] A. FABRE, O. SAAID, H. BARTHELEMY: "On the frequency limitations of the circuits based on second generation current conveyors", *Analog Integrated Circuits and Signal Processing*, 1995, **7**, pp. 113-129
- [FAB 95b] A. FABRE: "Third generation current conveyor: a new helpful active element", *Electronics Letters*, 1995, **31**, pp. 338-339
- [FLI 73] N. FLIEGE: "A new class of second-order RC active filters with two operational amplifiers", *Nachrichtentech. Z.*, 1973, **6**, pp. 279-282
- [FOU 92] L.R. FOULDS: "Graph theory applications", *Springer-Verlag*, 1992

- [FUK 91] Y. FUKUI, K. KUBOTA, Y. OOSATO, W. GUO-HUA, K. WATANABE: "Non-planar to planar circuit conversion of active filters for a dual transformation approach", *Proc. of the Joint Tech. Conf. on Circuits-Systems, Computers and Communications*, 1991, pp. 133-137
- [GOR 67] J. GORSKI-POPIEL: "RC-Active synthesis using positive-inmittance converters", *Electronics Letters*, 1967, **3**, pp. 381-382
- [GRA 93] P.R. GRAY, R.G. MEYER: "Analysis and design of analog integrated circuits", *Wiley*, 1993
- [GUO 90] W. GUO-HUA, K. WATANABE, Y. FUKUI: "An extended dual transformation approach to current-mode circuit synthesis", *Proc. of the I.S.C.A.S.*, 1990, pp. 2294-2295
- [GUO 91] W. GUO-HUA, Y. FUKUI, K. KUBOTA, K. WATANABE: "Voltage-mode to current-mode conversion by an extended dual transformation", *Proc. of the I.S.C.A.S.*, 1991, pp. 1833-1836
- [GUO 92] W. GUO-HUA, K. WATANABE, Y. FUKUI: "A dual transformation approach to current-mode filter synthesis", *IEICE Trans. Electron*, 1992, **E75-C**, pp. 729-735
- [HAR 79] B.L. HART, R.W.J. BARKER: "Universal operational amplifier convertor technique using supply-current sensing", *Electronics Letters*, 1979, **15**, pp. 496-497
- [HAS 80a] J.W. HASLETT, M.K.N. RAO, L.T. BRUTON: "Monolithic V.C.C.S. for high frequency RC active filters", *Electronics Letters*, 1980, **16**, pp. 175-177
- [HAS 80b] J.W. HASLETT, M.K.N. RAO, L.T. BRUTON: "High-frequency active filter design using monolithic nullors", *IEEE J. of Solid-State Circuits*, 1980, **SC-15**, pp. 955-962
- [HIG 87] M. HIGASHIMURA, Y. FUKUI: "Novel method for realising lossless floating immittance using current conveyors", *Electronics Letters*, 1987, **23**, pp. 498-499
- [HIG 88] M. HIGASHIMURA, Y. FUKUI: "Realization of impedance function using current conveyors", *International Journal of Electronics*, 1988, **65**, pp. 223-231
- [HIG 91a] M. HIGASHIMURA, Y. FUKUI: "RC Active realization of mutually coupled circuit", *Proc. of the I.S.C.A.S.*, 1991, pp. 1343-1346
- [HIG 91b] M. HIGASHIMURA: "Realisation of current-mode transfer function using four-terminal floating nullor", *Electronics Letters*, 1991, **27**, pp. 170-171
- [HIG 92] M. HIGASHIMURA, Y. FUKUI: "Realization of immittance floatator using nullors", *IEICE Trans. Fundamentals*, 1992, **E75-A**, pp. 644-649
- [HIL 67] D. HILBERMAN: "Networks with unity-gain voltage amplifiers", Memoria de Tesis Doctoral, 1967, Case-Western Reserve University
- [HIL 68a] D. HILBERMAN, R.D. JOSEPH: "Analysis and synthesis of admittance matrices of RLC:VGUGA common-ground networks", *IEEE Trans. on Circuit Theory*, 1968, **CT-15**, pp. 426-430

- [HIL 68b] D. HILBERMAN: "Synthesis of rational transfer and admittance matrices with active RC common-ground networks containing unity-gain voltage amplifiers", *IEEE Trans. on Circuit Theory*, 1968, **CT-15**, pp. 431-440
- [HIL 73] D. HILBERMAN: "Input and ground as complements in active filters", *IEEE Trans. on Circuit Theory*, 1973, **CT-20**, pp. 540-547
- [HUE 93] L.P. HUELSMAN: "Active and passive analog filter design", *McGraw-Hill*, 1993
- [HUER 80] J.L. HUERTAS: "Circuit implementation of current conveyor", *Electronics Letters*, 1980, **16**, pp. 225-226
- [HUI 77] J.H. HUIJSING, J. DE KORTE: "Monolithic nullor- A universal active network element", *IEEE J. of Solid-State Circuits*, 1977, **SC-12**, pp. 59-64
- [HUI 81] J.H. HUIJSING, C.J. VEELENTURF: "Monolithic operational mirrored amplifier (OMA)", *Electronics Letters*, 1981, **17**, pp. 119-120
- [HUI 90] J.H. HUIJSING: "Operational floating amplifier", *Proc. of the IEE, Pt. G*, 1990, **137**, pp. 131-136
- [HUI 93] J.H. HUIJSING: "Design and applications of the operational floating amplifier (OFA): the most universal operational amplifier", *Analog Integrated Circuits and Signal Processing*, 1993, **4**, pp. 115-129
- [KAU 93] T. KAULBERG: "A CMOS current-mode operational amplifier", *IEEE J. of Solid-State Circuits*, 1993, **SC-28**, pp. 849-852
- [KEE 59] A.W. KEEN: "A topological nonreciprocal network element", *Proc. of the I.R.E.*, 1959, **47**, pp. 1148-1150
- [LAK 94] K.R. LAKER, W.M.C. SANSEN: "Design of analog integrated circuits and systems", *McGraw-Hill*, 1994
- [LAO 92] T. LAOPOULOS, S. SISKOS, M. BAFLEUR, P. GIVELIN: "CMOS current conveyor", *Electronics Letters*, 1992, **28**, pp. 2261-2262
- [LAO 95] T. LAOPOULOS, S. SISKOS, M. BAFLEUR, P. GIVELIN, E. TOURNIER: "Design and applications of an easily integrable CMOS operational floating amplifier for the megahertz range", *Analog Integrated Circuits and Signal Processing*, 1995, **7**, pp. 103-111
- [LTP 94] LTP ELECTRONICS: "CCII01 Data sheet", *Application Note*, 1994
- [MAL 94] J. MALHOTRA, R. SENANI: "Class of floating, generalised, positive/negative immittance convertors/inverters realised with operational mirrored amplifiers", *Electronics Letters*, 1994, **30**, pp. 3-5
- [MAR 63] G. MARTINELLI: "Sintesi di una generica funzione di trasferimento mediante il nullator ed il norator", *Alta Frequenza*, 1963, **32**, pp. 274-282
- [MAR 65] G. MARTINELLI: "On the nullor", *Proc. of the IEEE*, 1965, **52**, pp. 332
- [MAR 66] G. MARTINELLI: "RC transformerless networks embedding nullors", *Alta Frequenza*, 1966, **35**, pp. 156-162
- [MAR 68] G. MARTINELLI, P.G. DIPORTO: "Minimal number of nullors for realizing active gyrators", *Electronics Letters*, 1968, **4**, pp. 273-274

- [MART 91] P. MARTINEZ, A. CARLOSENA, R. CABEZA: "Un nuevo modelo funcional para CCII", *VI Congreso de diseño de circuitos integrados*, 1991, pp. 47-50
- [MIK 83] W.B. MIKHAEL, S.M. NESSIM: "Generation of actively compensated composite operational amplifiers and their use in extending the operating frequencies of linear active networks", *Proc. of the I.S.C.A.S.*, 1983, pp. 1290-1293
- [MIT 69] S.K. MITRA: "Analysis and synthesis of linear active networks", *Wiley*, 1969
- [MOS 74] G.S. MOSCHYTZ: "Linear integrated networks: fundamentals", *Van Nostrand Reinhold*, 1974
- [MUC 92] I. MUCHA: "Low-Output-Impedance CMOS voltage buffer", *Electronics Letters*, 1992, **28**, pp. 2071-2072
- [MUC 93] I. MUCHA: "Fully differential, current conveyor based CMOS operational amplifier", *International Journal of Electronics*, 1993, **74**, pp. 697-703
- [MUC 94] I. MUCHA: "Thousand and one improvements on current operational amplifiers", *Proc. of the I.S.C.A.S.*, 1994, pp. 533-536
- [MUC 95a] I. MUCHA: "Special function blocks for analog current signal processing", Memoria de Tesis Doctoral, 1995, Technical University of Brno
- [MUC 95b] I. MUCHA: "Current operational amplifiers: basic architecture, properties, exploitation and future", *Analog Integrated Circuits and Signal Processing*, 1995, **7**, pp. 243-255
- [MYE 65] B.R. MYERS: "Nullors model of the transistor", *Proc. of the IEEE*, 1965, **53**, pp. 758-759
- [NOR 82] E.H. NORDHOLT: "Extending op amp capabilities by using a current-source power supply", *IEEE Trans. on Circuits and Systems*, 1982, **29**, pp. 411-414
- [NORM 86] G. NORMAND: "Floating-impedance realisation using a dual operational-mirrored amplifier", *Electronics Letters*, 1986, **22**, pp. 521-522
- [OON 60] Y. OONO: "Formal realizability of linear networks", *Proc. Symp. on Active Networks and Feedback Systems*, 1960, Editado por el Polytechnic Inst. of Brooklyn
- [PAL 78] R. PALOMERA-GARCIA: "Generation of active RC circuits by the nullor equivalency concept", *Proc. of the E.C.C.T.D.*, 1978, pp. 53-57
- [PAL 81] R. PALOMERA-GARCIA, H. HIDALGO: "Algunos circuitos osciladores", *Proc. of the IEEE Mexican*, 1981, pp. 139-142
- [PAU 70] V.M. PAUKER: "Equivalent networks with nullors for positive inmittance inverters", *IEEE Trans. on Circuit Theory*, 1970, **CT-17**, pp. 642-645
- [PAY 91] A. PAYNE, C. TOUMAZOU: "Operational Floating Conveyor", *Proc. of the I.S.C.A.S.*, 1991, pp. 1813-1816
- [PAY 94] A. PAYNE, C. TOUMAZOU: "Practical integrated current-conveyors", *I.S.C.A.S. Tutorials*, 1994, pp. 588-600

- [PAY 96] A. PAYNE, C. TOUMAZOU: "Analog amplifiers: classification and generalization", *IEEE Trans. on Circuits and Systems-I*, 1996, **43**, pp. 43-50
- [RAO 78] M.K.N. RAO, J.W. HASLETT: "Class AB bipolar voltage-current convertor", *Electronics Letters*, 1978, **14**, pp. 762-764
- [RIO 67] R.H.S. RIORDAN: "Simulated inductors using differential amplifiers", *Electronics Letters*, 1967, **3**, pp. 50-51
- [ROB 89a] G.W. ROBERTS, A.S. SEDRA: "A generalization of intermediate transfer function analysis to arbitrary linear networks", *Proc. of the I.S.C.A.S.*, 1989, pp. 1059-1062
- [ROB 89b] G.W. ROBERTS, A.S. SEDRA: "All current-mode frequency selective circuits", *Electronics Letters*, 1989, **25**, pp. 759-761
- [ROB 91] G.W. ROBERTS, A.S. SEDRA: "A general class of current amplifier-based biquadratic filter circuits", *Proc. of the I.S.C.A.S.*, 1991, pp. 1821-1824
- [ROB 92] G.W. ROBERTS, A.S. SEDRA: "A general class of current amplifier-based biquadratic filter circuits", *IEEE Trans. on Circuits and Systems-I*, 1992, **39**, pp. 257-263
- [SCH 90] R. SCHAUMANN, M.S. GHANSAFI, K.R. LAKER: "Design of analog filters", *Prentice-Hall*, 1990
- [SED 70] A. SEDRA, K.C. SMITH: "A second-generation current conveyor and its applications", *IEEE Trans. on Circuit Theory*, 1970, **CT-17**, pp. 132-134
- [SED 78] A. SEDRA, P.O. BRACKETT: "Filter theory and design: active and passive", *Matrix Publishers*, 1978
- [SED 91] A. SEDRA, K.C. SMITH: "Microelectronics circuits", *Saunders*, 1991
- [SEN 80] R. SENANI: "Novel circuit implementation of current conveyors using an O.A. and a O.T.A.", *Electronics Letters*, 1980, **16**, pp. 2-3
- [SEN 84] R. SENANI: "Floating ideal FDNR using only two current conveyors", *Electronics Letters*, 1984, **20**, pp. 205-206
- [SEN 87] R. SENANI: "A novel application of four terminal floating nullors", *Proc. of the IEEE*, 1987, **75**, pp. 1544-1546
- [SEN 88] R. SENANI: "Floating immittance realisation: nullor approach", *Electronics Letters*, 1988, **24**, pp. 403-405
- [SEN 94] R. SENANI, J. MALHOTRA: "Minimal realisations of a class of operational-mirrored-amplifier-based floating impedances", *Electronics Letters*, 1994, **30**, pp. 1113-1114
- [SEN 95] R. SENANI: "Floating GNIC/GNII configuration realised with only a single OMA", *Electronics Letters*, 1995, **31**, pp. 423-425
- [SER 95] W.A. SERDIJN, A.C. VAN DER WOERD, A.H.M. VAN ROERMUND, J. DAVIDSE: "Design principles for low-voltage low-power analog integrated circuits", *Analog Integrated Circuits and Signal Processing*, 1995, **8**, pp. 115-120

- [SERR 95] L. SERRANO: "Contribuciones al diseño de impedancias RC-Activas", Memoria de Tesis Doctoral, 1995, Universidad Pública de Navarra
- [SHA 78] M. SHARIF-BAKHTIAR, P. ARONHIME: "A current conveyor realization using operational amplifiers", *International Journal of Electronics*, 1978, **45**, pp. 283-288
- [SMI 68] K.C. SMITH, A. SEDRA: "The current conveyor: a new circuit building block", *Proc. of the IEEE*, 1968, **56**, pp. 1368-1369
- [SOL 94] A.M. SOLIMAN: "Kerwin-Huelsman-Newcomb circuit using current conveyors", *Electronics Letters*, 1994, **30**, pp. 2019-2021
- [STE 81] J.K. STEVENSON: "Transformation for active-RC networks", *Proc. of the IEE, Pt. G*, 1981, **4**, pp. 182-183
- [STE 85] J.K. STEVENSON: "Use of reciprocity and duality to generate equivalent active RC networks", *Proc. of the I.S.C.A.S.*, 1985, pp. 821-822
- [SVO 86] J.A. SVOBODA: "Using nullors to analyse linear networks", *International Journal of Circuit Theory and Applications*, 1986, **14**, pp. 169-180
- [SVO 94a] J.A. SVOBODA: "Transfer function synthesis using current conveyors", *International Journal of Electronics*, 1994, **76**, pp. 611-614
- [SVO 94b] J.A. SVOBODA: "Comparison of RC opamp and RC current conveyor filters", *International Journal of Electronics*, 1994, **76**, pp. 615-626
- [SUR 91] W. SURAKAMPONTORN, V. RIEWRUJA, F. CHEEVASUVIT: "Integrable CMOS-base realization of current conveyors", *International Journal of Electronics*, 1991, **71**, pp. 793-798
- [SUR 92] W. SURAKAMPONTORN, K. KUMWACHARA: "CMOS-based electronically tunable current conveyor", *Electronics Letters*, 1992, **28**, pp. 1316-1317
- [TEL 54] B.D.H. TELLEGEN: "La recherche pour una série complète d'éléments de circuit idéaux non-linéaires", *Rend. del Seminario Matematico e Fisico di Milano*, 1954, **25**, pp. 134-144
- [TEL 66] B.D.H. TELLEGEN: "On nullators and norators", *IEEE Trans. on Circuit Theory*, 1966, **CT-13**, pp. 466-469
- [TOU 90] C. TOUMAZOU, A. PAYNE: "Universal current-mode analogue amplifiers", *Analogue IC design: the current-mode approach*, Peter Peregrinus, 1990, pp. 127-180
- [TOU 91] C. TOUMAZOU, A. PAYNE, F.J. LIDGEY: "Operational floating conveyor", *Electronics Letters*, 1991, **27**, pp. 651-652
- [TOU 93] C. TOUMAZOU, A. PAYNE, J. LIDGEY: "Current-feedback versus voltage feedback amplifiers: history, insight and relationships", *Proc. of the I.S.C.A.S.*, 1993, pp. 1046-1049
- [VER 91] M. VERE-HUNT, J. LIDGEY: "Novel differential transconductance cell", *Proc. of the E.C.C.T.D.*, 1991, pp. 1341-1348
- [VER 92] M. VERE-HUNT, J. LIDGEY: "A high slew-rate voltage-mode op-amp", *Proc. of the I.S.C.A.S.*, 1992, pp. 2872-2875

- [WAD 89a] D.C. WADSWORTH: "Accurate current conveyor integrated circuit", *Electronics Letters*, 1989, **25**, pp. 1251-1253
- [WAD 89b] D.C. WADSWORTH: "Accurate current conveyor topology and monolithic implementation", *Proc. of the IEE, Pt. G*, 1990, **137**, pp. 88-94
- [WIE 82] G.M. WIERZBA, S.C. STEWART: "The theory and application of op-amp relocation", *Proc. of the IEEE Southeastern Symp. on System Theory*, 1982, **33**, pp. 97-100
- [WIE 86] G.M. WIERZBA: "Op-Amp relocation: a topological active network synthesis", *IEEE Trans. on Circuits and Systems*, 1986, **33**, pp. 469-475
- [WIL 84] B. WILSON: "High performace conveyor implementation", *Electronics Letters*, 1984, **20**, pp. 990-991
- [WIL 89] B. WILSON: "Performance analysis of current conveyors", *Electronics Letters*, 1989, **25**, pp. 1596-1598
- [WIL 90] B. WILSON: "Current mode circuits: analysis and CAD modelling", *Proc. of the I.S.C.A.S.*, 1990, pp. 3242-3245
- [YOU 60] D.C. YOULA: "Physical realizability criteria", *I.R.E. Convention*, 1960, **2**, pp. 181-199
- [ZEL 91] R.H. ZELE, D.J. ALLSTOT, T.S. FIEZ: "Fully-differential CMOS current-mode circuits and applications", *Proc. of the I.S.C.A.S.*, 1991, pp. 1817-1820
- [ZEL 92] R.H. ZELE, S.S. LEE, D.J. ALLSTOT: "A high gain current-mode operational amplifier", *Proc. of the I.S.C.A.S.*, 1992, pp. 2852-2855

Agradecimientos

Después de cuatro años de trabajo me resulta difícil poder agradecer, apresuradamente y en una cuartilla, todo el apoyo y confianza que he recibido

Cómo no, y en primer lugar, está Alfonso. A él debo su dedicación a esta tesis, su ilusión y cordialidad. Profesionalmente es la persona que más ha influido en mí durante esta época de mi formación, por lo que parte de lo que soy ahora, es gracias a él

A los de siempre: Sonia (histórica) y Luis (primera generación) por ser unos entrañables compañeros de viaje

Al Grupo de Procesado Analógico que de una forma u otra me han ayudado en este trabajo, en especial a Idoia por sus ayudas informáticas

A Santiago Celma y Pedro Martínez, cuyo recuerdo se mezcla con mis primeros pasos en la Electrónica, allá en tierras aragonesas

Al Prof. Arie Arbel que con sus aceradas críticas siempre ha sido un estímulo para mejorar nuestro trabajo

En el terreno personal, mi familia ha representado durante estos años la isla donde refugiarse y de forma especial mis padres, a los que debo todo

A Isabel que, durante este largo y tortuoso último año, ha soportado con paciencia infinita mis variados humores

A Julio, sencillamente, por ser como es

A Rogelio por permitirme soñar

Pecaría de ingratitud si aquí no figurasen los organismos que con sus medios económicos e institucionales han contribuido: la Universidad Pública de Navarra, por acogerme en este tiempo, el Gobierno de Navarra por su ayuda financiera y último el Ministerio de Educación y Ciencia por los diversos proyectos de investigación concedidos

30 de Septiembre de 1996