



ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

Titulación:

INGENIERO TÉCNICO DE TELECOMUNICACIÓN, ESPECIALIDAD
EN SONIDO E IMAGEN

Título del proyecto:

“DISEÑO DE NUEVOS CIRCUITOS INTEGRADOS
ANALÓGICOS CMOS DE BAJA TENSIÓN Y BAJO
CONSUMO”

Blanca Ubis Martínez

Tutor: Antonio J. López Martín

Pamplona, 12 de noviembre de 2012

AGRADECIMIENTOS

- ♣ A Antonio López, por ser el mejor tutor del mundo y ayudarme en todo lo que ha podido y más. Y por tener más paciencia que un santo.
- ♣ A mis padres, por haberme dado todo lo que tengo.
- ♣ A mis hermanos y hermanas, por darme apoyo moral y económico y haber seguido creyendo en mí aun cuando era difícil hacerlo.
- ♣ A mis amigas, porque, a pesar de la distancia, siempre encuentran la manera de apoyarme.
- ♣ A mis amigos y amigas de la universidad, por hacerme sonreír y dejar que yo les hiciera sonreír con mis chistes malos.
- ♣ A los muchachos y muchachas del LJ, por leer mis tonterías, darme apoyo y ponerme una sonrisa en la boca cuando más falta me hacía.
- ♣ A mi pobre ordenador, por no morirse antes de que terminara el proyecto.

ÍNDICE

1. Introducción.....	6
1.1. Marco del proyecto.....	7
1.2. Objetivo del proyecto.....	7
1.3. Metodología.....	8
2. Técnicas de diseño.....	10
2.1. Transistores MOS de puerta flotante (FGMOS).....	11
2.2. Transistores MOS de puerta cuasi-flotante (QFGMOS).....	13
2.3. Operación en clase AB.....	16
3. SSF en clase AB.....	18
3.1. Seguidor de fuente.....	19
3.2. Seguidor de tensión plegado.....	20
3.3. Super Seguidor de fuente.....	21
3.4. Super Seguidor de fuente en clase AB.....	22

4. Aplicaciones del SSF en clase AB.....	27
4.1. Seguidor diferencial de clase AB.....	28
4.2. Transconductor de clase AB sin FGMOS.....	28
4.3. Transconductor de clase AB con FGMOS.....	31
4.4. Comparación de la distorsión entre ambos transconductores.....	33
5. Layout.....	36
5.1. Técnicas de layout.....	37
5.2. Layouts realizados.....	38
6. Conclusiones y líneas futuras.....	41
6.1. Conclusiones.....	42
6.2. Líneas futuras.....	43

Capítulo 1:

INTRODUCCIÓN

1. Introducción

1.1. Marco del proyecto

Actualmente existe una tendencia clara en el diseño microelectrónico orientada al empleo de tensiones de alimentación cada vez menores, siendo ya los 1.5V de uso común. Pese a que esta reducción plantea ciertas dificultades en el diseño de circuitos digitales, es realmente en el diseño analógico donde sus efectos son más devastadores. Si bien la preeminencia de la tecnología digital en todos los sistemas de tratamiento de información actuales es innegable, no es menos cierto que hay aplicaciones donde el procesado analógico es ineludible, tales como los interfaces con el mundo exterior, a saber, convertidores A/D y D/A, filtros *antialiasing*, etc. Es por ello que el diseño de la porción analógica de un circuito integrado actual se ha convertido en un verdadero desafío: debe adaptarse a una tecnología (la CMOS) optimizada para circuitos digitales, con los que debe coexistir sobre un mismo sustrato (lo que supone un ambiente muy hostil en términos de ruido e interferencias); a su vez, debe soportar unas tensiones de alimentación cada vez menores. Este hecho, junto a la dificultad para automatizar su diseño, ha dado lugar a que la modesta contribución de la parte analógica de un circuito integrado exija el mayor tiempo y esfuerzo de diseño, y amenace con ralentizar el crecimiento tecnológico de la industria microelectrónica a medio plazo.

En un intento de afrontar este nuevo escenario, se han desarrollado tecnologías CMOS avanzadas que permiten fabricar óxidos de puerta de transistores MOS de distintos espesores, pudiendo así emplear los óxidos más finos en la circuitería digital y reservando los más gruesos para los circuitos analógicos y los *pads* de entrada/salida alimentados a mayor tensión. No obstante, la necesaria compatibilidad entre los bloques digitales y analógicos, así como la complejidad que representa el hecho de generar y distribuir diferentes tensiones de alimentación, están forzando a afrontar el diseño analógico con la misma tensión de alimentación que los circuitos digitales. En este proyecto fin de carrera se pretenden diseñar circuitos analógicos adaptados a tales tensiones de alimentación, de bajo consumo y en tecnología CMOS. Se pretende para ello explotar como dispositivos básicos los transistores MOS de puerta flotante (FGMOS) y cuasi-flotante (QFGMOS). Los principales circuitos objeto del proyectos serán transconductores, de gran utilidad en múltiples aplicaciones analógicas como filtrado en tiempo continuo, amplificadores de ganancia variable, interfaces de sensores, etc. Se prestará especial atención a la operación en clase AB de dichos circuitos, en aras a una reducción en el consumo estático.

1.2. Objetivo del proyecto

Se pretende diseñar e implementar en el contexto del presente proyecto fin de carrera nuevas propuestas en tecnología CMOS de topologías de uso común en diseño analógico (especialmente transconductores) que puedan operar con muy baja tensión de alimentación y con bajo consumo. Tales circuitos y técnicas son imprescindibles actualmente, dada la continua disminución de las dimensiones de los componentes electrónicos en las tecnologías de integración actuales y el auge de terminales de comunicaciones portátiles. Para ello se evaluará en este trabajo el uso de topologías que operan en clase AB, así como el empleo de transistores MOS de puerta flotante y cuasi-flotante, propuestos recientemente y que constituyen soluciones muy prometedoras. Se pretende llegar a la propuesta de nuevas topologías, su verificación en simulación así como su diseño a nivel físico

(layout), y su posterior simulación post-layout.

1.3. Metodología

La metodología a emplear en el proyecto se presenta de forma esquemática en la Figura 1.1.

El primer paso del diseño es el estudio del estado del arte, mediante el cual procuraremos estar actualizados en cuanto a las técnicas y topologías electrónicas publicadas que estén relacionadas con el tipo de diseño que queremos realizar.

Una vez puestos al día en cuanto al estado del arte, procederemos a dibujar sobre el papel nuestro circuito electrónico en cuestión. Este primer diseño será tan solo una aproximación, sobre todo en lo que se refiere al dimensionamiento de los componentes.

Para estudiar el funcionamiento del circuito, y posteriormente realizar los retoques que pudieran ser necesarios, usaremos una herramienta de simulación, en este caso *Cadence*. En primer lugar dibujaremos el esquemático del circuito con los distintos componentes y conexiones, y posteriormente realizaremos las simulaciones pertinentes basadas en modelos matemáticos de los componentes. Si los resultados de simulación no cumplen los requisitos mínimos establecidos tendremos que modificar el circuito para mejorar su rendimiento. En este aspecto podemos, bien cambiar alguna parte de la topología, o bien limitarnos a modificar las dimensiones de los componentes u otros parámetros del circuito.

Cuando consigamos que nuestro esquemático cumpla las especificaciones pasaremos a diseñar el layout. En nuestro caso utilizamos una herramienta del mismo programa con la que, a la vista del esquemático, dibujaremos las distintas capas, pistas y conexiones del circuito, de cara a la fabricación del mismo. Posteriormente realizaremos una simulación *post-layout* para comprobar que las prestaciones del circuito no han empeorado con respecto a los resultados de la simulación del esquemático. Las posibles diferencias pueden deberse a efectos parásitos (por ejemplo capacidades parásitas asociadas a la distribución de las pistas) o a algún error en el diseño del layout. No obstante, el simulador dispone de herramientas para verificar la total correspondencia entre el layout y el esquemático. En cualquier caso, si los resultados de la simulación *post-layout* no son satisfactorios tendremos que volver a revisar el layout para intentar corregir la causa de este empeoramiento. Si no nos fuera posible implementar un layout que cumpla los requisitos, tendríamos que volver al segundo bloque del diagrama (diseño del circuito) y realizar sobre la topología los cambios que fueran oportunos.

Una vez superadas todas estas etapas de verificación procederemos a fabricar el circuito. Para ello, el programa de simulación almacena la información necesaria en un fichero extraído del layout del circuito. Éste será el fichero que se envíe a fabricar.

Esta fase concluiría el proyecto fin de carrera. No obstante, a nivel informativo, se incluyen las posteriores etapas que darían continuidad al trabajo.

El siguiente paso será la medida experimental del chip fabricado, que se realizará en el laboratorio con placas de montaje, fuentes de alimentación y de señal y aparatos de medida. En la mayoría de los casos será necesario implementar algún tipo de circuitería adicional para acondicionar las distintas tensiones y corrientes. Por lo general, los resultados de las medidas experimentales serán de una calidad inferior a los obtenidos en simulación, ya que en este último

caso los componentes del circuito son ideales y no existen las perturbaciones externas que sí pueden afectar en las medidas reales.

La última fase sería la difusión de los resultados, normalmente mediante una publicación científica.

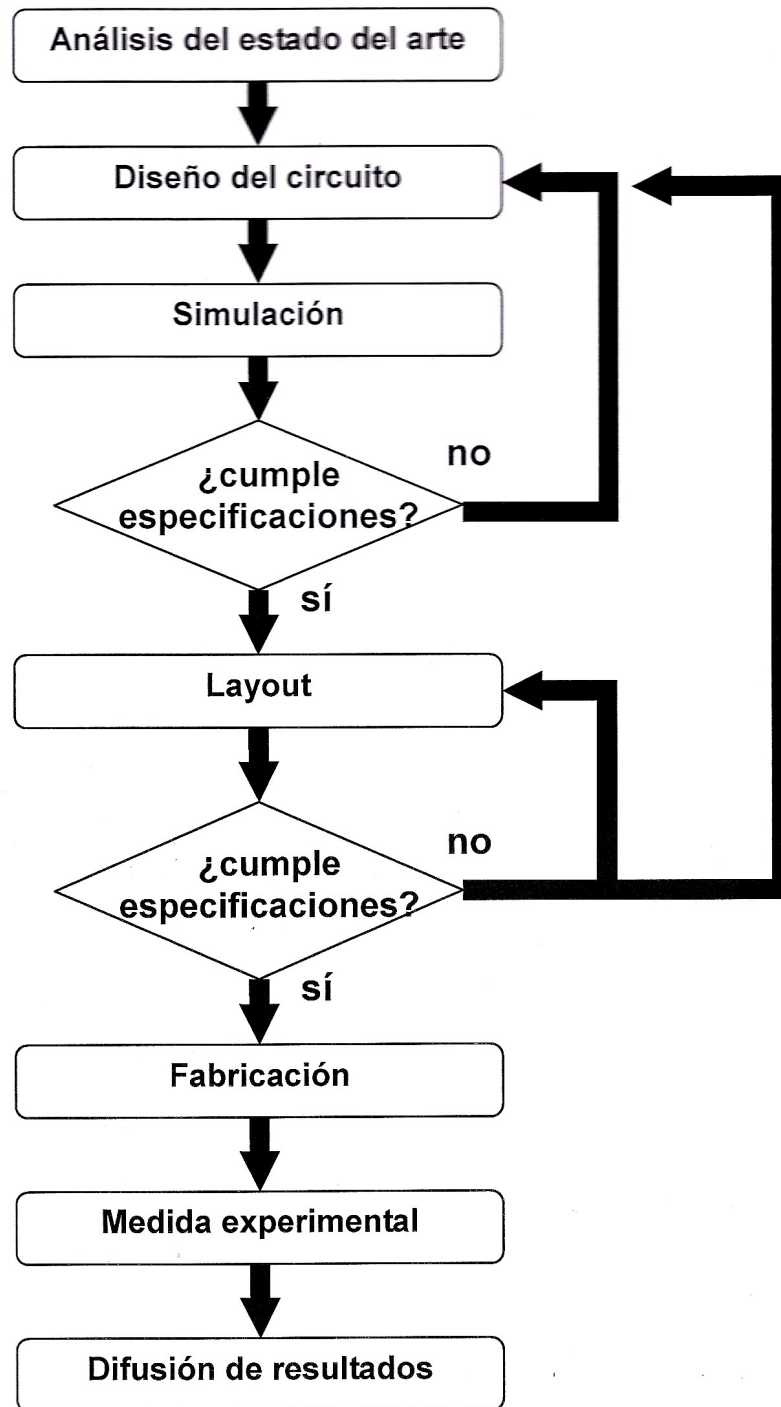


Figura 1.1 Diagrama de bloques de la metodología científica utilizada.

Capítulo 2:

TÉCNICAS DE DISEÑO

2. Técnicas de diseño

Las técnicas de puerta flotante y de puerta cuasi-flotante son muy utilizadas en el diseño analógico. Tienen una gran cantidad de aplicaciones. Por ejemplo, permiten la suma ponderada de varias entradas de voltaje de manera simple y compacta, sin cargar resistivamente las entradas. También permiten implementar de manera eficiente desplazamientos de nivel DC, lo que se puede utilizar por ejemplo para diseñar etapas de salida de clase AB.

2.1. Transistores MOS de puerta flotante (FGMOS)

Un transistor MOS de puerta flotante (Floating-Gate MOSFET, o FGMOS), es un MOSFET donde la puerta está flotando en DC, pero acoplada mediante un condensador a las entradas, usando una segunda capa de polisilicio. Esta capa forma los condensadores de entrada C_1 y C_2 , como se puede ver en la Figura 2.1 (c).

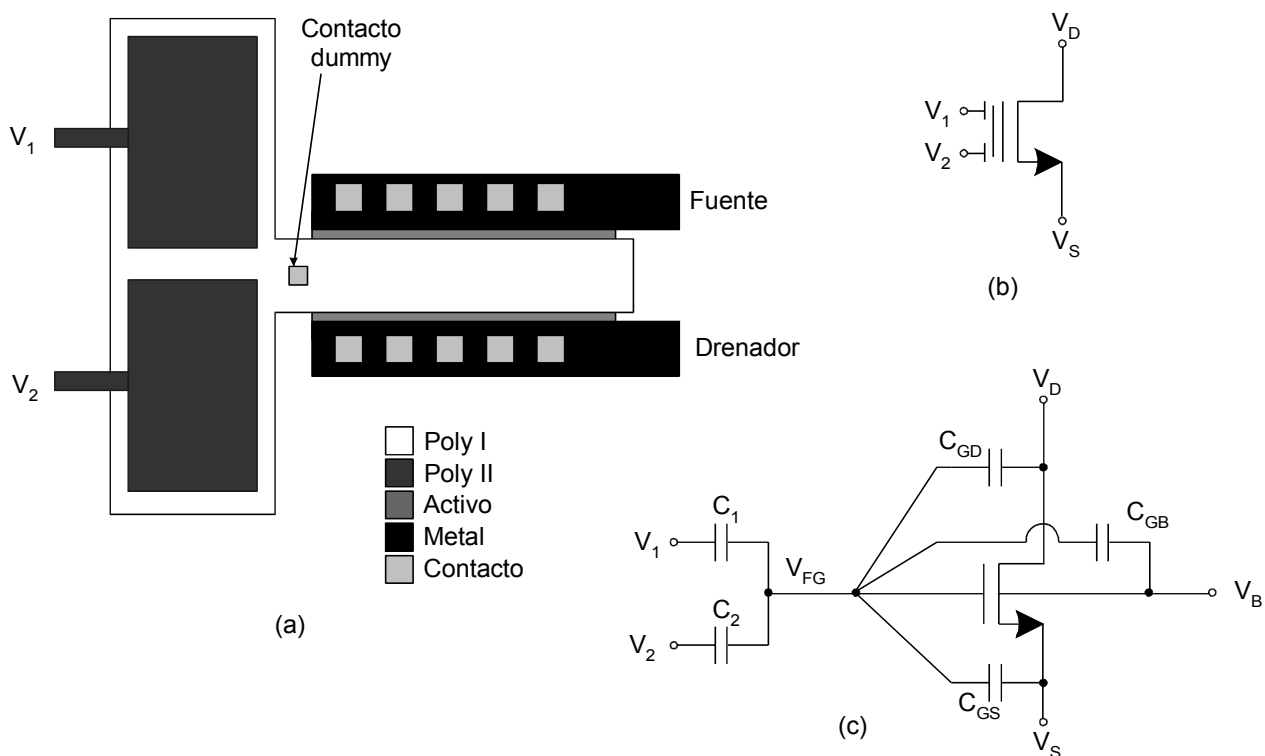


Figura 2.1. Transistor FGMOS de dos entradas. (a) Layout. (b) Símbolo. (c) Circuito equivalente.

Debido a la conservación de la carga en la puerta flotante, el voltaje en dicha puerta será:

$$V_{FG} = \frac{\sum_{k=1}^2 C_k V_k + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T} \quad (2.1)$$

donde

$$C_T = \sum_{k=1}^2 C_k + C_{GS} + C_{GD} + C_{GB} \quad (2.2)$$

Dicha carga inicial se conserva, puesto que la puerta flotante, teóricamente, no es capaz de cargarse ni de descargarse. Esta carga podrá ser eliminada durante el proceso de fabricación, o mediante radiación ultravioleta (de forma similar al caso de las memorias *EPRM*) una vez fabricado el circuito, o también mediante técnicas de layout apropiadas.

Por lo tanto, como se puede deducir de las expresiones (2.1) y (2.2), la tensión de la puerta flotante V_{FG} es una suma ponderada de las tensiones de entrada, donde los coeficientes de ponderación que multiplican a las distintas tensiones de entrada toman un valor igual al cociente entre la capacidad asociada a dicha entrada y la capacidad total conectada a la puerta flotante, más algunos términos adicionales originados por la contribución de capacidades parásitas.

Las tensiones de entrada sufren una atenuación debido a los divisores de tensión capacitivos, de modo que pueden dimensionarse para que sea posible el uso de señales de entrada *rail-to-rail*, lo cual es importante en aplicaciones de muy baja tensión de alimentación.

Los transistores de puerta flotante tienen ciertas ventajas, pero, al introducirlos en los diseños, también ocasionan problemas en la simulación. Al llevar a cabo el análisis en DC, la mayor parte de los simuladores sustituyen los condensadores por circuitos abiertos, lo que provoca problemas de convergencia en los nodos de las puertas flotantes.

Uno de los métodos para solucionar este problema, utilizado en este proyecto para el transistor AB, consiste en colocar resistencias de valor muy alto en paralelo con cada uno de los condensadores de entrada. Dado que en AC la impedancia de estas resistencias es mucho menor a la del condensador que tienen en paralelo, al realizar este tipo de análisis la situación será prácticamente igual que antes. En cambio, para que la situación en DC también se mantenga igual, habrá que ajustar el valor de las resistencias de tal forma que cada entrada tenga el mismo peso.

Como se puede concluir, la aplicación más inmediata de los FGMOS es la generación de combinaciones lineales de tensiones de manera sencilla. Generalmente, para realizar una suma en tensión por métodos convencionales, es necesario realizar una conversión lineal tensión-corriente, sumar las corrientes, y llevar a cabo de nuevo la conversión lineal de corriente a tensión. Este proceso puede introducir distorsión, aumentar el consumo de potencia, y reducir el rango dinámico.

Otra posible aplicación surge gracias a su capacidad de retener a largo plazo la carga almacenada en su puerta flotante. Esto posibilita el uso de estos transistores como memorias analógicas en el almacenamiento de datos, o en el diseño de redes neuronales.

Por último, una de las aplicaciones más importantes de los FGMOS consiste en la atenuación, por medio del divisor capacitivo, de las señales aplicadas a sus entradas. Esto va a permitir aumentar el rango de entrada en circuitos que operan con una tensión de alimentación baja, como es el caso de los circuitos que se manejan a lo largo de este proyecto. Por otro lado, haciendo que una de las entradas sea un nivel DC variable, es posible ajustar la tensión DC en la puerta del transistor.

2.2. Transistores MOS de puerta cuasi-flotante (QFGMOS)

Los transistores FGMOS permiten el escalado y el desplazamiento de nivel de los voltajes de entrada debido al divisor capacitivo de la entrada. Sin embargo, para desplazar el voltaje de la puerta hacia niveles cercanos a los rails (como se requiere en aplicaciones cuya tensión de alimentación es muy baja), se requiere un ratio de capacidad grande, por lo que se necesita un condensador de acoplo grande. Este hecho aumenta notablemente el área de silicio necesaria. Por otra parte, si estos transistores FGMOS forman el par diferencial de entrada de un amplificador, esto también conlleva una notable reducción del producto ganancia-ancho de banda (GB, gain-bandwidth product). Además, como se ha mencionado antes, se necesita alguna técnica para evitar la carga inicial atrapada en la puerta flotante.

Todas estas cuestiones se resuelven conectando débilmente la puerta flotante a un voltaje DC adecuado, usando una resistencia de valor alto, que puede ser implementada por la resistencia de fuga R_{large} de la unión pn inversamente polarizada de un transistor MOS conectado como un diodo, operando en la región de corte. El layout y el circuito equivalente del transistor QFGMOS resultante se pueden ver en la Figura 2.2. Los terminales de entrada están acoplados de manera capacitiva a la puerta cuasi-flotante como ocurre en el caso del transistor FGMOS, pero el voltaje DC de la puerta se pone a V_B , independientemente de los niveles de DC de V_1 y V_2 .

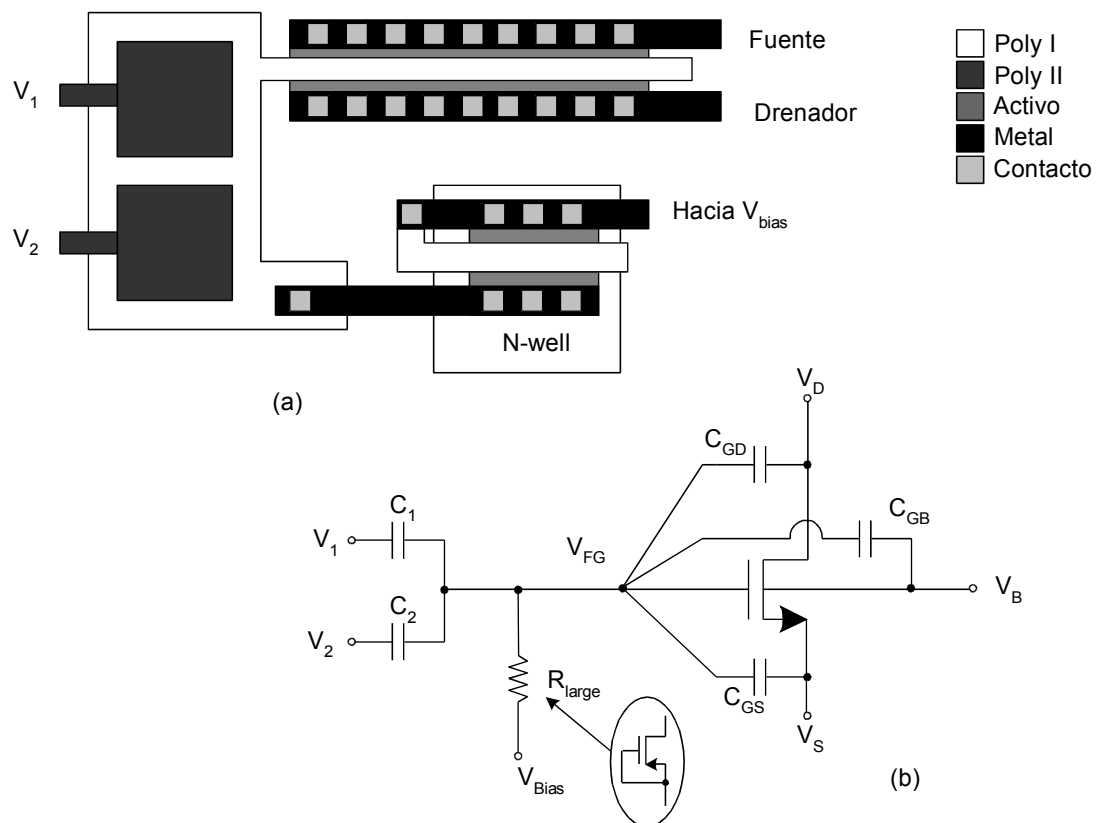


Figura 2.2. Transistor QFGMOS de dos entradas. (a) Layout. (b) Circuito equivalente.

Normalmente, un transistor recibe la tensión de polarización DC y la componente AC de señal en un mismo terminal. Sin embargo, usando la técnica QFG (“Quasi-Floating Gate”), podemos establecer una independencia entre ambas señales. Esto se consigue aplicando las señales a la puerta del transistor MOS mediante acoplo capacitivo, al tiempo que se fija el valor estático de tensión de puerta aplicando tal tensión DC a la puerta a través de una resistancia de alto valor óhmico. El alto valor de esta resistancia es debido a que tiene que dejar pasar toda la componente AC por el terminal donde se aplica la señal, gracias al filtrado paso alto visto desde ese terminal. El nodo de puerta del transistor se convierte en un nodo cuasi-flotante, con una tensión DC V_B bien definida, pero flotante desde el punto de vista de señal.

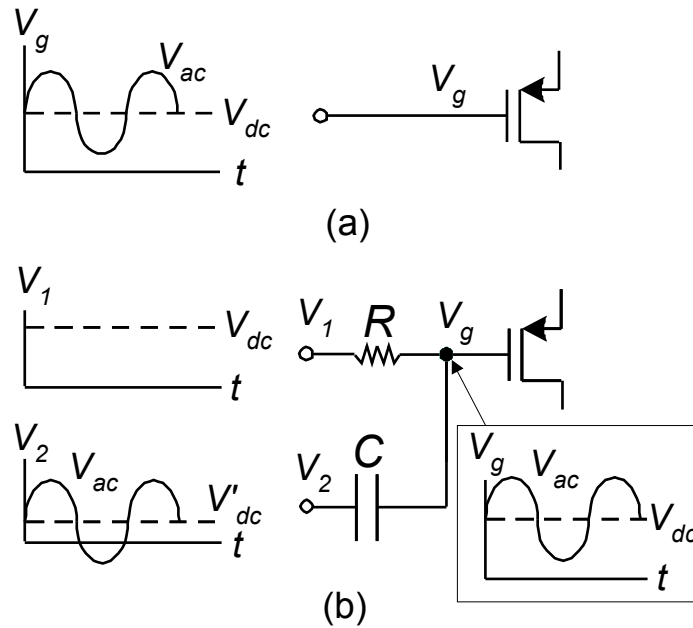


Figura 2.3. (a) Polarización convencional de un transistor (b) Transistor Quasi-Floating Gate.

A continuación se describe la idea básica para conseguir la operación clase AB de manera eficiente en potencia, mediante el uso de técnicas de puerta cuasi flotante QFG.

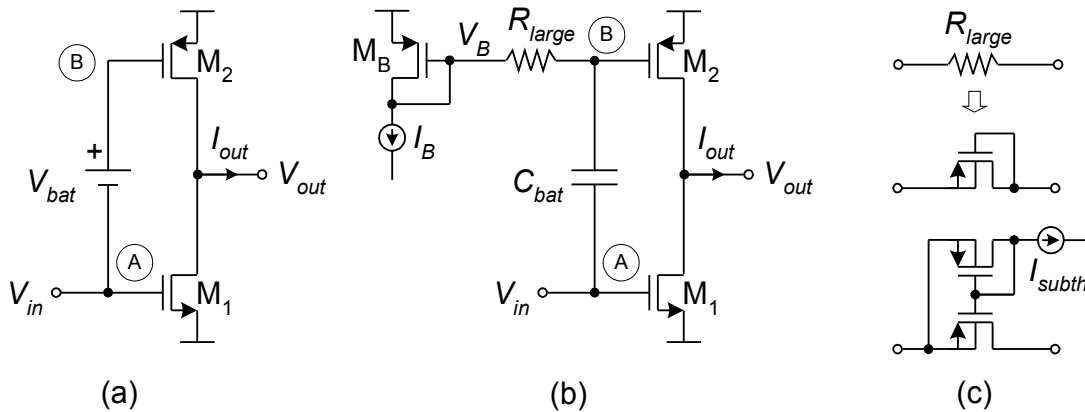


Figura 2.4. (a) Etapa clase AB básica usando batería flotante (b) Implementación de batería flotante usando transistor QFG (c) Posible implementación de R_{large} .

La figura 2.4 (a) muestra un esquema típico de una etapa amplificadora clase AB, basado en el uso de una batería flotante que permite al nodo B seguir las variaciones de tensión del nodo A con un desplazamiento de nivel V_{bat} . Bajo condiciones estáticas, la corriente estática es determinada por la tensión del nodo A y el desplazamiento de nivel DC V_{bat} ; bajo condiciones dinámicas, las variaciones de señal en el nodo A son transferidas al nodo B permitiendo proporcionar una corriente de salida no limitada por la corriente estática. El desplazador de nivel DC se puede implementar por ejemplo mediante un transistor conectado como diodo o resistencias polarizadas por corrientes DC, pero de esa forma se requiere un consumo extra de potencia y mayor área de silicio, la corriente estática puede no ser definida de una forma precisa debido a la dependencia del proceso y variaciones de temperatura, y además los parásitos añadidos por esta circuitería extra pueden limitar la velocidad.

La figura 2.4 (b) muestra una forma eficiente de implementar el desplazador de nivel DC mediante el uso de un transistor de puerta cuasi-flotante (QFG-MOS), que como se ha descrito anteriormente es un transistor cuya puerta (nodo B) está débilmente conectada a una corriente de polarización DC V_B a través de una resistencia de valor elevado R_{large} . En condiciones estáticas la capacidad C_{bat} corresponde a un circuito abierto, y la corriente estática de la rama de salida se ajusta de forma precisa a través del espejo de corriente M_B - M_2 a la corriente de polarización I_B , independientemente de la tensión de alimentación y de variaciones térmicas y de proceso.

Bajo condiciones dinámicas, la tensión en el nodo A se transfiere al nodo B después del filtrado paso alto con frecuencia de corte $1/(2\pi R_{large} C_{bat})$; debido a la gran resistencia utilizada (del orden de gigaohmios) esta frecuencia de corte es menor a 1 Hz, por lo que en la práctica la componente AC de la tensión en el nodo A es transferida al nodo B. Desde el punto de vista de la tensión V_B , lo que se ve es un filtro paso bajo con la misma frecuencia de corte anterior, con lo que se determinará la componente DC.

La resistencia elevada R_{large} no requiere un valor preciso mientras que sea lo suficientemente alta como para proporcionar una frecuencia de corte menor que la mínima componente en frecuencia del nodo A que debe ser transferida al nodo B. Esto hace que variaciones de temperatura, de proceso y de tensión que afecten al valor de R_{large} no sean relevantes. Por tanto tal resistencia puede ser implementada, como se muestra en la figura 2.4 (c), por un transistor MOS conectado como diodo de tamaño mínimo en región de corte, o por un transistor de tamaño mínimo polarizado por otro transistor idéntico en región subumbral, siendo una implementación compacta y eficiente en potencia. Cabe notar que la implementación del desplazador de nivel en la figura 2.4 (b) no requiere consumo de potencia estática adicional, y el incremento de área de silicio es modesto ya que R_{large} está hecha con un transistor MOS de tamaño mínimo y C_{bat} puede ser relativamente pequeña (con el mínimo valor impuesto por la capacidad parásita en el nodo B).

2.3. Operación en clase AB

Actualmente, la tecnología CMOS se reduce cada vez más en escala y demanda aplicaciones inalámbricas. Esto ha provocado que el diseño de dichos circuitos se ajuste para ser capaz de operar con bajas tensiones de alimentación y bajo consumo de energía. Esta tendencia requiere nuevas técnicas de diseño, ya que muchas de las técnicas convencionales no se adaptan a esta nueva situación.

Mientras que los circuitos en clase A están limitados por su corriente de polarización y deben consumir una potencia estática tan grande como sea necesaria para manejar la máxima señal posible, un circuito en clase AB puede dar corrientes de salida mucho mayores a la de polarización. Por tanto, la eficiencia de dicho circuito aumenta, al conseguir que tenga un consumo estático más bajo. De la misma manera, aumenta la *slew rate* (SR) y la eficiencia de corriente, manteniendo un nivel de distorsión bajo. La operación en clase AB empleando transistores QFGMOS se logra sin mayor disipación de energía o alimentación, y sin degradación del ancho de banda o del ruido.

Capítulo 3:

SSF EN CLASE AB

3. SSF en clase AB

Con la intención de aprender y explorar el funcionamiento de los circuitos en clase AB, al comienzo de este proyecto se realizó el estudio de las diferentes variaciones que ha tenido el circuito básico conocido como transistor de drenador común o seguidor de fuente, y que sirven como base para comprender la implementación del Super Seguidor de Fuente en clase AB. Dichos circuitos son presentados a continuación, para luego proceder a explicar el funcionamiento del Super Seguidor de Fuente en clase AB.

3.1. Seguidor de fuente

En la figura 3.1 podemos observar el *transistor de drenador común*, también llamado *Seguidor de fuente* o *Source Follower* (SF).

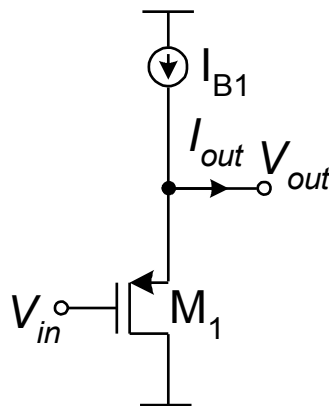


Figura 3.1 Seguidor de fuente (SF)

La señal de entrada se aplica en el terminal de puerta del transistor, mientras que la señal de salida se toma desde la fuente. Si lo miramos desde el punto de vista de gran señal, el voltaje de salida es igual al voltaje de entrada menos el voltaje de puerta-fuente. El voltaje de puerta-fuente consiste en dos partes: la tensión umbral y la tensión de saturación drenador-fuente. Si ambas partes son constantes, el voltaje de salida resultante sería simplemente un desplazamiento desde la entrada, y la ganancia de pequeña señal sería la unidad. Por lo tanto, la fuente sigue a la puerta, y por ello el circuito es también conocido como seguidor de fuente.

A pesar de tratarse de un circuito simple y poseer un amplio ancho de banda, presenta también inconvenientes importantes. Su valor de transconductancia no es muy elevado, lo que implica que la resistencia de salida, R_{out} , no sea demasiado pequeña, típicamente de unos pocos $k\Omega$. Ésta viene dada por la siguiente expresión:

$$R_{out} = \frac{1}{g_{m1} + g_{mb1}} \quad (3.1)$$

donde g_{m1} y g_{mb1} representan la transconductancia y transconductancia del *backgate* del transistor

M_1 respectivamente. Para disminuir el valor de esta resistencia, es necesario aumentar la corriente de polarización y la relación de aspecto W/L del transistor, lo que conlleva un incremento de área y consumo de potencia. Además, la linealidad de este circuito no es muy grande, debido principalmente a que la corriente que atraviesa el transistor M_1 depende de la señal de entrada, por lo que V_{GS1} también es dependiente de esa señal. Esto es inevitable dado que, en esta configuración, el transistor M_1 está obligado a llevar a cabo dos tareas simultáneamente: fijar la tensión de salida y proporcionar corriente a la carga.

3.2. Seguidor de tensión plegado (FVF)

Con la intención de resolver los problemas que presenta el seguidor de fuente, se puede utilizar un transistor adicional M_2 que se encargue de alimentar la carga, liberando así a M_1 de esta tarea. De esta manera, M_1 podrá ser polarizado con una corriente constante para que pueda encargarse únicamente de fijar la tensión de salida de manera óptima. Con el objetivo de reducir la resistencia de salida, este transistor adicional se posiciona en un bucle de realimentación negativa. El circuito resultante de aplicar estos cambios, que recibe el nombre de Seguidor de tensión plegado (Flipped Voltage Follower, FVF), es el que se muestra a continuación.

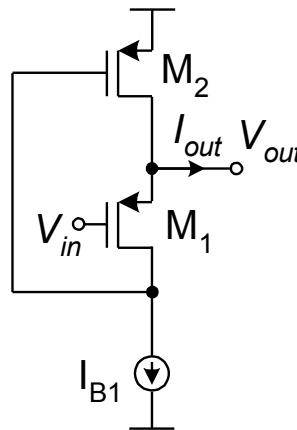


Figura 3.2 Seguidor de tensión plegado o Flipped Voltage Follower (FVF)

En este caso, la resistencia de salida del circuito es

$$R_{out} = \frac{1}{(g_{m1} + g_{mb1})g_{m2}(r_{o1} \parallel r_{B1})} \quad (3.2)$$

cuyo valor suele ser de unos pocos ohmios. Las resistencias r_{o1} y r_{B1} son la resistencia drenador-fuente del transistor y la de salida de la fuente de corriente I_{B1} respectivamente.

Como ahora la corriente que atraviesa el transistor M_1 es constante, ignorando la modulación de longitud de canal y el efecto de cuerpo, la tensión V_{GS1} también es constante, mejorando así la linealidad del circuito. El efecto de cuerpo puede ser evitado embebiendo M_1 en un pozo independiente conectado al terminal de fuente, aunque eso provoca que g_{mb1} desaparezca de las expresiones (3.1) y (3.2) y que la capacidad parásita pozo-sustrato reduzca el ancho de banda.

A pesar de que el FVF es muy utilizado en aplicaciones de baja tensión, presenta un gran inconveniente: su rango de entrada y salida es muy pequeño, y viene dado por $|V_{THI}| - |V_{DS1sat}|$, donde V_{THI} y V_{DS1sat} representan la tensión de umbral y la tensión de saturación drenador-fuente del transistor M_1 respectivamente. Cabe destacar que este margen de funcionamiento depende de V_{TH} , que es fuertemente dependiente de la tecnología empleada en la fabricación, y puede ser muy pequeño en los procesos de fabricación modernos. Además, este rango de tensión no es escalable con la tensión de alimentación.

3.3. Super Seguidor de fuente

Una mejor solución, particularmente para tensiones de alimentación no demasiado bajas, es la disposición alternativa del transistor M_2 que se muestra en la siguiente figura.

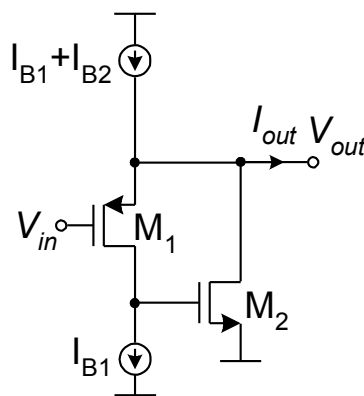


Figura 3.3 Super Seguidor de Fuente o Super Source Follower (SSF)

Esta topología recibe el nombre de Super Seguidor de Fuente (SSF), y ha sido muy utilizada. Tal y como ocurría con el FVF, la resistencia de salida viene dada por (3.2) y la tensión V_{GS1} es constante ignorando los efectos de segundo orden. Sin embargo, en este caso el rango de la tensión de entrada es $V_{DD} - V_{IB} - |V_{DS1sat}| - V_{GS2} - V_{SS}$, donde V_{IB} es el margen de tensión necesario para que la fuente de corriente superior opere ($V_{IB} = |V_{DSsat}|$ si la fuente de corriente se implementa con un simple transistor). Es destacable que, en esta configuración, el rango de entrada sí aumenta al hacerlo la tensión de alimentación. No obstante, la rama adicional aumenta el consumo estático de potencia respecto a las otras topologías vistas.

Resumiendo, el SSF alcanza valores de linealidad mayores y una resistencia de salida mucho más baja que el SF de la Figura 3.1, además de no presentar restricciones en el rango de entrada como veíamos en el FVF de la Figura 3.2. Sin embargo, aún presenta un inconveniente importante. Al igual que el SF y el FVF, tiene una capacidad de conducción de corriente limitada, ya que la máxima corriente que puede proporcionar a la carga está limitada por la corriente de polarización. En concreto, el SF y el SSF pueden drenar grandes cantidades de corriente procedentes de la carga, pero la máxima corriente que le pueden proporcionar está limitada por I_{B1} en el primer caso e $I_{B1} + I_{B2}$ en el segundo. En cambio, en el caso del FVF, I_{B1} no limita la máxima corriente que se le puede proporcionar a la carga, sino la que se puede drenar procedente de ella.

Por tanto, en las tres configuraciones propuestas, debe existir un compromiso entre el consumo estático de potencia y el Slew-Rate (SR), porque cuanto mayor sea I_{B1} mayor valor tendrán ambos parámetros.

En este trabajo se propone una versión en clase AB del SSF que va a solucionar la limitación del Slew-Rate que hemos mencionado sin necesidad de degradar otros parámetros del SSF. Más concretamente, va a preservar el consumo estático de potencia del circuito original, la precisión en las corrientes estáticas, el ancho de banda, el nivel de ruido, y los requisitos referentes a la alimentación. El único precio a pagar va a ser un ligero incremento del área de silicio empleada, aproximadamente de un 20%.

Para lograr este objetivo, se van a emplear técnicas *MOS de puerta cuasi-flotante (QFG)*.

3.4. Super Seguidor de fuente en clase AB

El super seguidor de fuente o “*super source follower*” (SSF) es un circuito seguidor de tensión que ha sido muy utilizado en las dos últimas décadas debido a su simplicidad, buena linealidad y reducida resistencia de salida. Sin embargo, su consumo de potencia estático es elevado al operar en clase A. Introduciendo técnicas QFG se puede dotar de funcionamiento clase AB al SSF, permitiendo un control preciso de la corriente estática y sin incremento del consumo de potencia estático, de la complejidad del circuito o de los requerimientos de alimentación. Al circuito resultante se le denominará Super Seguidor de Fuente (SSF) en clase AB.

Los seguidores de tensión se emplean para replicar una tensión aplicada en una entrada de alta impedancia a un nodo de salida en baja impedancia. Para estos seguidores se requiere operación en baja tensión, eficiencia en potencia y un corto tiempo de establecimiento no limitado por el slew rate; todo esto es difícil con las topologías convencionales clase A, porque la corriente de polarización limita la máxima corriente de salida, existiendo un compromiso entre slew rate y consumo de potencia.

La siguiente figura muestra la implementación de la versión en clase AB del SSF que habíamos estudiado previamente. Este circuito se consigue empleando las *técnicas de puerta cuasi-flotante* explicadas en anteriormente.

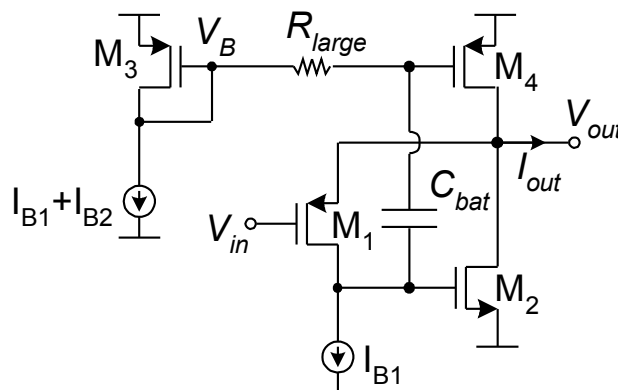


Figura 3.4. Super seguidor de fuente clase AB

Como se puede observar, para implementar este circuito únicamente se ha convertido el terminal de puerta del transistor M_4 del SSF en *cuasi-flotante*. Para ello, se ha colocado un condensador flotante C_{bat} entre los terminales de puerta de los transistores M_4 y M_2 , y una resistencia de gran tamaño entre la puerta de M_4 y el nodo que se encarga de fijar la tensión de polarización en DC a V_B .

Cabe destacar que la operación en clase AB de este circuito se consigue sin necesidad de alterar el comportamiento estático del SSF original, dado que el condensador C_{bat} no tiene efecto en esas condiciones, y no puede ocurrir una caída de tensión en R_{large} ya que no puede circular corriente a través de ella. Por tanto, la corriente que circula por M_4 en condiciones estáticas está controlada con precisión por el espejo de corriente $M_3 - M_4$, y es independiente de la alimentación, del sistema, y de la temperatura si I_{B1} e I_{B2} también lo son, tal como ocurría con el SSF. Como ahora, a diferencia de lo que pasaba con el SSF, la corriente estática no va a limitar las corrientes dinámicas del circuito, puede tomar valores pequeños, disminuyendo así el consumo de potencia.

En cambio, el comportamiento dinámico sí que se va a ver afectado. Asumiendo, por ejemplo, que se produce un incremento Δv_{in} en la señal de entrada, esto conduce a un decremento de $-g_{m1}r_{o1} \Delta v_{in}$ en la tensión del terminal de puerta de M_2 . Esta bajada de tensión se va a trasladar a la puerta del transistor M_4 ya que, al actuar como una batería flotante, el condensador C_{bat} no se puede cargar o descargar rápidamente a través de R_{large} . Como consecuencia, la tensión V_{SG} de este transistor va a sufrir un aumento de $\alpha g_{m1}r_{o1} \Delta v_{in}$, donde $\alpha = C_{bat}/(C_{G4} + C_{bat})$ es la atenuación entre la puerta de M_2 y la puerta de M_4 debido a la capacidad parásita C_{G4} de la puerta de M_4 . Este aumento permite que la corriente de drenador de M_4 pueda tener un valor mayor que el de la corriente de polarización. Al mismo tiempo, la bajada de tensión en la puerta de M_2 va a provocar una disminución de la corriente que circula a través de él hasta valores menores que el de la corriente de polarización, contribuyendo así a aumentar la corriente de salida del circuito. Del mismo modo, una reducción de la tensión de entrada supondría que la corriente que se puede tomar de la carga no estaría limitada por la de polarización.

En resumen, la técnica QFG utilizada no tiene ningún impacto en el comportamiento estático del circuito pero, debido a la operación en clase AB que se consigue gracias a ella, el comportamiento dinámico presenta una gran mejoría.

Análisis en pequeña señal.

El comportamiento estático del SSF clase AB es idéntico al del convencional, por lo que la única diferencia en la operación en pequeña señal es debida al transistor M_4 , que actúa de fuente de corriente en el SSF convencional, pero proporciona ganancia en transconductancia adicional en la etapa de salida del clase AB. Por tanto, las expresiones obtenidas en pequeña señal para el SSF seguirían siendo válidas sin más que sustituir g_{m2} por $g_{m2} + \alpha g_{m4}$, donde $\alpha = C_{bat}/(C_{bat} + C_{GS2})$ es la atenuación que sufre la señal al propagarse desde la puerta de M_2 a la puerta de M_4 , debida al divisor capacitivo formado por C_{bat} y la capacidad parásita en la puerta de M_2 . Por tanto, la ganancia DC en pequeña señal del SSF clase AB es:

$$A_{dc} = \frac{V_{out}}{V_{in}} = \frac{1}{1 + \frac{g_{mb1}}{g_{m1}} + \frac{1}{g_{m1}r_{o1}(g_{m2} + \alpha g_{m4})(r_{o2} \parallel r_{o4})}} \quad (3.3)$$

La resistencia de salida está dada en (3.4) y al compararla con (3.2), se ve que el SSF clase AB la disminuye aún más gracias al término adicional αg_{m4} . La ganancia es también más cercana a la unidad por la misma razón.

$$r_{out} \approx \frac{1}{(g_{m1} + g_{mb1})(g_{m2} + \alpha g_{m4})r_{o1}} \quad (3.4)$$

La estabilidad del SSF clase AB también se puede obtener a partir del análisis para el SSF en teniendo en cuenta el cambio mencionado. Así, la máxima capacidad de salida vendría dada en el SSF clase AB por

$$C_{out} < \frac{1}{2} \frac{g_{m1} + g_{mb1}}{(g_{m2} + \alpha g_{m4}) \left(1 + \frac{r_{B1}}{r_{o1}}\right)} C_{g2} \quad (3.5)$$

donde ahora la capacidad G_{g2} en la puerta de M_2 sería algo mayor que en el SSF al incluir la capacidad parásita debida a la conexión de C_{bat} a ese nodo. Se aprecia que como en el caso del SSF, dimensionando adecuadamente M_1 y M_2 se puede seguir garantizando la estabilidad para cargas capacitivas pequeñas, mientras que es preciso añadir un condensador de compensación que aumente el valor de C_{g2} para cargas capacitivas grandes. La ganancia en lazo cerrado sería en el caso del SSF clase AB:

$$f_{-3dB} \approx \frac{g_{m2} + \alpha g_{m4}}{2\pi C_{g2}} \left[1 + \frac{r_{B1}}{(g_{m1} + g_{mb1})r_{o1}r_{o2}} \right] \quad (3.6)$$

Pese al ligero aumento de C_{g2} , el aumento en la transconductancia de la rama de salida dado por término adicional αg_{m4} aumenta ligeramente el ancho de banda en la versión clase AB respecto al SSF.

Análisis en gran señal.

La máxima corriente que el SSF puede entregar a la carga es $2I_B$, por lo que su slew-rate positivo es

$$SR_{+,SSF} = \frac{2I_B}{C_L} \quad (3.7)$$

mostrando un claro compromiso entre slew rate y consumo estático, al igual que en el SF y FVF. El SSF clase AB no tiene esta limitación. Si se aplica una gran variación positiva de la señal de entrada, M_1 entrará en corte y la tensión en la puerta de M_2 será V_{SS} ; esto hará que M_2 entre también

en corte y que la tensión en la puerta de M_4 disminuya en una cantidad $\alpha(V_{G2}^O + |V_{ss}|)$, con V_{G2}^O la tensión en la puerta de M_2 en condiciones estáticas, obteniendo una corriente de salida dada por (3.12) no limitada por la corriente de polarización:

$$I_{out} \approx I_4 = \frac{\beta_4}{2} (V_{SG4}^O + \alpha V_{G2}^O + \alpha |V_{ss}| - |V_{TH4}|)^2 = \frac{\beta_4}{2} \left[\sqrt{\frac{2(2I_B)}{\beta_4}} + \alpha \left(|V_{ss}| + \sqrt{\frac{2I_B}{\beta_2}} + V_{TH2} \right) \right]^2 \quad (3.8)$$

provocando un incremento del SR_+ :

$$\frac{SR_{+,ABSSF}}{SR_{+,SSF}} = \frac{I_{MAX,AB}}{I_{MAX,A}} \approx \frac{\beta_4}{2(2I_B)} \left[\sqrt{\frac{2(2I_B)}{\beta_4}} + \alpha \left(|V_{ss}| + \sqrt{\frac{2I_B}{\beta_2}} + V_{TH2} \right) \right]^2 \quad (3.9)$$

En la práctica, no obstante, el aumento puede ser menor a este valor teórico ya que puede estar limitado por la velocidad a la que se cargue y descargue la puerta de M_2 (especialmente en el caso de emplear un condensador de compensación conectado a ese nodo).

Los circuitos en clase AB permiten una disminución de potencia estática sin degradar el comportamiento dinámico, ya que incrementan la corriente de salida cuando es necesario. Pero todos los circuitos clase AB no son eficientes en potencia; la eficiencia en potencia no solo implica bajo consumo de potencia estática, sino que también la mayoría de la corriente de alimentación en condiciones dinámicas alcance la carga. Este aspecto es determinado por el factor eficiencia en corriente (CE), que en este caso será:

$$CE = \frac{I_{out}}{I_{supply}} = \frac{|I_{out}|}{|I_{out}| + 2I_B} = \frac{1}{1 + \frac{2I_B}{|I_{out}|}} \quad (3.10)$$

Se observa que en condiciones dinámicas ($|I_{out}| \gg 2I_B$) la CE en el SSF clase AB alcanza aproximadamente el valor ideal de 1. Esta alta eficiencia es debida a que las corrientes dinámicas son directamente generadas en los transistores de salida, sin realizar réplicas internas.

Resultados experimentales.

En la figura 3.5 se muestra la respuesta de los tres buffers SF, SSF y SSF clase AB fabricados en tecnología CMOS de $0.5 \mu\text{m}$, a una señal de entrada cuadrada de 1 MHz y 1.8 V_{pp} . El condensador C_{bat} tiene un valor de 1 pF , y se emplearon fuentes de corriente en configuración cascode de baja tensión (*high-swing cascode*) de $10 \mu\text{A}$. La resistencia R_{large} se implementó con un PMOS conectado como diodo y $W/L=1.5/1$. Las tensiones de alimentación empleadas fueron $V_{DD}=1.65 \text{ V}$ y $V_{SS}=-1.65 \text{ V}$. La W/L de M_1 es $72/0.6$ y la de M_2 es $60/1$.

Se observa el limitado slew rate positivo de las versiones de seguidores clase A siendo incapaces de seguir a la tensión de entrada en el nodo de salida, mientras que el seguidor clase AB no tiene un slew rate limitado por la corriente de polarización, comprobando la mejora del comportamiento en gran señal de esta versión respecto a las de clase A. La salida de los seguidores

es directamente conectada a un pad del chip, con lo que la carga capacitiva corresponde al pad, pin, placa de pruebas y sonda, y su valor se estima en 50 pF. Este valor tan alto hizo que se usara compensación Miller entre la puerta del transistor M_2 y la salida, para separar el polo dominante del no dominante (que para capacidades de carga elevadas puede acercarse demasiado al dominante) evitando la degradación en las características de establecimiento (*settling*) del circuito, aunque el slew rate se ve en este caso algo empeorado.

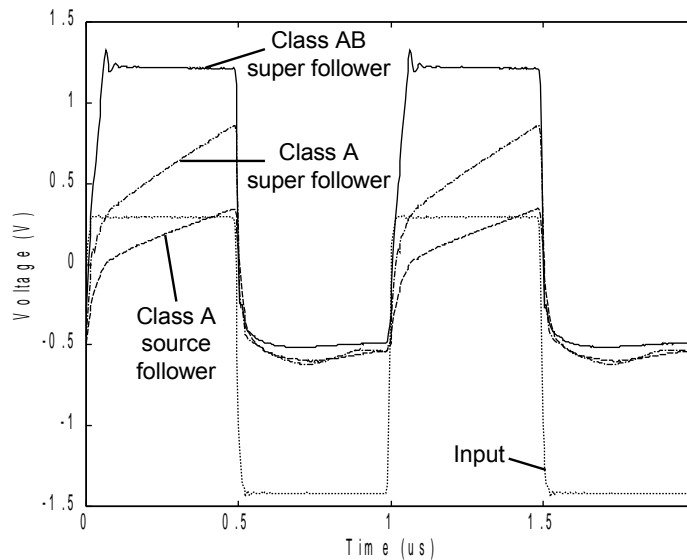


Figura 3.5. Respuesta de los diferentes SF a señal de entrada cuadrada.

Capítulo 4:

APLICACIONES DEL SSF EN CLASE AB

4. Aplicaciones del SSF de clase AB

El SSF clase AB puede sustituir de forma ventajosa al SSF clase A en múltiples aplicaciones, dando lugar a toda una nueva familia de circuitos analógicos de alta eficiencia en potencia. A modo ilustrativo, en este apartado se describen algunos de estos circuitos.

4.1. Seguidor diferencial clase AB.

El seguidor de la figura 3.4 tiene un término de distorsión de segundo orden alto, limitando la linealidad. Además entre la entrada y la salida hay un desplazamiento DC igual a la tensión puerta fuente del transistor de entrada, siendo ésta dependiente del proceso y la temperatura. Lo anterior se soluciona con una configuración diferencial del SSF clase AB, como se muestra en la figura 4.1. En este caso se han empleado transistores cascado para mejorar la precisión de las fuentes de corriente y para aumentar la ganancia del lazo.

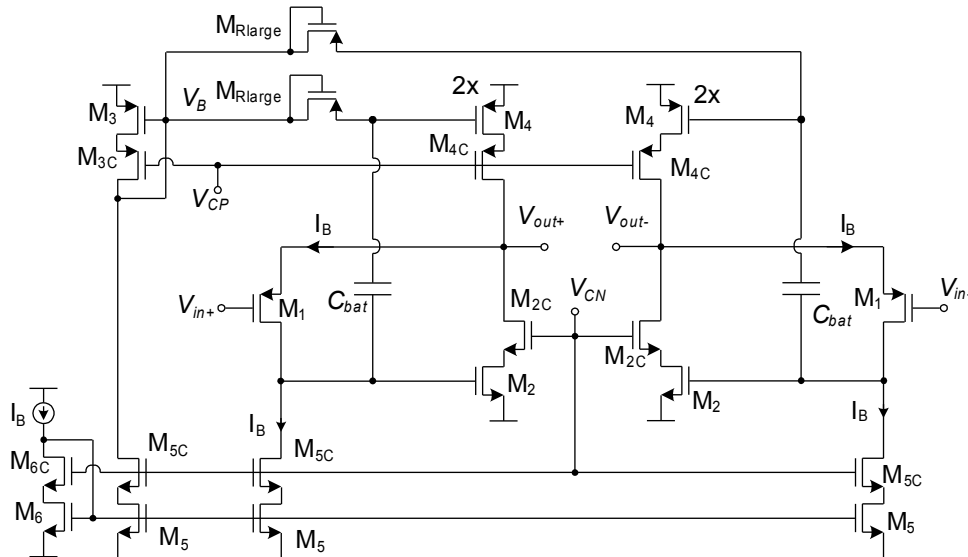


Figura 4.1. SSF diferencial clase AB.

4.2. Transconductor de clase AB sin FGMOS

Los transconductores en clase AB se emplean para conseguir un consumo de potencia estática pequeño sin degradar el comportamiento dinámico a causa de ello. En la siguiente figura se puede observar un transconductor CMOS clase AB implementado a partir del SSF clase AB estudiado previamente.

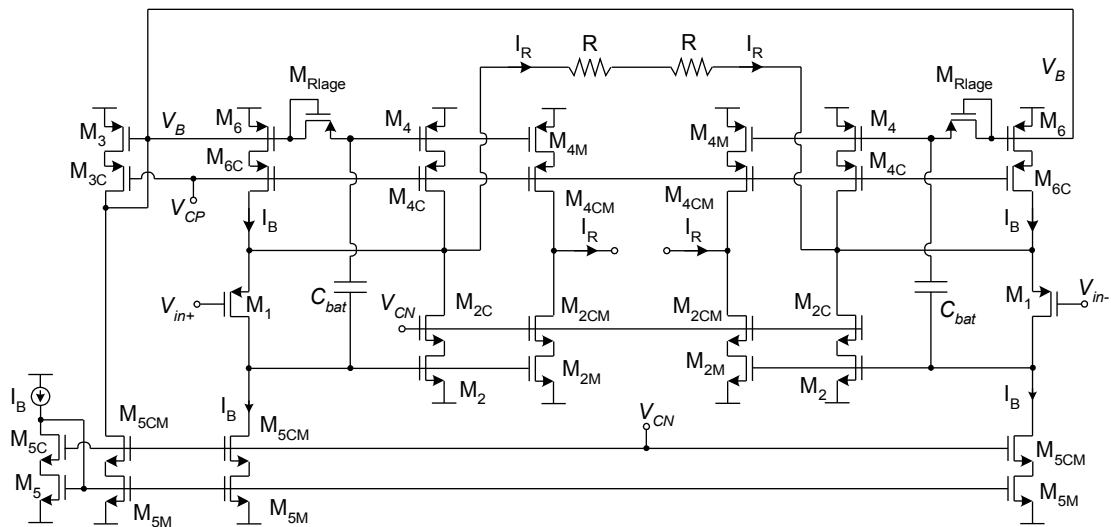


Figura 4.2. Transconductor clase AB

Este circuito emplea el seguidor diferencial de la figura 4.1 para trasladar la tensión diferencial de entrada desde la entrada de alta impedancia a los terminales de salida de baja impedancia del seguidor donde está conectada una resistencia pasiva $2R$, encargada de llevar a cabo la conversión V-I. La corriente obtenida tras esta conversión se traslada a un nodo de salida de alta impedancia mediante un espejo que copia la corriente en la rama de salida del buffer diferencial. La corriente diferencial de salida es $I_{outd} = 2I_R = V_{id}/R$. El hecho de que con este circuito se obtenga una linealidad alta es gracias al empleo de resistencias pasivas y a la precisión de su seguidor de tensión debido al lazo de realimentación de alta ganancia del SSF que lo conforma. Además, la operación en clase AB permite utilizar corrientes de polarización pequeñas I_B sin limitar la corriente máxima de salida a causa de ello. La razón de que la resistencia pasiva aparezca dividida en dos resistencias iguales es que, de esta manera, es posible controlar en su terminal común la tensión de modo común de la etapa previa, lo que simplifica el diseño del circuito de control de modo común (CMFB) de la misma.

El condensador C_{bat} tiene un valor de 1pF. Las resistencias R tienen un valor de 3.75k Ω . Las dimensiones W/L de los transistores (en mm /mm) son 100/1 (M_1 , M_{5C} , M_{5CM}), 60/1 (M_2 , M_{2M}), 60/0.6 (M_{2C} , M_{2CM}), 100/0.6 (M_3 , M_4 , M_{4M} , M_6), 200/0.6 (M_{3C} , M_{4C} , M_{4CM} , M_{6C}), 100/3 (M_5 , M_{5M}). El área de silicio empleada es 0.05mm².

Resultados de simulación (para 100 KHz):

A continuación se presentan los resultados de simulación obtenidos para el seguidor de tensión diferencial clase AB. Las tensiones de alimentación empleadas son las mismas que en el apartado anterior, $V_{DD} = 1.65$ V y $V_{SS} = -1.65$ V. La corriente de polarización es $I_B = 20\mu$ A.

La tabla 4.1 resume los principales resultados de simulación obtenidos. Es destacable los elevados valores de CMRR y PSRR obtenidos en simulación. Esto es debido a que a que el circuito en simulación es perfectamente simétrico. En la práctica, cuando el circuito es implementado, el

mismatch entre componentes baja significativamente estos valores ideales.

Parámetro	Valor
CMRR	227 dB
PSRR+	216.72 dB
PSRR-	216.45 dB
BW	173.2 MHz
Ruido	$39.75 \frac{nV}{\sqrt{Hz}}$
Consumo	462 μ W

Tabla 4.1. Resultados obtenidos en simulación

La Figura 4.3 muestra los resultados de simulación respecto a linealidad. En concreto, se muestra el espectro de salida para una entrada sinusoidal de 100 kHz y 1Vpp. Se aprecia que los armónicos están a más de 80 dB de la componente fundamental, denotando una alta linealidad.

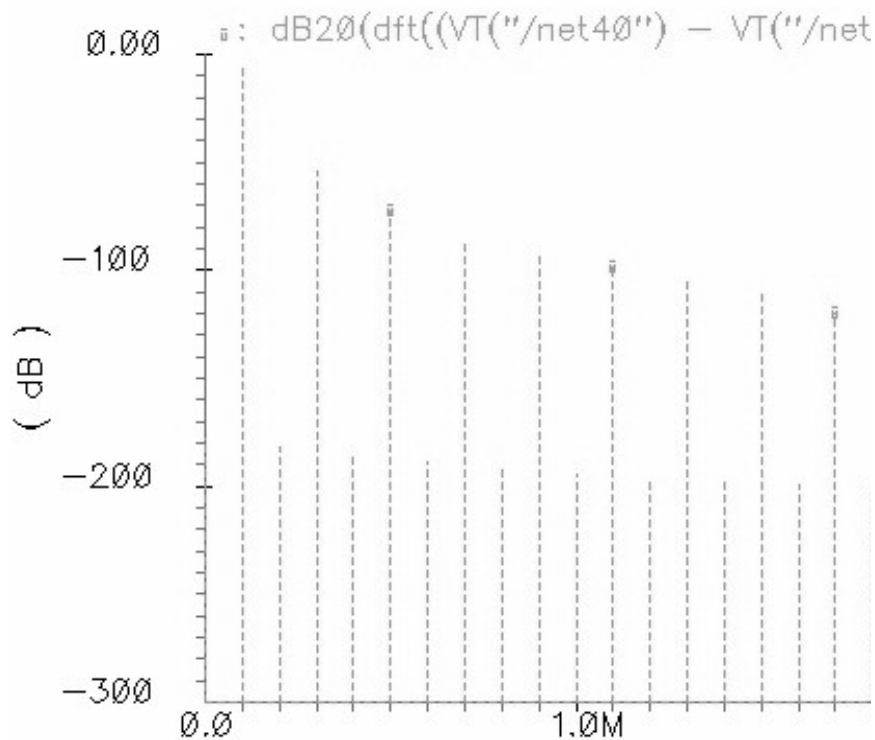


Figura 4.3. Espectro de salida

4.3. Transconductor de clase AB con FGMOS

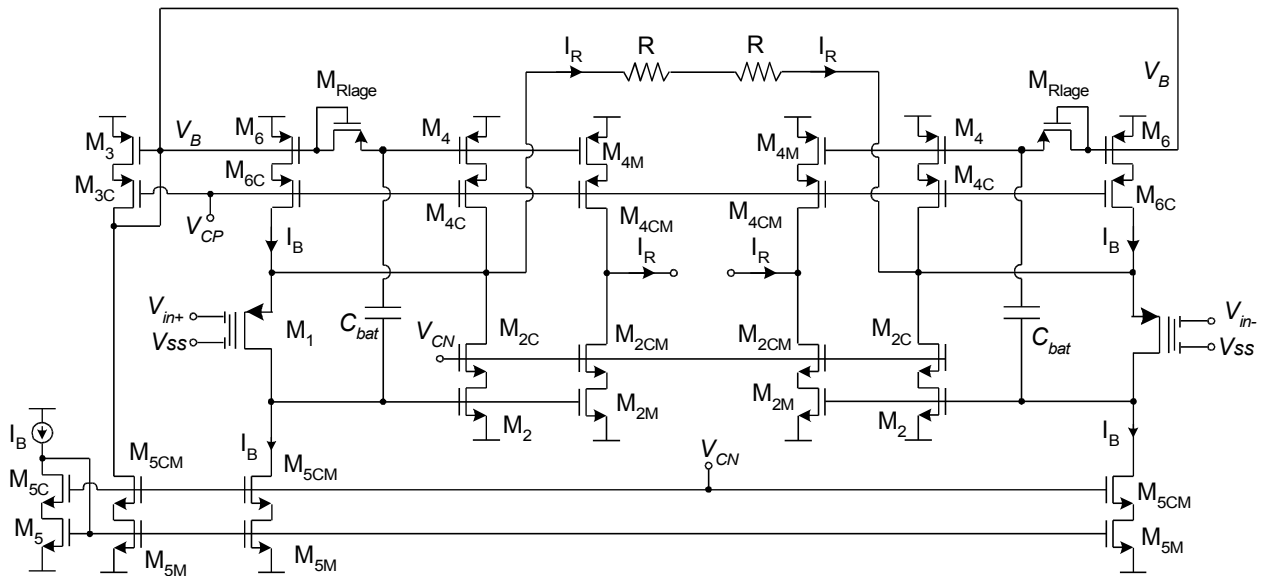


Figura 4.4. Transconductor clase AB con FGMOS

El circuito que podemos observar en la figura 4.4 es muy similar al de la figura 4.2, con la diferencia de que, a las entradas, el de la figura 4.4 tiene unos MOSFET de puerta flotante (FGMOS). Con esto se consigue que la entrada sea rail-ro-rail, es decir, que pueda admitir amplitudes de entrada que van desde la alimentación negativa a la alimentación positiva. El uso de estos transistores tiene como inconveniente que el nivel de ruido equivalente a la entrada aumenta, ya que se introduce una atenuación a la entrada.

Para conseguir la operación rail-to-rail se emplea un transistor FGMOS de 2 entradas, como se observa en la Figura 4.5. Una de ellas estará conectada a la señal de entrada propiamente dicha, V_{in+} en un caso y V_{in-} en el otro, y la otra se conectará a una tensión en DC, generalmente una de las tensiones de alimentación (V_{SS} en la Fig. 4.4). El esquema de esta entrada sería el siguiente:

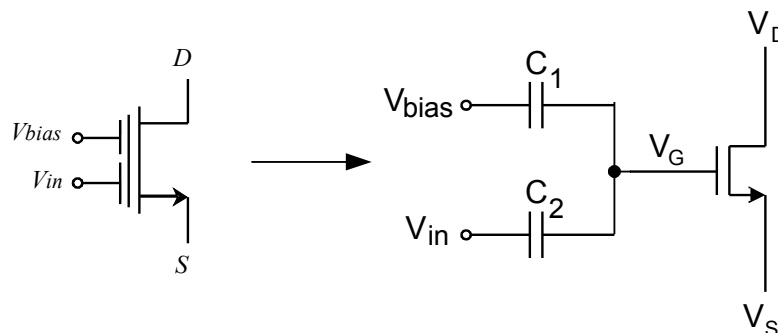


Figura 4.5 Modelo del FGMOS de 2 entradas

Esta configuración hace que la nueva tensión de la puerta del transistor, V_G , que antes correspondía

a la entrada del circuito, responde ahora a la siguiente fórmula:

$$V_G = V_{in} \cdot \frac{C_2}{C_1 + C_2} + V_{bias} \cdot \frac{C_1}{C_1 + C_2} \quad (4.1)$$

Como muestra la expresión anterior, la señal de entrada va a sufrir una atenuación por un factor $C_2/(C_1+C_2)$, y una traslación en DC igual a $V_{bias}C_1/(C_1+C_2)$. Esa compensación será la que permitirá precisamente aumentar el rango de entrada. Eligiendo adecuadamente los valores de C_1 y C_2 y V_{bias} se puede hacer que una señal rail-to-rail de entrada se acomode en el rango de entrada disponible en el transistor.

Resultados de simulación (para 100 KHz):

A continuación se presentan los resultados de simulación obtenidos para el seguidor de tensión diferencial clase AB. Las tensiones de alimentación empleadas son las mismas que en el apartado anterior, $V_{DD}=1.65$ V y $V_{SS}=-1.65$ V. La corriente de polarización es $I_B=20\mu A$.

La tabla 4.2 muestra los principales resultados de simulación obtenidos. Se aplican los mismos comentarios que en la tabla 4.1 respecto a los valores de CMRR y PSRR obtenidos en simulación. Es destacable el aumento de la densidad espectral de ruido equivalente a la entrada, debido a la atenuación introducida por los transistores FGMOS de entrada.

Parámetro	Valor
CMRR	227 dB
PSRR+	216.72 dB
PSRR-	216.45 dB
BW	173.2 MHz
Ruido	$122.6 \frac{nV}{\sqrt{Hz}}$
Consumo	463 μW

Tabla 4.2 Resultados

La Figura 4.6 muestra el espectro de salida para una entrada sinusoidal de 100 kHz y 1Vpp. Se observa que el armónico dominante es el de tercer orden, como corresponde a una configuración diferencial. Se aprecia asimismo que este armónico está más de 70 dB por debajo del fundamental, reflejando la elevada linealidad del transistor.

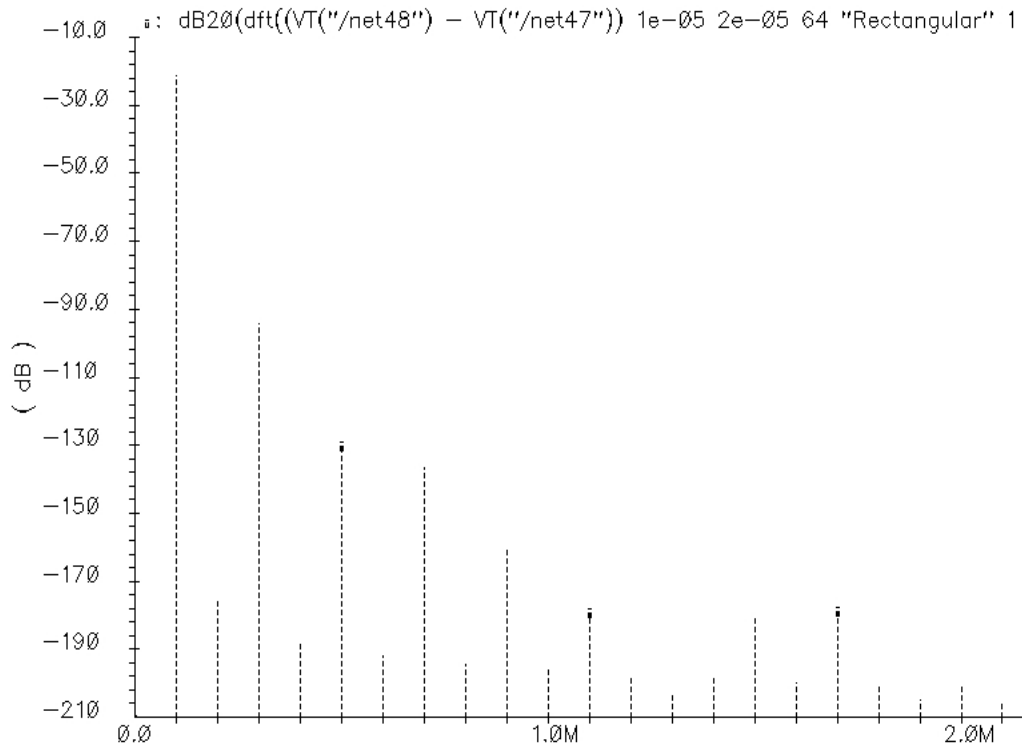


Figura 4.6 Espectro de salida

4.4. Comparación de la distorsión entre ambos transconductores

En este apartado se analiza la mejora en linealidad obtenida empleando los transistores FGMOS de entrada. Para ello, se han realizado simulaciones para obtener la Distorsión Armónica Total (THD) a 100 kHz para varios niveles de amplitud de entrada. Las tensiones de alimentación y corrientes de polarización son las indicadas anteriormente. Las tablas 4.3 y 4.4 muestran los resultados obtenidos para las topologías con transistores FGMOS de entrada y con transistores de entrada convencionales, respectivamente. Estos resultados se presentan de forma gráfica en la figura 4.7. Se aprecia claramente la mejora en linealidad obtenida con la configuración FGMOS, de aproximadamente 10 dB en la mayor parte del rango de amplitudes de entrada. Como se ha mencionado anteriormente, esta mejora trae asociados como inconvenientes un mayor nivel de ruido equivalente a la entrada, y también un incremento de área de silicio debido a la necesidad de integrar los condensadores de entrada de los transistores FGMOS.

En la Figura 4.7 se muestra también una línea vertical que corresponde al punto de transición entre operación en clase A y clase AB. A la derecha de esa línea, las corrientes de señal son mayores que las corrientes de polarización. Pese a ello, como se observa en la gráfica, no se degrada abruptamente la linealidad de los transconductores diseñados. Esto demuestra la operación clase AB de los mismos, que permite manejar corrientes dinámicas mayores a los valores estáticos sin una gran degradación en linealidad.

Con FGMOS	
V_{in} (V)	THD (dB)
0,1	-70,25
0,2	-59,54
0,3	-52,71
0,4	-47,89
0,5	-44,22
0,8	-36,69
1	-33,06

Tabla 4.3 Resultados de simulación del transductor con QFGMOS

Sin FGMOS	
V_{in} (V)	THD (dB)
0,1	-55,72
0,2	-44,56
0,3	-38,74
0,4	-35,13
0,5	-32,59
0,8	-27,35
1	-24,38

Tabla 4.4 Resultados de simulación del transductor sin QFGMOS

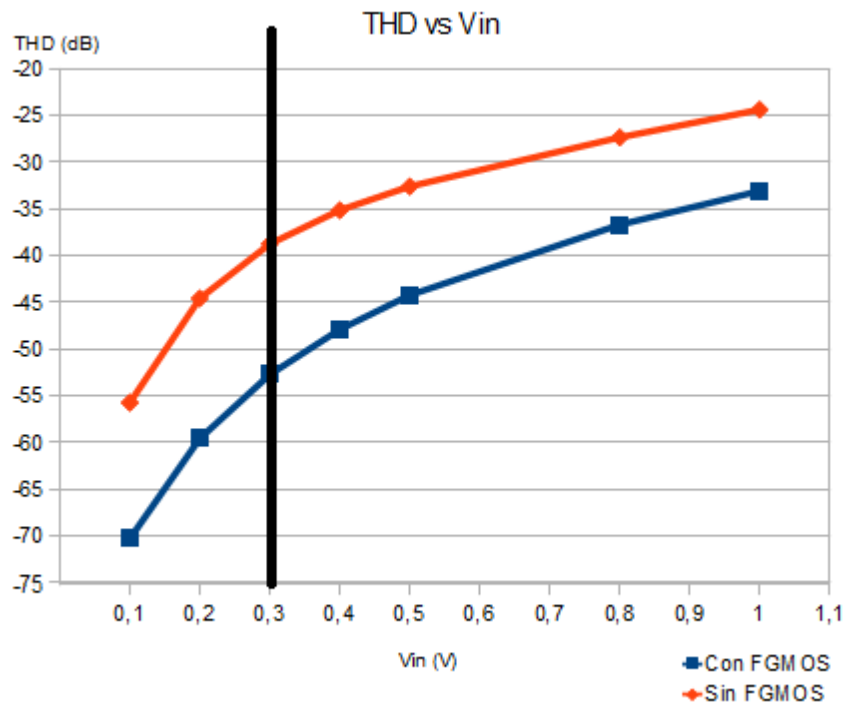


Figura 4.7 THD para distintos valores de amplitud de entrada para los transconductores con y sin FGMOS de entrada

Capítulo 5:

LAYOUT

5. Layout

5.1. Técnicas de layout

En primer lugar, hay que mencionar que la tecnología disponible para realizar los layouts es la estándar CMOS $0.5\mu\text{m}$ que es de *pozo N* o de *sustrato P*. Esto supondrá que para realizar el layout de los distintos transistores, los nMOS se podrán hacer directamente sobre el sustrato P pero los pMOS tendrán que fabricarse en el interior de un pozo tipo N.

A la hora de realizar el layout de un circuito hay varios factores a tener en cuenta. De hecho, no sirve el recrear exactamente la misma disposición de los componentes que ya existe en el esquemático puesto que esto podría ocasionar que, al fabricar el chip, los resultados de las medidas de éste no coincidieran con los resultados de simulación y, por tanto, el chip no funcionara correctamente.

En primer lugar, antes de comenzar con el layout, hay que detectar qué componentes del circuito deben ser iguales. Hay determinados componentes que, necesariamente deben ser iguales, puesto que deben operar exactamente de la misma manera. Concretamente, esto hace referencia a transistores que formen parte de un mismo espejo de corriente, los transistores de entrada de un circuito de entrada diferencial, resistencias que deban tener un valor similar a lo largo de todo el circuito, o condensadores que se encuentren en ambas salidas de un circuito de salida diferencial y, por tanto, también necesiten tener un mismo valor.

La idea fundamental para que dos componentes sean iguales y se comporten de manera similar, no consiste únicamente en que ambos tengan las mismas dimensiones, sino que también tengan una misma orientación y un mismo entorno. Para conseguir esto, es conveniente colocarlos en el layout lo más próximos posible entre sí, aunque en el esquemático se encuentren muy alejados.

Una técnica de layout que permite mejorar el *matching* de distintos componentes, especialmente de transistores y resistencias, es la técnica de *Interdigitado*. Consiste en dividir el transistor (u otro componente) en varios trozos o componentes más pequeños, de manera que luego se entrelazan las distintas partes que conforman los componentes que se pretende que sean iguales. De esta manera se consigue una mayor homogeneidad entre ellos.

También con el fin de proporcionar un mismo entorno a los componentes para que sean iguales, hay otra técnica que se puede emplear al crear el layout. Se trata de colocar componentes *dummy*. Si, por ejemplo, para crear un número de componentes iguales, se van colocando éstos en paralelo, cada uno de ellos estará rodeado a izquierda y derecha por un componente exacto a él y eso implicará que todos tienen el mismo contorno. El problema aparece en los componentes de los extremos porque, éstos sólo estarán rodeados por uno de sus lados mientras el otro se quedará libre, y esto puede ocasionar que su comportamiento sea diferente al de los demás. Para evitar esto, se colocan otros dos componentes iguales a ambos lados de los que, previamente, eran los extremos, pero se van a cortocircuitar de forma que no operen y sólo sirvan para homogeneizar el contorno, y que así todos estén rodeados de la misma manera. Estos nuevos componentes añadidos son los que

reciben el nombre de *dummy*. Esta técnica se puede emplear tanto con transistores, como con resistencias o condensadores.

Por último, es conveniente rodear cada componente del layout por una serie de conexiones a sustrato de forma que todos tengan alguna próxima, ya que éstas van a actuar como protección, y van a fijar con más exactitud la tensión del terminal de *bulk* en el caso de los transistores nMOS.

Una vez que se ha finalizado el layout, utilizando las técnicas vistas y cumpliendo las normas de diseño establecidas, ya se puede introducir en el *frame* de un *chip* para mandarlo a fabricar.

5.2. Layouts realizados

Siguiendo las indicaciones expuestas en el apartado anterior, procedemos al diseño del layout de los dos transconductores vistos anteriormente, uno sin FGMOS y otro con FGMOS.

El proceso es el mismo para ambos, con la diferencia de que en el segundo añadiremos unos condensadores a la puerta de los transistores de entrada, con el fin de hacer funcionar la tecnología FGMOS, como ya se ha explicado antes.

La disposición de los componentes se ha realizado de manera que el layout sea lo más cuadrado posible, con la intención de que esto reduzca la distancia entre componentes y, por tanto, minimice las posibles diferencias de funcionamiento que pudiera haber entre ellos. Es por eso también que, al tratarse de un circuito diferencial, se ha procurado que los dos transistores por los que se introduce la señal de entrada estén lo más juntos posible.

A continuación podemos ver cómo han quedado los layouts terminados de ambos transconductores (Figuras 5.1 y 5.2).

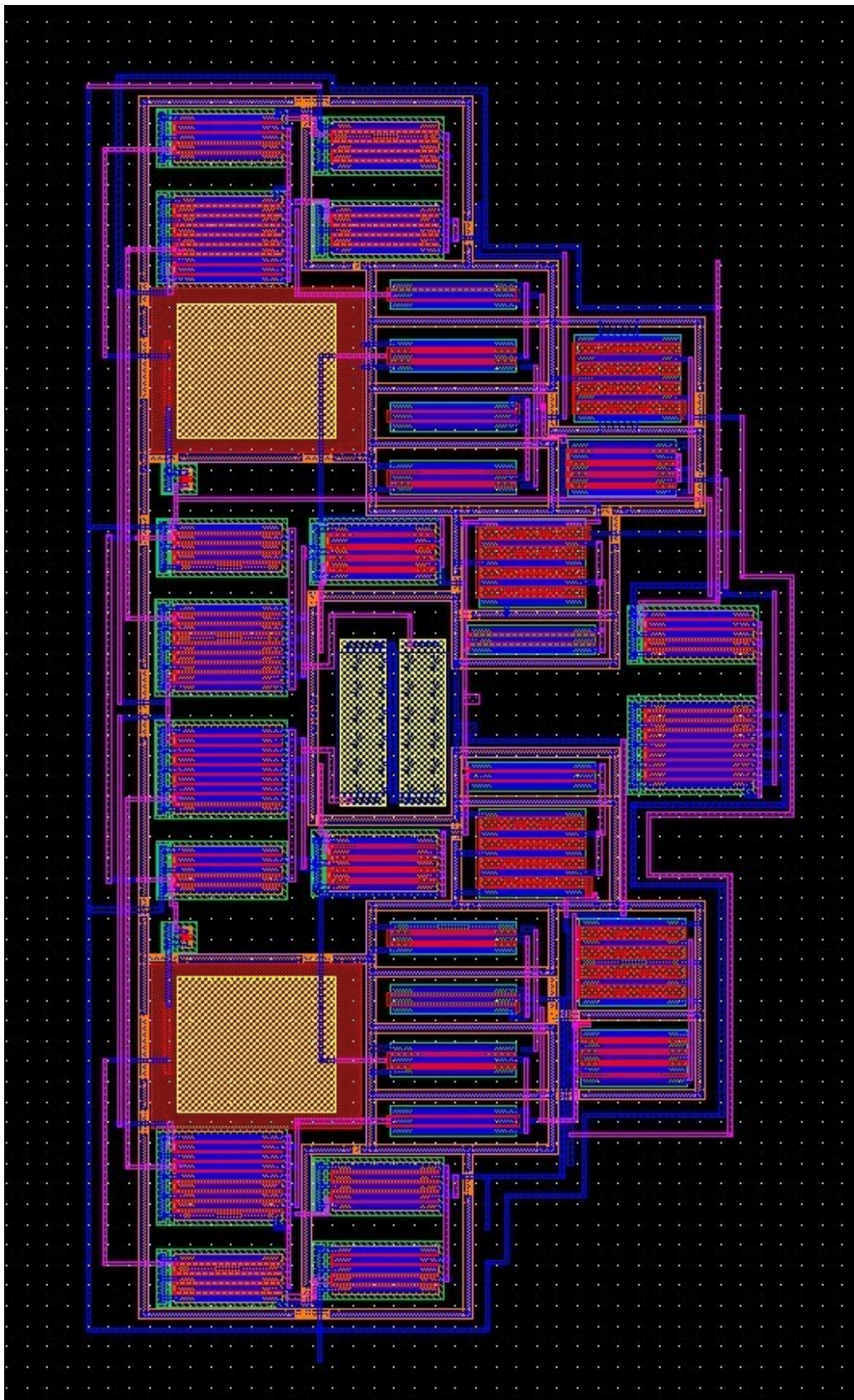


Figura 5.1. Layout del transconductor AB sin FGMOS.

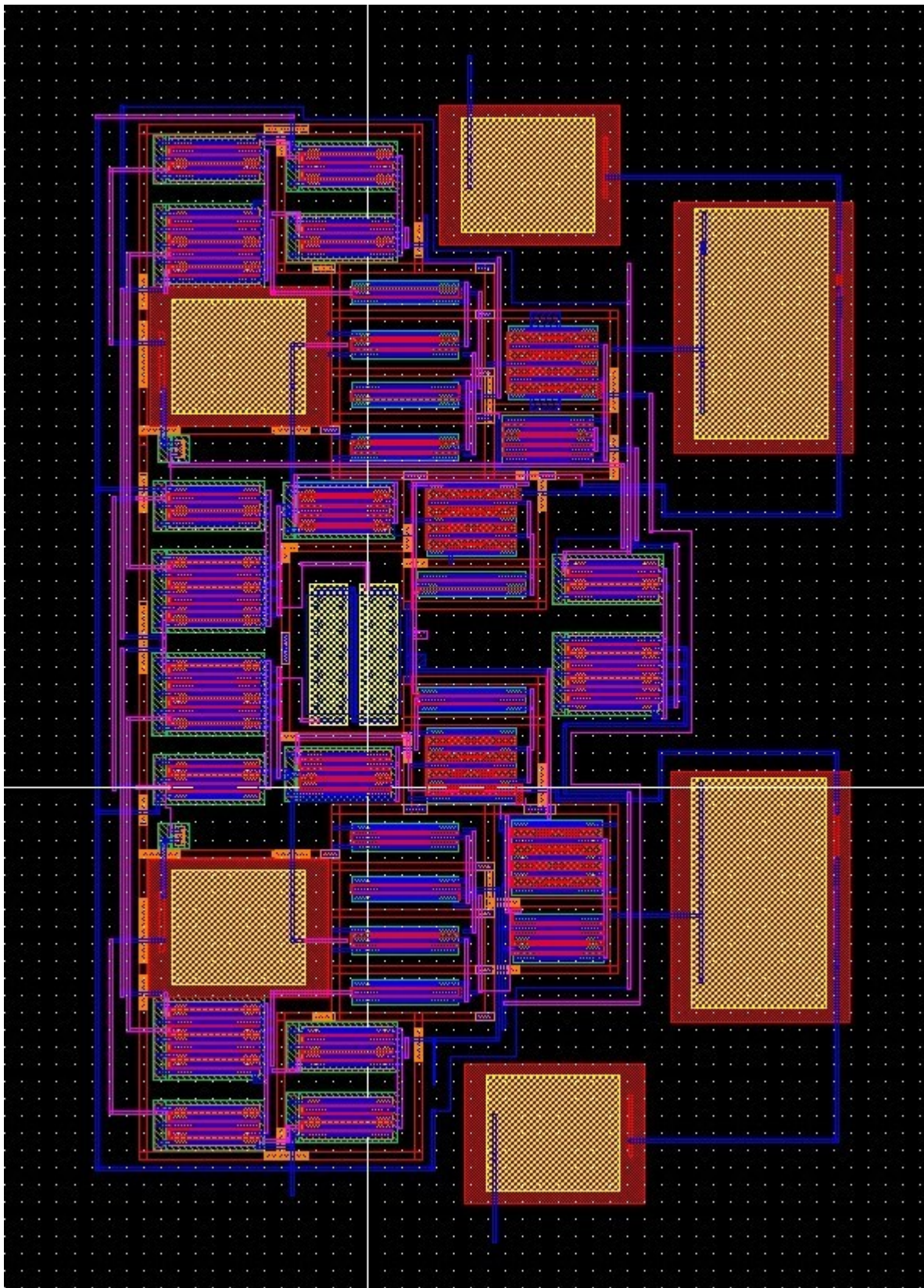


Figura 5.2. Layout del transconductor AB con FGMOS.

Capítulo 6:

CONCLUSIONES Y LÍNEAS FUTURAS

6. Conclusiones y líneas futuras

6.1. Conclusiones

A raíz del trabajo realizado se pueden extraer las siguientes conclusiones:

- Se han implementado circuitos transconductores basados en el uso de resistencias pasivas. Se han tenido que realizar múltiples simulaciones y valorar distintas opciones topológicas hasta conseguir el diseño óptimo.
- A fin de que los circuitos tuvieran un bajo consumo de potencia, ha sido necesario conseguir que su operación fuera en *clase AB*. Para ello, se ha hecho uso de *Transistores de Puerta Cuasi-flotante (QFGs)*, una técnica novedosa que ha resultado muy efectiva.
- Para conseguir un rango de entrada rail-to-rail, se han empleado *Transistores de Puerta Flotante (FGMOS)*, que permiten una atenuación y desplazamiento de nivel de la entrada.
- El mayor problema que se ha encontrado en el diseño ha sido alcanzar buenos valores de linealidad en su funcionamiento, ya que se han tenido que realizar muchas pruebas y simulaciones hasta conseguir que la distorsión tomara valores razonables. Esto es debido a la baja tensión de alimentación y el bajo consumo que se pretenden conseguir.
- La operación a baja tensión también ha supuesto un problema, ya que limitaba mucho el rango permisible de las distintas señales, de forma que pequeñas variaciones de tensión podían ocasionar que el circuito dejara de funcionar correctamente. Esto, en parte, ha sido debido a la tecnología CMOS empleada en el diseño y simulaciones, que presenta unas tensiones de umbral cercanas a 1V.
- En cuanto al diseño a nivel físico, ha sido necesario realizarlo con mucho cuidado, y ser ordenado, debido a la cantidad de componentes que tiene el circuito y, por lo tanto, a la cantidad de pistas que se entrecruzan, y al necesario *matching* que debe existir entre diversos componentes. Además, se ha intentado optimizar el espacio lo máximo posible.

6.2. Líneas futuras

Obviamente, la continuación más inmediata consiste en enviar a fabricar los diseños que se han realizado, y medir el *chip* resultante. Es necesario comprobar si los resultados experimentales coinciden con los que se han obtenido a lo largo de este proyecto.

Otra posible continuación consistiría en aplicar los transconductores desarrollados en filtros Gm-C. La operación en clase AB de los transconductores permitiría obtener filtros con un bajo consumo estático. Para esta aplicación habría que desarrollar técnicas de sintonía para los transconductores. Éstas se podrían obtener usando transistores en región triodo en lugar de resistencias.

Otra tarea a desarrollar sería trasladar el diseño a una tecnología CMOS más moderna (de 120nm ó 90nm por ejemplo), en la cual se reduciría notablemente la tensión de alimentación necesaria, y por tanto, el consumo de potencia.

Finalmente, una última sugerencia sería aplicar el bloque transconductor que se ha implementado, en otras aplicaciones aparte del filtrado en tiempo continuo. Se podría utilizar, por ejemplo, en un *VGA (Amplificador de Ganancia Variable)*, simplemente usando el transconductor con una carga resistiva, e incluyendo una técnica de sintonía en el transconductor.

BIBLIOGRAFÍA

- [1]- CIRCUITOS MICROELECTRÓNICOS (cuarta edición). Adel S. Sedra, Kenneth C. Smith. Ed Oxford, 1999.
- [2]- Antonio J. López-Martín, Rubén Fernández, Carlos A. de la Cruz Blas, Alfonso Carlosena, “A 1 V Micropower FGMOS Class AB Log-Domain Filter”. *Analog Integrated Circuits and Signal Processing*, 41, 137-145, 2004. Kluwer Academic Publishers.
- [3]- J. Ramírez-Angulo, G. Gonzalez-Altamirano, S.C. Choi, “Modeling Multiple-Input Floating-Gate Transistors for Analog Signal Processing”. 1997 IEEE International Symposium on Circuits and Systems, June 9-12, 1997, Hong Kong.
- [4]- Lucía Acosta, Mariano Jiménez, Ramón G. Carvajal, Senior Member, IEEE, Antonio J. López-Martín, Member IEEE, Jaime Ramírez-Angulo, Fellow, IEEE, “-78 dB IM3 CMOS Gm-C Filter with Frequency Tuning”. *IEEE Transactions on Circuits and Systems I*, en prensa.
- [5]- Lucía Acosta, Antonio J. López-Martín, Ramón G. Carvajal, Jaime Ramírez-Angulo, “Class AB CMOS Transconductor for Channel Filtering in Zero-IF/Low-IF Wireless Receivers”. XXIII Conference on Design of Circuits and Integrated Systems (DCIS'08), Grenoble (France), November 12-14, 2008.
- [6]- Jaime Ramírez-Angulo, Fellow, IEEE, Antonio J. López-Martín, Member, IEEE, Ramón González Carvajal, Member, IEEE, Fernando Muñoz Chavero, “Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors”. *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 3, pp. 434-442, March 2004.
- [7]- Antonio J. López-Martín, “CMOS Class AB Super Source Follower”. *Electronics Letters*, vol. 45, no. 2, pp. 89-90, Jan. 2009.
- [8]- A. Torralba, R. G. Carvajal, M. Jiménez, F. Muñoz, J. Ramírez-Angulo, “A true low voltage class-AB current mirror”. *IEICE Electronics Express*, Vol. 2, No. 4, 103-107.
- [9]- Jaime Ramírez-Angulo, Fellow, IEEE, Ramón G. Carvajal, Senior Member, IEEE, Juan A. Galán, Antonio J. López-Martín, Member, IEEE, “A Free But Efficient Low-Voltage Class-AB Two-Stage Operational Amplifier”. *IEEE Transactions on Circuits and Systems - II: Express Briefs*, Vol. 53, No.7, July 2006.
- [10]- José María Algueta Miguel, “Diseño analógico de bajo consumo con transistores MOS de puerta flotante y cuasi-flotante”. Memoria del Proyecto Fin de Carrera, Universidad Pública de Navarra, 2008.
- [11]- Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, “Analysis and Design of Analog Integrated Circuits”, 4th Ed., 2001. John Wiley & Sons.