



---

# ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

Titulación:

INGENIERO DE TELECOMUNICACIÓN

Título del proyecto:

CONVERTIDOR A/D DE APROXIMACIONES SUCESIVAS DE  
BAJO CONSUMO

Alumno: Iñigo Cenoz Villanueva

Tutor: Antonio J. López Martín

Pamplona, 20 de febrero de 2013



Hoy la electrónica digital ha sustituido la electrónica analógica en numerosas aplicaciones y circuitos. La electrónica digital permite la miniaturización y versatilidad alcanzada por la electrónica actual. En general en la electrónica digital las operaciones resultan mas sencillas, pueden implementarse funciones más complejas y los circuitos pueden realizar más de una función con la misma circuitería. Son más faciles de diseñar, fabricar y probar.

La naturaleza analógica de las señales físicas obliga a disponer de un método, una forma, para transformar una señal analógica hacia la equivalencia digital para poder aprovechar toda la potencia de cálculo que esta posee. Este método es la cuantificación y discretización y el dispositivo que la hace posible es un convertidor analógico digital (A/D). Posee características tanto de la electrónica analógica como de la electrónica digital y resulta un circuito crítico dentro de las etapas de un sistema. Los errores introducidos en esta etapa, serán propagados a través de toda el sistema.

Dentro de la tendencia general hacia la miniaturización, la reducción de consumo y el aumento de las funcionalidades al que se dirigen los dispositivos en la actualidad, los A/D como parte de un sistema, se ven afectados y tienen que contribuir a conseguir los objetivos.

Una estrategia a la miniaturización consiste del concurso de toda clase de circuitos dentro del mismo circuito integrado. Esta solución tiene algunos problemas. Uno de los más importantes es el ruido. La reducción de consumo se aborda en general, por escalado en tecnología o reducción del valor de la fuente de alimentación. El escalado obliga a un diseño cuidadoso para contener el aumento de la potencia estática, mientras que el segundo enfoque, debe manejar la degradación sufrida por la electrónica analógica.

El convertidor A/D desempeña un papel importante dentro del desarrollo de la era digital. Es un circuito interesante que merece estudio. Este proyecto trata de hacerlo.

Iñigo Cenoz Villanueva  
19 de noviembre de 2012



# Índice general

<b>1</b>	<b>Marco del proyecto</b>	<b>7</b>
1.1	Objeto del proyecto . . . . .	9
1.2	Descripción del proyecto . . . . .	9
1.3	Magnitudes del proyecto . . . . .	10
1.4	Estructura del proyecto . . . . .	10
1.5	Etapas de desarrollo . . . . .	10
<b>2</b>	<b>Estudio previo</b>	<b>13</b>
2.1	Tipos A/D y aplicaciones . . . . .	15
2.2	A/D de aproximaciones sucesivas (SAR) . . . . .	16
2.3	Literatura A/D SAR. Estado del arte . . . . .	17
2.4	A/D SAR para el proyecto . . . . .	22
2.5	Interfaz A/D del proyecto . . . . .	23
<b>3</b>	<b>A/D SAR. Análisis y diseño</b>	<b>25</b>
3.1	Circuitaría de control . . . . .	27
3.2	Comparador para A/D . . . . .	32
3.3	Elección de la tensión de alimentación . . . . .	35
3.4	Comparador ref[1] . . . . .	37
3.5	Circuito D/A . . . . .	43
3.6	Interruptor del circuito de seguimiento y retención. Técnica de elevación de tensión de puerta (" <i>Bootstrapping</i> ") . . . . .	49
3.7	Circuito elevador tensión independiente a la entrada. . . . .	56
<b>4</b>	<b>Simulación sistema A/D</b>	<b>59</b>
4.1	Errores y parámetros evaluadores del comportamiento A/D . . . . .	61
4.2	Simulación A/D monotónico . . . . .	62
4.3	Conmutación alternativa: A/D híbrido . . . . .	64
4.4	Simulación con circuitaría digital síncrona . . . . .	66
<b>5</b>	<b>Realización física <i>layout</i></b>	<b>69</b>
<b>6</b>	<b>Conclusiones y líneas futuras</b>	<b>75</b>

<b>Apéndices</b>	<b>79</b>
<b>A Conmutación monotónica</b>	<b>79</b>
<b>B Modelo MOS</b>	<b>85</b>
<b>C Herramientas</b>	<b>91</b>

# 1

## Marco del proyecto







## 1.1. Objeto del proyecto

Se pretende diseñar un convertidor analógico/digital (A/D) de ultra bajo consumo en tecnología CMOS para su aplicación en nodos microsensors de redes de monitorización distribuida. Estos nodos combinan sensado, procesado, comunicaciones y gestión de energía en un volumen muy reducido. La energía disponible es muy limitada, siendo necesario el empleo de circuitos de ultra bajo consumo.

En el proyecto se plantea como solución de diseño una arquitectura de A/D de aproximaciones sucesivas (SAR) por estar bien adaptada a los requerimientos de esta aplicación. Se pretende como objetivo de diseño una topología de 8 bits y 100KS/s con un consumo estático inferior a  $1\mu W$ .

## 1.2. Descripción del proyecto

Los entornos de inteligencia ambiental basados en redes inalámbricas de monitorización distribuida se postulan como una de las mayores oportunidades de mercado en los próximos años y están siendo fuertemente impulsados por el VII Programa Marco. Sin embargo, su despliegue masivo es todavía inviable por razones energéticas, económicas y ecológicas. Es preciso el desarrollo de microsensors inalámbricos altamente integrados, de ultra bajo consumo y energéticamente autónomos para lograr que estas tecnologías pasen de ser una visión futura a una realidad plausible. Para ello es necesario un notable esfuerzo investigador que promueva un avance tecnológico cualitativo en el desarrollo de microsensors inalámbricos de bajo tamaño, coste, consumo e impacto ambiental.

En este contexto, uno de los problemas relevantes en el diseño de estos microsensors es la realización de A/D de ultra bajo consumo, capaces de ser alimentados incluso por la escasa y variable energía captada del entorno por medio de sistemas de “Energy Harvesting”. Los convertidores de aproximaciones sucesivas son una de las arquitecturas más populares en interfaces de sensores alimentados por energía ambiental, dado que es posible obtener resoluciones medias con alta eficiencia energética simplificando la parte analógica y evitando el uso de amplificadores operacionales.

En el presente proyecto se aborda el desarrollo de un A/D de aproximaciones sucesivas adecuado a los requerimientos de esta aplicación. Se explorarán diversas técnicas de diseño novedosas de los bloques básicos empleados en el convertidor, utilizando por ejemplo estructuras operando en inversión débil, para conseguir las características anteriormente citadas. Junto al convertidor completo, también se integrarán en el mismo chip los bloques básicos del mismo para su caracterización independiente.



### 1.3. Magnitudes del proyecto

Como se ha comentado, el trabajo a desarrollar en el PFC consiste en la creación de un circuito integrado que implemente un nuevo convertidor A/D de aproximaciones sucesivas, así como sus bloques básicos para una caracterización individual de los mismos. Entre las posibles técnicas a estudiar están:

- Empleo de nuevos bloques activos y pasivos (comparadores, conmutadores, circuitos de “clock boosting”) con iguales o superiores características que los actuales y ocupando menor área de silicio.
- Análisis de algoritmos de operación alternativos del convertidor A/D para el funcionamiento eficiente del mismo en entornos de baja tensión de alimentación y bajo consumo de potencia.
- Arquitecturas alternativas de diseño del convertidor.

### 1.4. Estructura del proyecto

El PFC partirá de un análisis de las arquitecturas de convertidores A/D de ultra bajo consumo existentes, así como del estado actual de los bloques básicos a emplear en el diseño del convertidor.

Posteriormente se realizará el diseño de los bloques básicos, y su correcta operación será verificada en simulación. Los resultados obtenidos en esta etapa permitirán una primera evaluación del grado de cumplimiento de las especificaciones marcadas.

Seguidamente se afrontará el diseño del convertidor a nivel de sistema, evaluando distintos algoritmos de operación y comparando las prestaciones de estos algoritmos con propuestas anteriores.

Finalmente se realizará el diseño a nivel físico (layout) del circuito integrado no automatizado (full-custom). Se enfatizará en esta etapa de diseño la consecución del necesario aislamiento entre las partes analógica y digital.

### 1.5. Etapas de desarrollo

El desarrollo del proyecto se puede dividir en las siguientes etapas, pudiendo en algunos casos solaparse en el tiempo:

- Revisión de los conceptos básicos en microelectrónica analógica: operación del transistor CMOS, etapas básicas (par diferencial, espejo de corriente, etc.).
- Manejo de las herramientas de diseño microelectrónico: entornos Cadence y Synopsys.



- 
- Análisis del trabajo previo realizado (artículos, PFC anteriores).
  - Diseño y simulación de los bloques básicos (comparadores, conmutadores, circuito de muestreo y retención, etc.).
  - Diseño y simulación de la arquitectura completa del convertidor A/D.
  - Layout del circuito.



2

## Estudio previo





## 2.1. Tipos A/D y aplicaciones

En la siguiente tabla se muestran de forma resumida los principales tipos A/D así como sus principales características y aplicaciones.

Tipo A/D	Características	Aplicaciones
Flash o paralelo	Arquitectura y lógica de control sencillas. Convertidor rápido (1 ciclo de reloj). Emplea $2^{Nbits} - 1$ comparadores. Aumento exponencial de área y consumo con la resolución. Necesita circuitería para generar niveles referencia	Convertidores rápidos y de poca resolución.
Sub-Ranging, convertidores de dos pasos (two-step converters)	$(2^M - 1)(2^N - 1)$ comparadores, $M + N = Nbits$ . Necesita más ciclos reloj que Flash. Necesita circuito para generar niveles de tensión de referencia.	
Folding & Interpolation	Reduce a $2^{número\ folding}$ el número de comparadores respecto Flash. Mejora latencia respecto Pipeline. No idealidades en las operaciones de folding.	Sustituto del Flash
Interleaved	Utiliza M ADC en paralelo. Cada ADC convierte cada M transición del reloj. Problemas de precisión en la multiplexación. Consigue alta resolución y alta velocidad.	
Sigma/delta	Prescinde de circuitos para generar tensiones de referencia. Queda libre de imprecisiones de estos circuitos. Capacidad de conformado del ruido trasladando el ruido a frecuencias fuera de la banda de interés. Relativa complejidad del circuito y necesita un reloj mucho más rápido para una misma tasa de conversión.	Mediciones industriales y audio y voz.
Pipeline	Rápido como flash, baja disipación potencia.	Instrumentación, vídeo, Radio-Software de altas velocidades.



Tipo A/D	Características	Aplicaciones
Pipeline paralelo	Mayor velocidad que simple Pipeline (teóricamente multiplicado por etapas paralelas) a costa del aumento lineal de consumo y área. Problemas por desajuste entre ramas.	Aplicaciones de alta velocidad, donde no es posible alcanzar con un único pipeline.
Aproximaciones Sucesivas (SAR)	Circuitaría sencilla y bajo consumo. Incremento lineal de ciclos de conversión con el número de bits.	Baja/media frecuencia y media resolución. Adquisición de señales.

## 2.2. A/D de aproximaciones sucesivas (SAR)

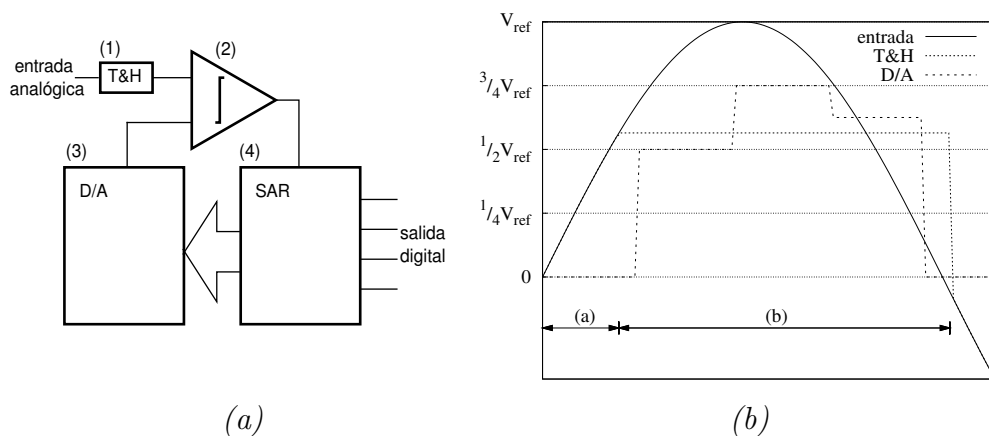


Figura 2.1: (a) Descripción de bloques A/D SAR y (b) gráfica ejemplo de conversión.

En la figura 2.1 se muestra la descripción conceptual para un convertidor SAR, que consta de los siguientes bloques, (1) un circuito de muestreo y retención (T&H), (2) un comparador, (3) circuito generador de tensiones de referencia (D/A) y (4) circuitería lógica digital de control (SAR).

La conversión es por búsqueda binaria por aproximaciones sucesivas. Consiste en comparaciones sucesivas entre el valor de muestra de una señal analógica a convertir retenida por el circuito de seguimiento y retención, y la señal de referencia del D/A.





Las tensiones generadas de referencia guardan una progresión binaria, según

$$\sum_{n=1}^{Nbits} 2^{-n} V_{ref} (-1)^p$$

donde  $p$  es el valor del bit anterior, cero o uno.

La figura 2.1.(b) muestra un ejemplo para conversión de una muestra analógica indicando las fases que atraviesa un A/D SAR de 3 bits. Habiendo adquirido y retenido una muestra por parte del bloque T&H, fase (a) indicado en figura 2.1.(b), la conversión comienza determinando el bit de más peso o significativo (MSB). En el ejemplo el valor de la muestra retenida es  $V_{muestra} = 9V_{ref}/16$ . La circuitería de control maneja el D/A para generar un valor de referencia inicial, es la mitad del máximo valor de referencia,  $V_{D/A} = V_{ref}/2$ . Como  $V_{D/A} < V_{muestra}$ , la muestra es superior a la referencia, el comparador decide nivel alto ("1"). El primer bit determinado, la palabra digital de salida es en este momento  $\overset{MSB}{1} \overset{LSB}{x} \overset{LSB}{x}$ .

Antes de determinar el segundo bit, el circuito de control conociendo el resultado anterior, ordena un nivel de referencia  $V_{D/A} = 3V_{ref}/4$ ,  $V_{ref}/4$  superior al nivel de referencia anterior. Ahora ocurre  $V_{D/A} > V_{muestra}$ , el comparador decide nivel bajo ("0"). Salida digital momentánea,  $\overset{MSB}{1} \overset{LSB}{0} \overset{LSB}{x}$ .

El último de los bits, el bit menos significativo (LSB), el control, al igual que actuó para el segundo bit, consulta la información de la palabra digital y ordena una referencia  $V_{D/A} = 5V_{ref}/8$ , un  $V_{ref}/8$  inferior a la última referencia. Ocorre  $V_{D/A} > V_{muestra}$ , el comparador decide bajo ("0"). Salida digital,  $\overset{MSB}{1} \overset{LSB}{0} \overset{LSB}{0}$ .

Vector final digital,  $s(n) = 100$ .

El valor digitalizado  $\sum_{n=1}^{Nbits} 2^{-n} V_{ref} \cdot s(n) = 1 \cdot V_{ref}/2 + 0 \cdot V_{ref}/4 + 0 \cdot V_{ref}/8 = V_{ref}/2$ . El valor de la muestra cae entre dos niveles de cuantificación,  $V_{ref}/2 < V_{muestra} < 5V_{ref}/8$ .

La diferencia entre el valor real analógico  $V_{muestra}$  y el valor digitalizado es el error de cuantificación. Es inherente a la conversión A/D, significa pérdida de información. Se presenta como ruido, ruido de cuantificación.

## 2.3. Literatura A/D SAR. Estado del arte

Un diseño desde el nivel de transistor ofrece una flexibilidad enorme. Es posible conseguir el diseño mejor adaptado a necesidades particulares de aplicación. Para convertidores A/D SAR en aplicaciones de sensores, normalmente se busca reducir el consumo pero con un equilibrio con la velocidad. En otros casos o aplicaciones, pueden ser mayor sencillez de circuito (valido también para reducir el consumo), la robustez, resolución... o un compromiso entre todas o entre alguna de ellas.

Los circuitos de mayor consumo en un A/D SAR son el comparador y el D/A. La lógica digital normalmente es la parte más eficiente del circuito, rara vez se puede mejorar.



- **Mejora por avance tecnológico:** Conforme avanza la tecnología, la reducción del tamaño del transistor permite emplear (una reducción de tensión obligatoria para no degradar el óxido de puerta y mantener el MOS funcional) tensiones inferiores de funcionamiento respecto a antiguas tecnologías. Esto repercute directamente en un menor consumo dinámico y una mayor velocidad. Se produce un aumento del consumo estático.
- **Mejora por diseño:** Para una tecnología dada un nuevo enfoque en el diseño que permite alcanzar nuevas y mejores prestaciones.

Recopilación de trabajos sobre A/D SAR:

- (1) *An energy-efficient charge recycling approach for a SAR converter with capacitive D/A* ref[2].
- (2) *A Low Power Consumption 10-bit Rail-to-Rail SAR A/D Using a C-2C Capacitor Array* ref[3].
- (3) *Design of an Ultra-low Power SAR A/D for Biomedical Applications* ref[4].
- (4) *An Ultralow-Energy A/D for Smart Dust* ref[5].
- (5) *A 9.4-ENOB 1V 3.8 $\mu$ W 100KS/s SAR A/D with Time-Domain Comparator* ref[6].
- (6) *A 10-bit 500-KS/s Low Power SAR A/D with Splitting Comparator for Bio-Medical Applications* ref[7].
- (7) *A 12fJ/Conversion-Step 8bit 10MS/s Asynchronous SAR A/D for Low Energy Radios* ref[8].
- (8) *An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR A/D for Wireless Sensor Nodes* ref[9].
- (9) *An Ultra-Low-Power 10-Bit 100-kS/s Successive-Approximation Analog-to-Digital Converter* ref[10].
- (10) *A 10-bit 50-MS/s SAR A/D With a Monotonic Capacitor Switching Procedure* ref[1].

(1) *An energy-efficient charge recycling approach for a SAR converter with capacitive D/A* ref[2].

Compara el método tradicional de conmutación de D/A de condensadores con 3 métodos para mejorar el consumo en la conmutación del condensador mayor  $C_{MSB}$  cuando la predicción no es correcta, en otras palabras, si  $V_{analógica} < V_{ref}/2$ .

Método 1: Two step, consiste en evitar la conmutación simultánea de los condensadores  $C_{MSB}$  hacia nivel de referencia bajo y  $C_{MSB-1}$  hacia el nivel de referencia más alto. Primero el condensador  $C_{MSB-1}$  es conectado al nivel de referencia alto, mientras el condensador  $C_{MSB}$  es mantenido a nivel alto de referencia. Después el condensador  $C_{MSB}$  es llevado al nivel de referencia bajo. Alcanza un ahorro de 10% respecto al sistema convencional.

Método 2: Charge sharing, primero  $C_{MSB}$  y  $C_{MSB-1}$  son desconectados de sus respectivas tensiones de referencia. Segundo, un conmutador interconecta los condensadores  $C_{MSB}$  y  $C_{MSB-1}$ . Y tercero,  $C_{MSB}$  es conectado al nivel bajo y  $C_{MSB-1}$  al alto. El



intercambio de carga en la segunda fase disminuye la corriente cuando son conectados a los niveles finales. Este método alcanza una mejora del 25 % respecto al convencional. Método 3: Capacitor splitting, divide el condensador  $C_{MSB}$  en dos, de manera que conmuta únicamente uno de ellos. El resultado es, 37% de ahorro respecto al convencional.

(2) *A 10 bit Charge-Redistribution A/D Consuming 1.9 $\mu$ W at 1 MS/s* ref[11]. Emplea un D/A de redistribución de cargas y la técnica de conmutación "Step-wise charging" basado en técnicas mostradas en ref[2]. La conmutación atraviesa dos niveles de tensión intermedios  $V_{DD} \rightarrow 2V_{DD}/3 \rightarrow V_{DD}/3 \rightarrow GND$ . Reduce la energía,  $E = CV_{DD}^2 \rightarrow E = (CV^2)/3$ . Los niveles intermedios son proporcionados por dos condensadores que almacenan la energía de la conmutaciones anteriores (ocupan casi 3/5 de todo el área del convertidor). La técnica "Step-wise charging" sólo se aplica a los tres condensadores de mayor tamaño.

Un comparador de dos etapas, configuración pre-amplificador más biestable, para un bajo ruido, alta velocidad con baja histéresis y nulo consumo estático. El pre-amplificador, un par diferencial NMOS unidos por la fuente, un NMOS unido a la fuente del par diferencial como interruptor y un PMOS en cada respectivo drenador. Las puertas unidas a los respectivos brazos del D/A. Los PMOS de drenador y NMOS interruptor activados con señal de reloj. Los PMOS resetean, imponiendo tensión  $V_{DD}$  en el drenador del par diferencial, cuando el reloj es de nivel bajo, el NMOS de cola interrumpe la circulación de corriente en la fase de reset.

La segunda etapa son dos inversores conectados en configuración de retroalimentación positiva, con un NMOS en cada salida de inversor para la puesta a cero del biestable. La señal de control del reset, esta 180° grados desfasado con el reloj del pre-amplificador. La retroalimentación se interrumpe con un PMOS en salidas de cada inversor y forman un par diferencial que introduce más ganancia. Las puertas del par diferencial estan atadas a drenadores del par diferencial del pre-amplificador.

Cuenta con una lógica de control asíncrona mediante líneas de retraso. Evita el reloj de alta frecuencia.

La muestra retenida en el banco de condensadores del D/A.

(3) *A Low Power Consumption 10-bit Rail-to-Rail SAR A/D Using a C-2C Capacitor Array* ref[3].

Emplea D/A de redistribución en estructura C-2C en la mitad correspondiente a LSB con fin de disminuir el tamaño del grupo de condensadores. Los condensadores MSB emplean el clásico arreglo con condensadores de relación en pesos de base binario.

Consta de dos comparadores complementarios, uno con pares de entrada NMOS (funciona para  $V_{analógica} > V_{CM}$ ) y el otro par de entrada PMOS (funciona para  $V_{analógica} < V_{CM}$ ). La siguiente descripción referida al comparador con par de entrada NMOS. Constituido por tres etapas, primero, un amplificador diferencial NMOS con NMOS de cola y carga activa PMOS. Segundo, par diferencial NMOS, cargado con un biestable PMOS y en cola dos NMOS en serie, uno como interruptor de activación/desactivación y otro para polarizar (fuente de corriente). Tercero, amplificador diferencial cargado con espejo de corriente, un PMOS cortocircuita los drenadores del par diferencial de entrada en



tiempo de reset. Un NMOS interruptor y otro de polarización.

Emplea un circuito de seguimiento y retención en paralelo para reducir la frecuencia de muestreo a la mitad.

(4) *Design of an Ultra-low Power SAR A/D for Biomedical Applications* ref[4].

El D/A dividido en dos D/A de 6 bits, unidos mediante un condensador.

Comparador latch dinámico. Dos inversores en configuración de retroalimentación positiva, en la parte alta de los inversores monta la entrada diferencial PMOS con un PMOS interruptor en surtidor del par diferencial. Implementa circuitería para reducir el offset y el ruido de Kick-Back, esto último lo consigue manteniendo la tensión de drenadores del par diferencial constante entorno al voltaje de alimentación alto, por inserción de dos PMOS, uno en cada rama, entre el latch y el par diferencial, controlados por la señal de reloj. Aislan el latch de la entrada en la fase de reset. Los drenadores del par diferencial aislados en la fase de reset, son fijados a la tensión de alimentación alta por PMOS extras. Las salidas en reset son fijadas a nivel bajo por transistores NMOS.

Lógica digital emplea reloj auto-generado internamente.

(5) *An Ultralow-Energy A/D for Smart Dust* ref[5].

El D/A de redistribución de cargas con capacidades en progresión en base dos convencional.

Comparador de par diferencial NMOS cargado por PMOS cruzados formando una realimentación positiva, más dos PMOS que hacen la puesta a cero imponiendo los drenadores del par diferencial a tensión alta. La salida conectada a través de un inversor por rama.

Lógica digital síncrona mediante reloj principal y contador y memorias a base de Flip-Flops.

(6) *A 9.4-ENOB 1V3.8 $\mu$ W 100KS/s SAR A/D with Time-Domain Comparator* ref[6].

El D/A dividido en dos grupos de condensadores con relación en base dos y conectados mediante un condensador de valor unitario.

Incorpora un comparador temporal basado en el tiempo de descarga circuito RC entre dos ramas idénticas, dirigidas por las tensiones a comparar. Cada rama carga y descarga mediante un inversor el condensador que forma la constante de tiempo RC. En serie al NMOS del inversor (en el surtidor de este), se añade un NMOS, el cual recibe en puerta la tensión a comparar y en serie una resistencia que participa en la constante de tiempo RC. A la salida del inversor, en paralelo con el condensador, un amplificador en drenador común y a la salida del amplificador varios inversores proporcionando ganancia, cuadrando la señal.

Una rama es señal de reloj de un biestable D y la segunda rama, ataca la entrada de data del mismo biestable D. Si la rama que es señal de reloj es más rápida, el biestable presentará en la salida un cero, porque la señal de data no completa el tiempo RC. En caso contrario, si el reloj se retrasa al dato, se registra un uno.

(7) *A 10-bit 500-KS/s Low Power SAR A/D with Splitting Comparator for Biomedical Applications* ref[7].



Emplea la técnica Split-capacitor y 1 bit sub-D/A ref[2] en el D/A de redistribución de cargas.

Se sirve de dos comparadores, uno con un latch regenerativo y otro con "Offset storage comparator" y los habilita según el rango de amplitudes de la señal analógica. La elección depende del compromiso de potencia y resolución.

La parte de control es síncrona mediante Flip-Flops para contador y memorias.

(8) *A 12fJ/Conversion-Step 8bit 10MS/s Asynchronous SAR A/D for Low Energy Radios* ref[8].

Implementa una red de condensadores conmutados, con capacidades de acuerdo a la usual progresión en base dos para el D/A.

El comparador de la ref[11] manteniendo la topología pero introduciendo transistores de dos tensiones umbrales distintas. Transistores de tensión umbral mayor para el transistor NMOS de cola del par diferencial y en todos los PMOS de la segunda etapa (par diferencial y PMOS de los inversores en configuración de retroalimentación positiva).

Utiliza un control asíncrono y se vale de una señal de auto-sincronización generada con la ayuda del comparador como señal base de tiempos dentro de la conversión de los bits.

Los circuitos con diseño CMOS dinámico.

(9) *An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR A/D for Wireless Sensor Nodes* ref[9].

Utiliza D/A de redistribución de cargas pasivo con condensadores de capacidad en progresión de base dos. Incluye dos circuitos de conversión de 8 y 12 bits de resolución. Para el modo de 12 bit, el comparador consta de tres pre-amplificadores y un latch. Los pre-amplificadores y el latch incorporan circuitería extra de auto-compensación de offset. Para el modo de 8 bit, el comparador consta de un único pre-amplificador y un latch sin ningún circuito extra.

(10) *An Ultra-Low-Power 10-Bit 100-kS/s Successive-Approximation Analog to Digital Converter* ref[10].

Emplea D/A de condensadores en dos partes y condensador de unión. Los condensadores correspondientes a los bits LSB de capacidad en progresión en base dos, siendo en total 5 condensadores, mientras para los bits MSB consta de 31 condensadores de capacidad unitaria.

El comparador en dos etapas, un pre-amplificador diferencial NMOS con cargas PMOS y un latch regenerativo de dos inversores en configuración de retroalimentación positiva, dirigidas por un par diferencial cuyas puertas están conectadas a los drenadores del amplificador diferencial del pre-amplificador. El par diferencial del latch, tiene un transistor que interrumpe el camino entre el surtidor común y la tensión baja de alimentación según fases de puesta a cero y comparación.

La lógica digital implementada mediante contador y registros basados en D Flip-Flop. Emplea dos tensiones dentro del circuito, para circuito analógico y digital respectivamente.



(11) *A 10-bit 50-MS/s SAR A/D With a Monotonic Capacitor Switching Procedure* ref[1].

Se sirve de un D/A convencional pero emplea un algoritmo diferente de conmutación que permite prescindir del condensador de mayor capacidad y ahorrar una conmutación. Utiliza un comparador formado por un par de entrada diferencial PMOS, cargado en cada rama por NMOS dispuestos en realimentación positiva. Las salidas se toma de los drenadores del par diferencial PMOS a través de inversores. Entre el surtidor del par de entrada y la alimentación superior está interrumpida por dos transistores NMOS, uno como interruptor entre fase de reset y comparación y otro de polarización. La lógica de control mediante biestables y generan internamente la señal de reloj para un ciclo completo.

## 2.4. A/D SAR para el proyecto

El A/D SAR del proyecto se basa en el convertidor ref[1]. Destaca su novedosa manera de realizar la conmutación del circuito de conversión digital analógico (D/A), denominada conmutación monotónica. Sus características son (1) la eliminación del condensador de mayor valor del D/A. Disminuye en 50 % la capacidad respecto al convertidor convencional y (2) el convertidor convencional predice el valor del bit y corrige si la predicción no es correcta, lo que supone un consumo innecesario. La conmutación monotónica realiza la conmutación tras el resultado de la comparación por tanto no existe paso de corrección.

El D/A es de redistribución de cargas. Es una forma eficiente y sencilla, en cuanto a complejidad de circuitería, de implementar el D/A. Formado únicamente por condensadores, elementos pasivos que no consumen corriente en estado pasivo y transistores para su conmutación. Para un diseño en baja potencia se prefiere el D/A de redistribución de cargas, por delante de D/A de corriente o tensión que presentan consumo de potencia aun cuando el sistema no esta en fase de conversión. Existen diseños para reducir el consumo en D/A de corriente y tensión en estado de espera, induciendo la hibernación del circuito hasta la siguiente muestra. Esto tiene un sobrecosto de circuitería extra (área ocupada, consumo y complejidad) y problemáticas en la transición entre estados de hibernación y conversión, siendo especialmente critica la transición entre el estado de hibernación hacia estado de conversión.

El banco de condensadores del D/A retiene la muestra de la señal analógica a convertir. La eliminación del circuito independiente de retención reduce el número de dispositivos, consumo y complejidad.

El comparador es dinámico de una sola etapa, sin pre-amplificador: amplificador diferencial de entrada cargado por transistores en configuración cruzada formando el circuito regenerador que proporciona alta ganancia. Tiene consumo cero en reposo (salvo el debido a las corrientes de fuga). La alimentación disponible limitada y inferior a la suma de tensiones umbrales de los dispositivos PMOS y NMOS



( $V_{THN} + |V_{THP}| < V_{DD} - V_{SS}$ ), obliga a emplear técnicas de elevación de tensión puertaa-surtidor (Bootstrapping) para los dispositivos de entrada para reducir la distorsión de la muestra. El circuito empleado es el sugerido por la ref[12].

La configuración diferencial dota de mayor robustez ante ruidos y distorsiones (aumenta la linealidad y reduce impacto inyección carga) y mayor rango dinámico, pero el consumo también es superior al de un comparador no diferencial (dobla el tamaño del banco de capacidades, emplea dos D/A).

La circuitería de control es digital asíncrona. Utiliza un registro de desplazamiento para señalización del bit en conversión actual. Un circuito de control acoplado al comparador genera el reloj para la temporización intra-bits.

El circuito de conmutación del D/A esta formado por simples inversores.

## 2.5. Interfaz A/D del proyecto

A continuación se describen los pines de entrada y salida del convertidor A/D desarrollado (figura 2.2):

- (1) **Pines de alimentación:** alimentación positiva ( $V_{DD}$ ), alimentación negativa ( $V_{SS}$  o tierra GND) y tensión media de alimentación, tensión común ( $V_{CM} = V_{DD} - V_{SS}/2$ ).
- (2) **Pines de control externo:** puesta a cero general (RESETgeneral), reloj(es) de muestreo (reloj), y pines ajuste del temporizador.
- (3) **Pines de señales de entrada:** entrada analógica diferencial ( $V_{entrada+}$ ,  $V_{entrada-}$ ).
- (4) **Pines de salida:** código digital (D8, D7, D6, D5, D4, D3, D2, D1).

La señal RESETgeneral desactiva el proceso de conversión, no así la adquisición que se mantiene activo mientras exista señal de reloj. No dispone de señal específica de fin de conversión. El acceso al resultado digital ha de hacerse durante la adquisición de la muestra siguiente, se puede aprovechar la señal de reloj. La información digital se sobrescribe. Si RESETgeneral está activa, el valor almacenado se mantiene indefinidamente (si la activación del RESETgeneral es a mitad de conversión, el código no tiene sentido. Es una composición entre la muestra anterior y parte de la actual).

## Ficha técnica A/D

Resumen de las principales características del A/D desarrollado:

- Alimentación positiva:  $V_{DD} = 1.5V$ .
- Alimentación negativa o inferior:  $V_{SS} = GND = 0V$ .
- Número de bits:  $N_{bits} = 8$ .
- Rango cuantificación:  $V_{cuantificación} = V_{DD} - V_{SS} = 1.5V$ .
- Resolución analógica:  $V_{LSB} = V_{cuantificación}/2^{N_{bits}} = 1.5/2^8V$ .

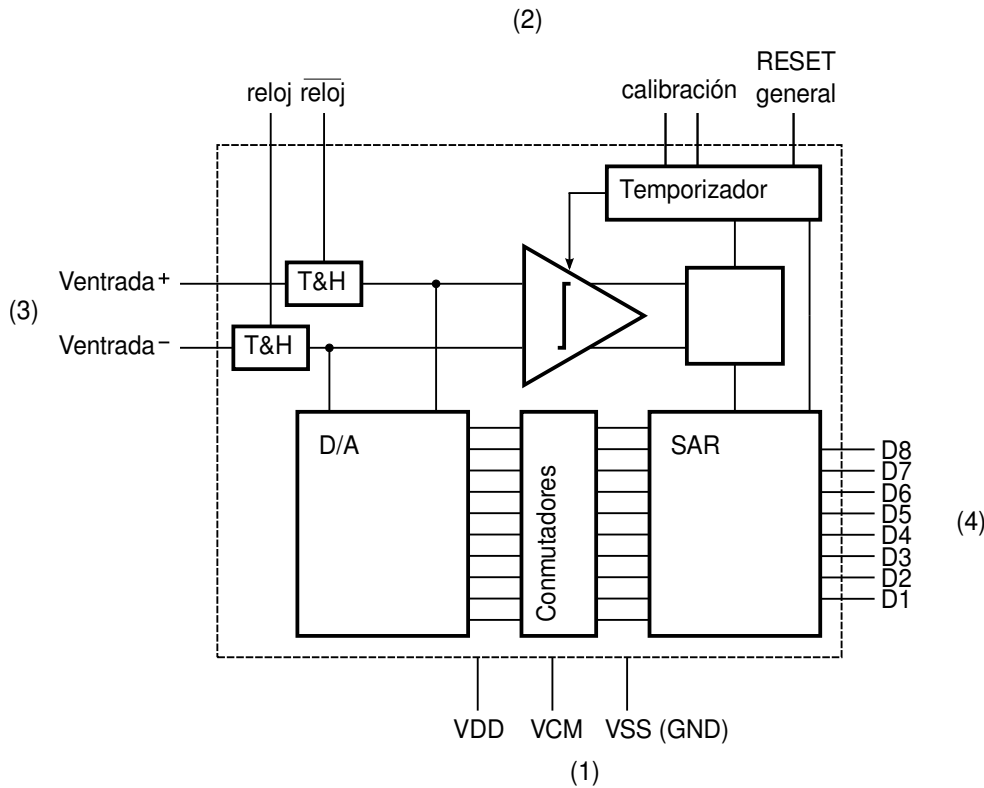


Figura 2.2: Interfaz convertidor A/D diseñado.

- Rango de entrada analógica:  $V_{analógica} = V_{DD} - V_{SS} = 1.5V$ .
- Velocidad de muestreo:  $f_{muestreo} = 100KS/s$ .
- Tasa información:  $f_{muestreo} \cdot N_{bits} = 800Kbit/s$ .

## Ajustes para la puesta en marcha A/D

El sistema necesita un ciclo de conversión de inicialización para la circuitería de elevación de tensión.

**Pines calibración** controlan la temporización del comparador mediante resistencias controladas por tensión (transistores PMOS y NMOS actuado sobre puerta). El diseño preestablecido es  $V_{SS}$  para PMOS y  $V_{CM}$  para NMOS.

**Reloj de muestreo** se ajusta a  $1MHz$  para albergar el tiempo de adquisición y puesta a cero y satisfacer el flujo de tasa de información. Variando el tiempo activo del reloj se ajusta el tiempo de seguimiento del sistema. El diseño preestablecido es un tiempo de seguimiento de  $1\mu s$ . Variar la frecuencia del reloj, actúa sobre la velocidad del convertidor, la tasa de información.



# 3

## A/D SAR. Análisis y diseño



### 3.1. Circuitería de control

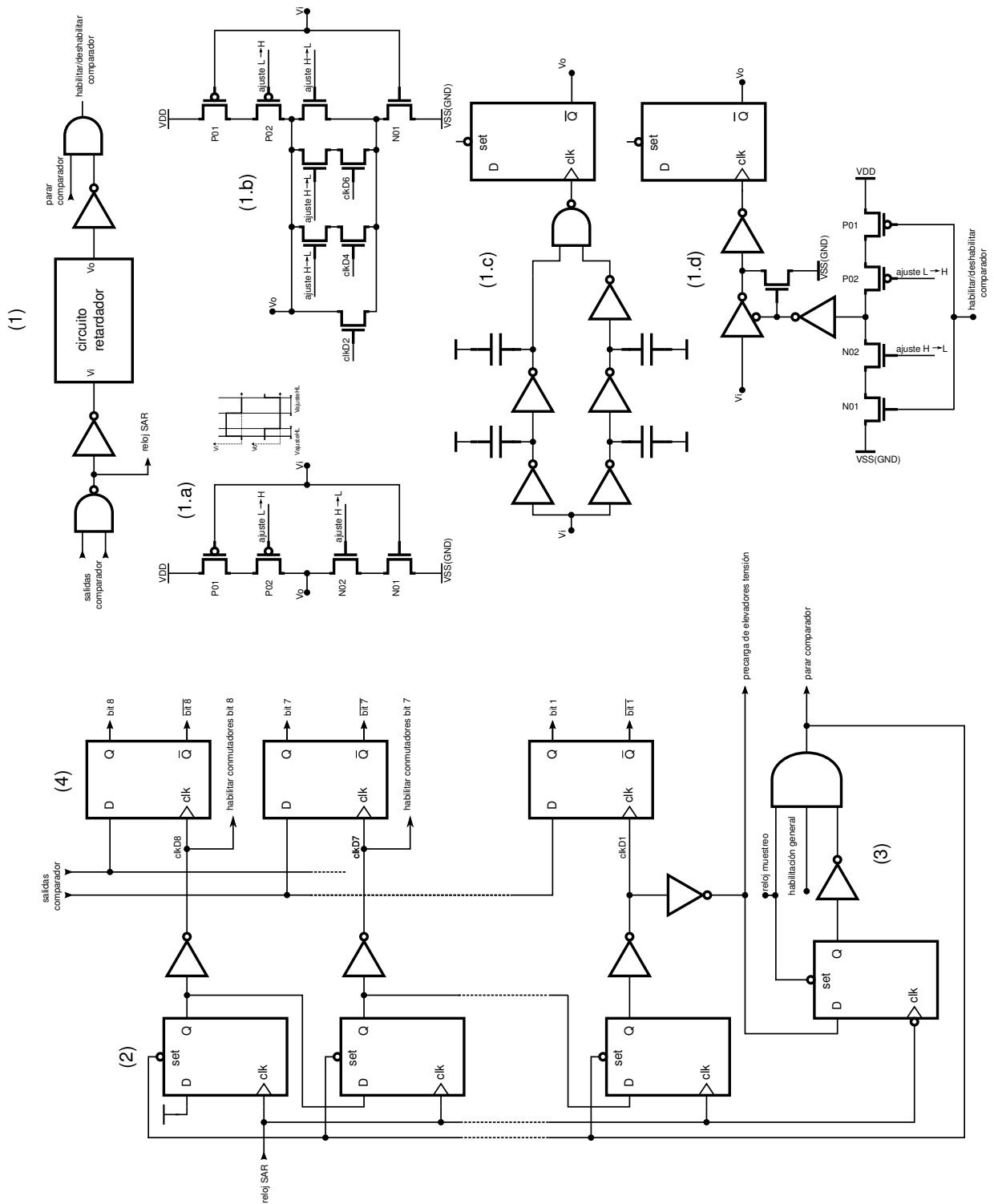


Figura 3.1: Circuitos de control.(1) Temporizador, (2) Registro desplazamiento, (3) Maquina de estado y (4) Memoria



## Ventajas y desventajas del control síncrono y asíncrono

En la literatura consultada sobre diseño de convertidores de bajo consumo, la implementación asíncrona digital del circuito de control resulta la más común (ref[3], ref[6], ref[7], ref[10]).

Principales ventajas de la lógica asíncrona: (1) Evita desplegar pistas y circuitería asociada a la señal de reloj (amplificadores, repetidores,...), esto lleva a reducir la superficie ocupada por el circuito y el consumo. (2) No existe actividad en puntos del circuito que no estén funcionando, el ruido es menor y la potencia únicamente es empleada para el trabajo productivo. (3) Disminuye el consumo asociado a la generación de la señal de reloj. (4) La lógica digital síncrona concentra toda actividad en torno a los flancos de reloj. Esto es fuente de ruido a frecuencias armónicas del reloj. Mayor radiación electromagnética no deseada. (5) La lógica asíncrona permite cierta relajación en cumplimiento de tiempos intermedios, siempre que llegue a tiempo a realizar la función final. Ejemplo, puede cada bit tener un tiempo de decisión distinto, si el ciclo completo de conversión sale antes de comenzar el siguiente ciclo.

Entre las desventajas de la lógica asíncrona esta la escasez de herramientas de desarrollo automatizadas y una mayor dificultad a la hora de comprobar su correcto funcionamiento.

## Descripción del circuito de control

La misión de la circuitería de control digital es (1) llevar la cuenta del bit actual en conversión, (2) almacenar el resultado de bit y el código final, (3) marcar las etapas y tiempos de conversión de bit y total y (4) gobernar los interruptores de adquisición y conmutación del D/A.

Relación de circuitos de circuitería de control (Figura 3.1):

- (1) **Circuito temporizador del comparador** (generador reloj intra-bit).
- (2) **Circuito registros de desplazamiento** (SAR).
- (3) **Circuito máquina de estados maestro.**
- (4) **Circuito de memoria.**

Descripción de los circuitos de control:

(1) **Circuito generador de la señal de reloj interno** (intra-bit), figura 3.1-1, marca los tiempos de comparación y puesta a cero del comparador para cada bit y genera el pulso de reloj para el circuito de desplazamiento.

Una puerta NAND2 conectada a la salida diferencial del comparador, como detector de final de decisión, señala el final del tiempo de comparación. Es una transición ascendente. La puesta a cero del comparador es señalado por una transición descendente del NAND2.

Es necesario un circuito de retardo para (1) conceder un margen temporal (el punto de conmutación de la puerta NAND2 difiere de ocurrir en los extremos de las tensiones de alimentación como se supone idealmente) y asegurar la puesta a cero del comparador.



Evita una asimetría artificial inicial de tensión entre ambas ramas del comparador garantizando una tensión de partida igual y (2) flexibilizar el diseño de la circuitería de conmutación del D/A. Menor tiempo disponible de conmutación para D/A, necesariamente obliga a mayores tamaños de interruptor MOS.

### **Circuito retardador temporal** comparativa figura 3.2.(a):

*Circuito figura 3.1-1.(a)* sencillo circuito basado en un inversor triestado donde los transistores de control son empleados como resistencias controladas por tensión. Fijan tiempos de subida y bajada, puesta a cero y decisión. Es el circuito implementado en la solución final.

*Circuito figura 3.1-1.(b)* una variante del circuito figura 3.1-1.(a) en el que el tiempo de puesta a cero es variable. El tiempo de puesta a cero depende del bit en curso. A medida que avanza la conversión es reducido el tiempo habilitando caminos paralelos de descarga. Cada camino habilitado reduce la resistencia inicial de ( $R_{H \rightarrow L}$ ) en progresión  $R_{H \rightarrow L} \rightarrow R_{H \rightarrow L}/2 \rightarrow R_{H \rightarrow L}/3 \rightarrow R_{H \rightarrow L}/4 \dots$  Puede emplearse tantos tiempos diferentes como bits tenga el convertidor. Un acercamiento de compromiso entre complejidad de circuito, tamaño y consumo es emplear 4 pasos. La mayor rapidez de conmutación conforme el condensador es de inferior tamaño, hace posible esta solución.

*Circuito figura 3.1-1.(c)* detector de flancos de subida y bajada con biestable de estado. El detector de flancos genera un pulso en ambas transiciones del detector de decisión. Sirve de señal de reloj del biestable. Este retiene el estado de funcionamiento, puesta a cero o comparar. El biestable, tipo JK.

*Circuito figura 3.1-1.(d)* es una mejora del circuito figura 3.1-1.(c) (puede ser alternativa a 1-1.(a) y 1-1.(b) sin biestable). Elimina los condensadores. Permite ahorra consumo dinámico. La puerta inversora triestado es transparente durante el periodo de decisión. La señal del detector de decisión pasa a través de la puerta triestado y actúa sobre el biestable conmutando al estado de puesta a cero al comparador. Simultáneamente pone en marcha el circuito de temporización. Cuando cumple el tiempo, el inversor triestado es llevado a alta impedancia e interrumpe el camino del detector hacia el biestable, mientras la activación del transistor NMOS genera un pulso para el biestable que torna al estado de comparación y el circuito de temporización al estado inicial. El tiempo temporizado debe ser mayor que el tiempo de reset del comparador a fin de asegurar que pase el pulso completo del detector de decisión a través de la puerta triestado. La circuitería de habilitación del comparador contiene una puerta AND2 (NAND + NOT). La señal de control es gobernada por la máquina de estados maestro. La señal a controlar la de temporización.

### (2) **Circuito registro de desplazamiento o contador:**

Figura 3.1-2 (biestables dispuestos en columna), habilita en cada momento la celda de memoria adecuada donde registrar el resultado de comparación. Formado por Flip-Flops D con puesta a uno asíncrono. La salida de la etapa anterior sirve de entrada al Flip-Flop siguiente. Los Flip-Flops van activándose secuencialmente a cada golpe de reloj. Alcanzado el final de cuenta son todos inicializados coincidiendo con la última



transición descendente del detector de decisión. La inicialización y habilitación son señalizadas por la máquina de estados maestro.

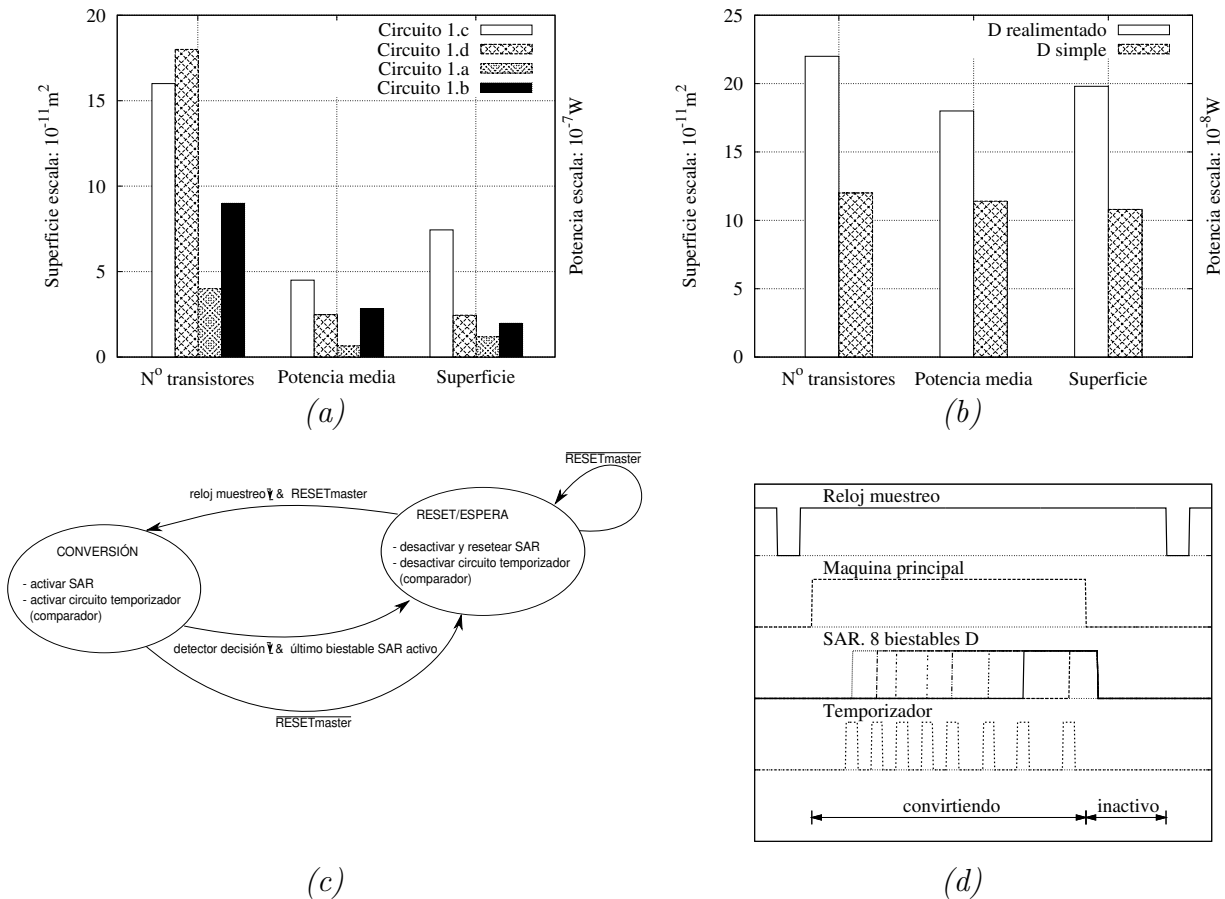


Figura 3.2: (a) Comparación entre el desempeño de los circuitos temporizadores figura 3.1. (b) Comparación biestables D simple o realimentado (inversores realimentados). Condiciones ensayo (a) y (b): circuitos aislados, señal entrada 1MHz, ciclo 50% y salidas cargadas  $C_{carga} = 10fF$ . (c) Diagrama de estados del convertidor. (d) Evolución de señales de control y digitales sobre una conversión.

(3) **Circuito máquina de estado maestro:** Figura 3.1-3. Registra dos estados: (1) estado de puesta a cero y adquisición y (2) estado de conversión. El paso de estado 1 al estado 2, si la señal RESETmaestro no esta activa y segundo flanco del reloj de adquisición (muestra tomada). El paso inverso, entre estado 2 y 1, el registro de desplazamiento termina la cuenta y el detector de decisión realiza una transición descendente. La circuitería de la máquina de estados consta de un Flip-Flop D, una puerta AND3 (NAND3 + NOT). Emplea la señal de fin de cuenta, el reloj de muestreo y la señal de puesta a cero general, RESETmaestro como variables de entrada. Proporciona señal de



salida para controlar la puesta a cero e inicialización del registro de desplazamiento y habilitación del comparador.

(4) **Circuito de memoria:** Figura 3.1-4, biestables en columna en la figura. Celda de memoria de biestable D. No se inicializan, la nueva información es sobrescrita. El dato es tomada de la salida diferencial del comparador. Se aplica un reparto equilibrado de cargas sobre las salidas del comparador con  $N_{bits}/2$  biestables conectados a cada salida.

La elección del biestable permite un ahorro de consumo y espacio si se escoge un biestable D simple en lugar de uno con inversores realimentados. Se sacrifica la robustez ante el ruido, la conmutación accidental. Comparativa figura 3.2.(b).

Biestables seleccionados de ref[13].

## Funcionamiento y señales del sistema de control

**Estado de espera** (inicialización y adquisición): La señal de puesta a cero general o maestra, activa (RESETmaestro = 0, nivel bajo), anula el inicio de conversión pero no el circuito de muestreo que adquiere regularmente, en cada pulso de la señal de muestreo, el correspondiente valor de la señal analógica (intercalando a la señal de muestreo una sencilla puerta AND2 controlado por RESETmaestro, es posible la inhibición de toda actividad en el sistema o parando el reloj de muestreo).

La conversión anterior termina con la inicialización del registro de desplazamiento y la parada del comparador.

Un flanco descendente del reloj da comienzo a la adquisición de una nueva muestra y termina con el flanco ascendente con la apertura de los interruptores de adquisición. La muestra queda registrada en el banco de condensadores D/A. Simultáneamente, con el mismo flanco ascendente inicializa el biestable de la máquina de estados maestro. La señal de inicialización del registro de desplazamiento es desactivada y habilitado el comparador. Comienza la comparación que determina el bit MSB.

**Estado de conversión:** El comparador toma la decisión y el detector de decisión lo señala mediante una transición ascendente. La transición acciona el registro de desplazamiento activando el primer Flip-Flop. El Flip-Flop genera una transición en la puerta de reloj de memoria y este registra el resultado de la comparación. Simultáneamente quedan activados la circuitería de conmutación del D/A y da comienzo la inicialización del comparador. La transición descendente del detector de decisión, informa sobre el final de inicialización del comparador. El D/A tiene las nuevas tensiones de referencia. Comienza el ciclo para el siguiente bit.

Cuando el sistema registra el bit menos significativo, el registro de desplazamiento está al final de cuenta (todos los Flip-Flops activos) y la señal descendente del detector de decisión introduce al sistema en estado de espera. Se elimina la muestra analógica de la bancada de condensadores del D/A.

Durante el último pulso del temporizador del comparador son inicializados los circuitos de elevación de tensión de puerta de los interruptores que lo implementen, excepto



los de interruptores de adquisición.

## 3.2. Comparador para A/D

Los comparadores más empleados en A/D son del tipo regenerativo de dos etapas constan de (1) amplificador, al menos uno, para pre-amplificar la señal analógica, normalmente par diferencial y (2) etapa regeneradora de realimentación positiva para empujar la salida de la primera etapa hasta los límites de la tensión de alimentación. ref[11, 1, 4, 5, 7, 8, 9].

Los comparadores regenerativos ofrecen, (1) baja complejidad de circuitería y pocos dispositivos, (2) alta velocidad, (3) gran ganancia (virtualmente infinita debido a la regeneración positiva), (4) bajo consumo y (5) no necesitan ser estables en lazo cerrado.

Los problemas, (1) fase de amplificación no lineal, (2) presentan ruido de Kick-back más acentuada según topología, ref[14] (acople de las pronunciadas diferencias de voltaje de salida a la entrada por medio de capacidades parásitas  $C_{GS}$  y  $C_{GD}$ ).

Para A/D de bajo consumo reducir los dispositivos y la complejidad favorece la reducción del consumo por corrientes de fuga y disminuye la superficie ocupada. En diseños de baja tensión las clásicas configuraciones cascodo, tan comunes en el diseño analógico, no pueden emplearse por el reducido margen de tensiones que se dispone. Una alternativa es el empleo de circuitos con retroalimentación positiva para sortear esa limitación.

Los comparadores de regeneración tienen un carácter digital en su comportamiento. No guarda ninguna relación lineal entre el valor de la señal de entrada y salida. Su funcionamiento está limitado a decidir cual es el signo de la diferencia entre las señales de entrada. La no linealidad entrada/salida no es un aspecto negativo para el empleo en un A/D.

El ruido Kick-back es un problema. Existen configuraciones que son menos sensibles a este problema, comparadores que aíslan la entrada de la salida, o se añaden elementos adicionales al comparador, para reducir el deterioro ref[4] o técnicas de neutralización empleando un par de condensadores cruzados con valor  $C_{GD}$  entre drenador y puerta del par de entrada opuesta ref[14]. Cualquier solución conlleva un incremento de la complejidad de circuitería y normalmente, del consumo. Deben sopesarse las ventajas e inconvenientes de la decisión.

Una clasificación de comparadores regenerativos se hace en base a si tienen un consumo estático o dinámico. Los de consumo estático, mantienen un consumo más o menos estable durante todo momento. Los dinámico reducen su consumo a cero mientras no están en fase de comparación mediante circuitería de interrupción. La ventaja ahorrativa de los segundos se cumple hasta cierta frecuencia. A partir de dicha frecuencia la ventaja desaparece y empeora. El comparador correcto para una aplicación está en el equilibrio entre fuente de energía disponible, consumo, velocidad/frecuencia, ganancia/resolución, complejidad y tamaño.



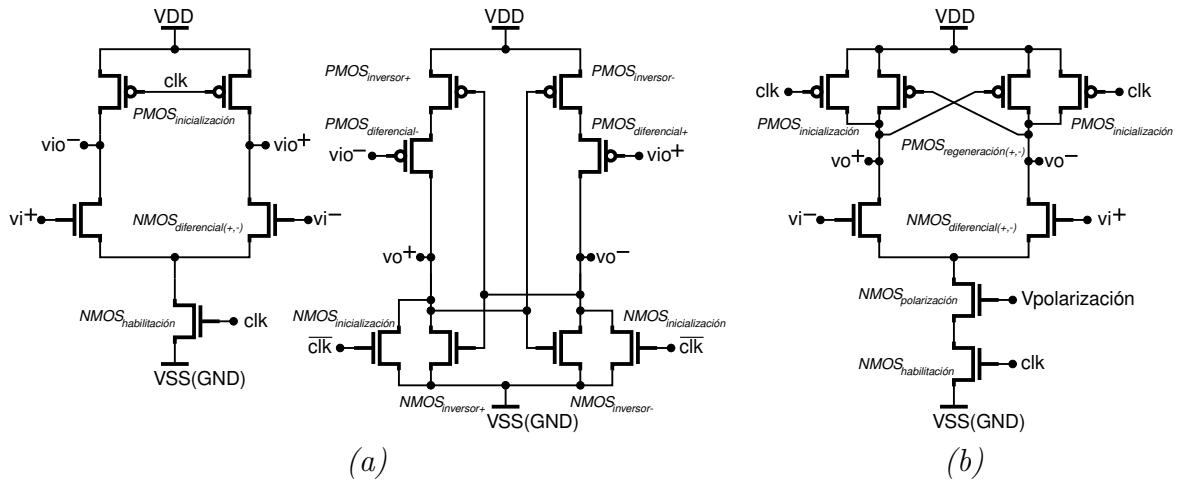


Figura 3.3: (a) Comparador ref[11]. (b) Comparador ref[1].

## Elección del comparador

### Comparador ref[11]. Funcionamiento y características generales.

Comparador con par diferencial más circuito regenerativo y pre-amplificador diferencial. Comparador dinámico, consumo cero en periodos estacionarios (en espera y tras tomar la decisión). Emplea señal de reloj y su complementario.

Previa comparación el circuito es inicializado por los transistores de inicialización. El periodo de inicialización lo marca la señal de reloj bajo. Los drenadores del par diferencial NMOS a la tensión superior de alimentación  $v_{io+} = v_{io-} = V_{DD}$  y las salidas a la tensión inferior  $v_{o+} = v_{o-} = V_{SS}$ . La inicialización es para eliminar cargas que pueden producir histéresis y alteran el resultado de la comparación.

La fase de comparación comienza con la conmutación de la señal de reloj. Con el reloj alto la circuitería de inicialización es desactivada y habilitado el pre-amplificador ( $NMOS_{habilitación}$ ). El par NMOS comienza a descargar la carga acumulada en drenadores. Cada drenador experimenta una razón de descarga proporcional al voltaje común y suma de la mitad de la tensión diferencial para un transistor  $V_{CM} + V_{diferencial}/2$  y la resta para el otro  $V_{CM} - V_{diferencial}/2$ . A medida que avanza el tiempo, la tensión común va en reducción mientras que la tensión diferencial entre drenadores aumenta. Al alcanzar la tensión común el valor  $V_{DD} + V_{THpmos}$ , el par PMOS diferencial sale del estado de corte amplificando la señal y habilita el comienzo de la regeneración. Al terminar la regeneración hay una distancia  $|V_{DD} - V_{SS}|$  entre las salidas diferenciales  $|v_{o+} - v_{o-}|$ .

La disipación de potencia termina en el pre-amplificador con la descarga de los drenadores NMOS diferenciales. En la segunda etapa, cuando los nodos de salida alcanzan las tensiones de alimentación.

Es importante la polarización en inversión fuerte de los transistores de la etapa regeneradora a fin de conseguir la suficiente ganancia para señales de entrada débiles.



La segunda etapa no es eficiente en consumo.

El emplear un pre-amplificador relaja la ganancia necesaria en el par PMOS. El par de entrada NMOS está polarizado en inversión débil mediante el transistor de cola polarizado en triodo en todo momento dentro del tiempo de comparación. El par NMOS en inversión débil mejora el ruido equivalente de entrada.

### Comparador ref[1]. Funcionamiento y características generales.

Este trabajo emplea el circuito complementario al que se encuentra en el artículo original. La menor tensión umbral del NMOS en la tecnología  $0.5\mu m$ , permite ganar unas décimas de voltio para disponer transistores en serie. NMOS tienen mayor poder de conducción (mayor movilidad de cargas y menor tensión umbral).

Consta de un par diferencial NMOS en la entrada, cargado con un circuito de regeneración positiva (dos PMOS con las puertas cruzadas). Es comparador dinámico.

La fase de inicialización con el reloj bajo, el transistor de habilitación de cola interrumpe el camino de cortocircuito mientras los dispositivos PMOS de inicialización imponen la tensión de alimentación positiva  $V_{DD}$  en ambos drenadores del par diferencial. La fase de comparación comienza con la transición de reloj al nivel alto, son desactivados los dispositivos de inicialización y el transistor  $NMOS_{habilitación}$  entra en triodo. El transistor  $NMOS_{polarización}$  está siempre en saturación durante la comparación con una corriente constante a través de él. El par diferencial comienzan a descargar los drenadores y a amplificar la tensión diferencial. Cuando la tensión en drenadores del par diferencial, alcanza la tensión umbral de los transistores de regeneración, comienza la regeneración. El transistor de regeneración con una tensión menor en puerta, conduce con mayor fuerza y su drenador, que es la puerta del transistor compañero se acerca hacia la tensión de alimentación más rápidamente y empuja al compañero hacia el estado de corte. A medida que un transistor de regeneración va entrando más profundamente en corte, favorece o refuerza el estado triodo del compañero, el cual responde empujando al otro hacia corte. Se está produciendo la regeneración por realimentación positiva. La comparación termina con distancia de  $|V_{DD} - V_{SS}|$  entre ambas salidas. Una vez alcanzado este estado final existe circulación de corriente por una rama.

El comparador está diseñado para una novedosa forma de conmutación del D/A de condensadores monotónica, de forma que la tensión común del par diferencial aumenta hacia la tensión más alta de alimentación a medida que la conversión avanza. Esto produce una variación de la tensión eficaz  $V_{GS} - V_{TH}$  del par de entrada. Provoca variación en la tensión de offset y deteriora la linealidad. El objetivo del transistor de polarización es disminuir dicho efecto sosteniendo la corriente de polarización común del par de entrada casi constante durante toda la conversión.

## Consumo de potencia ref[13]

La potencia total consumida en un circuito,  $P_{total} = P_{dinámica} + P_{estática}$ . A la potencia dinámica contribuye la carga y descarga de todas las capacidades del circuito  $P_{carga/descarga} = \alpha \cdot C_{circuito} \cdot f \cdot V_{DD}^2$ , donde  $0 < \alpha \leq 1$  cuantifica la actividad del número



ro de conmutaciones. El provocado por cortocircuitos de alimentación por una activación simultánea PMOS y NMOS. El consumo de carga y descarga depende de la tecnología empleada y del diseño del circuito, una tecnología de menor  $V_{TH}$  conlleva la reducción de  $V_{DD}$ . Un diseño lógico asíncrono reduce la actividad ( $\alpha$  menor). El consumo por cortocircuitos solo depende de un correcto diseño. Para circuitos donde  $V_{TH_{nmos}} + |V_{TH_{pmos}}| > V_{DD}$  no existe potencia de cortocircuito.

La potencia estática  $P_{estática} = V_{DD} \cdot I_{DD}$ , debido a la corriente de fuga cuando el transistor está en corte. Depende tanto de la tecnología como del diseño del circuito. Las tecnologías con menor  $V_{TH}$  sufren de mayor consumo estático.

### 3.3. Elección de la tensión de alimentación

La tensión de alimentación tiene impacto directo en el consumo estático como dinámico del circuito. Para un diseño de bajo consumo es común la estrategia de la reducción de tensión para el ahorro de potencia. El avance tecnológico viene acompañado con una reducción de la tensión umbral  $V_{TH}$  que permite reducir la tensión de alimentación directamente. Consigue una reducción directa de la potencia dinámica, pero simultáneamente incrementa la potencia estática por mayores corrientes de fuga (leakage) debido a que el transistor queda en un estado de corte ligero. Existen multitud de estrategias, tanto tecnológicas como de diseño, para reducir el impacto del consumo estático por corrientes de fuga.

La reducción de tensión es bastante bien tolerada por circuitos digitales a pesar de verse reducido el margen de ruido y que las variaciones y los desajustes se acentúan por debajo de cierta tensión. Los circuitos analógicos son más sensibles: deterioro de linealidad, de inmunidad de ruido, del ancho de banda o/y rango dinámico.

#### Comparadores ref[11, 1] rediseñados para $V_{DD} = 1.2V$ y tecnología $0.5\mu m$

Comparador ref[1]: original tecnología  $65nm$   $V_{TH_{nmos}} = 0.32V$ ,  $V_{TH_{pmos}} = -0.36V$ ,  $V_{TH_{nmos}} + |V_{TH_{pmos}}| = 0.68V$  con  $V_{DD} = 1V$  la suma de tensiones umbrales equivale al 68% del rango disponible de alimentación.

Comparador ref[2]: original tecnología  $0.13\mu m$ ,  $V_{TH_{nmos}} = 0.34V$ ,  $V_{TH_{pmos}} = -0.36V$ ,  $V_{TH_{nmos}} + |V_{TH_{pmos}}| = 0.70V$  con  $V_{DD} = 1.2V$  la suma de tensiones umbrales equivale al 58% del rango disponible de alimentación.

Para tecnología  $0.5\mu m$ ,  $V_{TH_{nmos}} = 0.75V$ ,  $V_{TH_{pmos}} = -0.96V$ ,  $V_{TH_{nmos}} + |V_{TH_{pmos}}| = 1.61V$  con  $V_{DD} = 1.2V$  la tensión suma de umbrales equivale al 143% del rango disponible de alimentación.

Los comparadores son reajustados para funcionar en tecnología  $0.5\mu m$ , empleando transistores en inversión débil. Comparador ref[11] tiene el par NMOS funcionando en inversión débil. El circuito ref[1] ningún transistor funciona en inversión débil.



$$V_{DD} = 1.2V, V_{SS} = 0V, N_{bit} = 8, V_{LSB} = 1.2/2^8 \simeq 5mV.$$

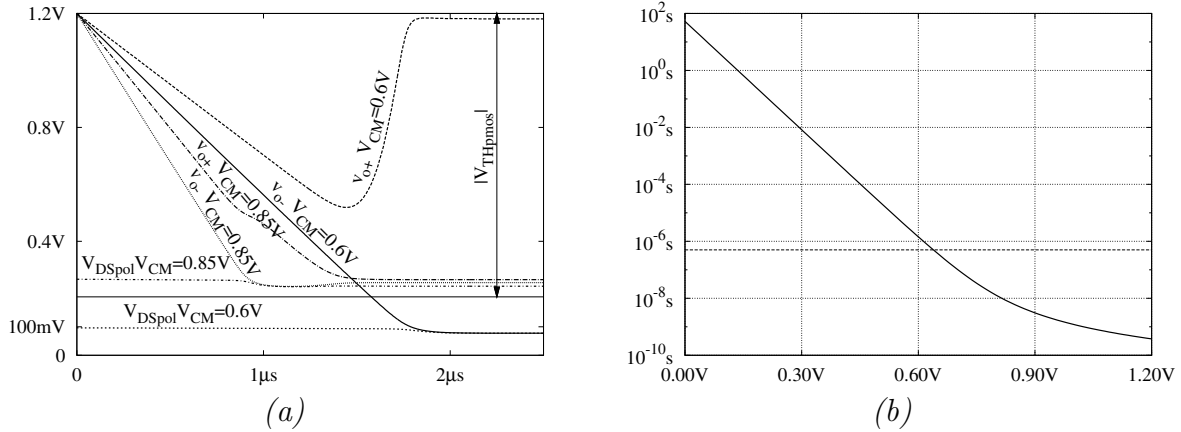


Figura 3.4: (a) Evolución de las tensiones de salida comparador ref[1] para  $V_{CM} = 0.6V$  y  $V_{CM} = 0.85V$  con par dimensionado para cuando  $V_{CM} = 0.6V$  el transistor de polarización  $V_{DS} \geq 100mV$ . (b)  $t(v_{GS}) = (L^2 \cdot \sqrt{K_c}) / (I_o \cdot f(v_{GS}))$  y línea a  $0.5\mu s$ .

En ambos comparadores no es posible alcanzar el equilibrio entre tiempos, polarización y dimensiones para cumplir los requerimientos mínimos presupuestos.

Polarizar el par de entrada diferencial con tensión común centrada en el rango de alimentación, exige al par diferencial de entrada trabajar en inversión débil (subthreshold) profunda,  $V_{GS} = 0.6V$  suponiendo que el transistor de cola  $NMOS_{habilitación}$  en triodo  $V_{DS} \simeq 0$  para el comparador ref[11] y  $V_{GS} = 0.5V$  reservando tensión  $V_{DS} \simeq 4 \cdot U_t \simeq 100mV$  (saturado en inversión débil) para el transistor de polarización en el comparador ref[1].

El dimensionamiento para variabilidad impone el límite inferior del tamaño del par de entrada. Para llegar a los parámetros de funcionamiento es necesaria una corriente en drenador mínima. El diseño entra en un bucle sin fin cuando para alargar el ancho de banda  $f = g_m/2 \cdot \pi \cdot (C_{GS} + C_{GD})$  hay que actuar sobre la transconductancia  $g_m \simeq i_d/n \cdot U_t$  indirectamente desde la corriente de drenador. La corriente drenador  $i_d = I_o \cdot W/L \cdot f(v_{GS})$  permite solo actuar sobre las dimensiones. La tensión puerta-surtidor está fijada por la tensión común. Al aumentar de dimensiones eleva las capacidades parásitas en el nodo de salida, provocando un peor ancho de banda.

El algoritmo monotónico de conmutación necesita un comparador capaz de trabajar con tensiones comunes en todo el rango medio superior  $(V_{DD} - V_{SS})/2 \leq V_{CM} < V_{DD}$ . Un par dimensionado en  $V_{CM} = 0.6V$  y tensión diferencial mínima  $V_{diferencial} = V_{LSB}$ , la tensión surtidor-puerta es de  $V_{GS} \simeq 0.5V$  para el comparador ref[1]. Cuando la tensión común rebasa el valor aproximado de  $V_{CM} \simeq V_{DD} + V_{THpmos} + V_{GS}$  la tensión común en surtidor es mayor que la tensión umbral de los transistores PMOS del circuito regenerador y la regeneración no se da. Esta situación se refleja en la figura 3.4.(a).



Las tensiones por encima de  $V_{CM} \simeq V_{DD} + V_{THpmos} + V_{GS}$  son inalcanzables para el comparador.

En un algoritmo donde la tensión común es constante no existe la problemática anterior. Las tensiones diferenciales oscilan por encima y por debajo de esta tensión común.

Para el comparador ref[11], el transistor de habilitación está en triodo, el drenador puede bajar hasta la tensión más baja. La tensión de drenadores del par diferencial NMOS baja por debajo de la tensión umbral del par PMOS y la regeneración se da. Pero es difícil el ajuste para el rango completo. Cuando la tensión común es alta la conducción es muy potente, de mucha corriente y rápida y la ganancia diferencial conseguida exigua. Así la etapa regeneradora tiene una respuesta lenta en el tramo meta-estable y no cumple la temporización exigida. Tiene, en un escenario de circuito real con desajustes, la posibilidad que el resultado sea incorrecto.

La figura 3.4.(b) muestra el tiempo necesario para que el drenador del par diferencial del comparador ref[1] se descargue hasta aproximadamente  $V_{THpmos}$ , punto de regeneración. Tomado la relación  $dv/dt = I/C$  donde la corriente drenador  $i_d = I_o \cdot W/L \cdot f(v_{GS})$ , la capacidad es  $C = C_{drenador} = W \cdot L \cdot f(V_D, \phi, temp, \dots)$  y  $v = |V_{THpmos}| \simeq 1V$ , el tiempo  $t(v = V_{DD}) - t(v = V_{DD} + V_{THpmos}) = C/I = L^2 \cdot f(i_d, temp, \dots) / I_o \cdot f(v_{GS})$  empleado en descargar la tensión común hasta la tensión umbral del transistor PMOS de regeneración. La corriente específica  $I_o$  es constante. La función de la capacidad de drenador se aproxima por una constante en el rango de funcionamiento. El ajuste de la constante por medio de simulaciones,  $f(V_D, \phi, temp, \dots) \approx \sqrt{K_c}$ . La variable dimensional  $W$  desaparece,  $L$  conviene mantenerlo pequeño para no aumentar el tiempo. El único parámetro libre es la tensión puerta-surtidor.

La figura 3.4.(b) muestra  $t(v_{GS}) = (L^2 \cdot \sqrt{K_c}) / (I_o \cdot f(v_{GS}))$ . Se concluye que para satisfacer requerimientos temporales es necesario un aumento de la tensión de alimentación o manteniendo la tensión de alimentación, redefinir tiempos, relajar tiempos.

La gráfica no tiene en cuenta el tiempo de regeneración. Habría que añadir al mostrado en la gráfica para un valor de tiempo de comparación total.

### 3.4. Comparador ref[1]

La decisión es emplear el comparador ref[1] para el A/D por, (1) ser el mejor adaptado al algoritmo monótonico de conmutación, (2) mejor consumo solamente dos ramas de corriente y dos nodos a inicializar y (3) más sencillo, compacto y pocos transistores.

La tensión de alimentación de  $V_{DD} = 1.5V$ , ( $V_{SS} = 0V$ ). El aumento desde  $V_{DD} = 1.2V$  penaliza el consumo digital pero beneficia a la circuitería analógica en funcionamiento y consumo.  $V_{THnmos} + |V_{THpmos}| \simeq V_{DD}$  en tecnología  $0.5\mu m$ .

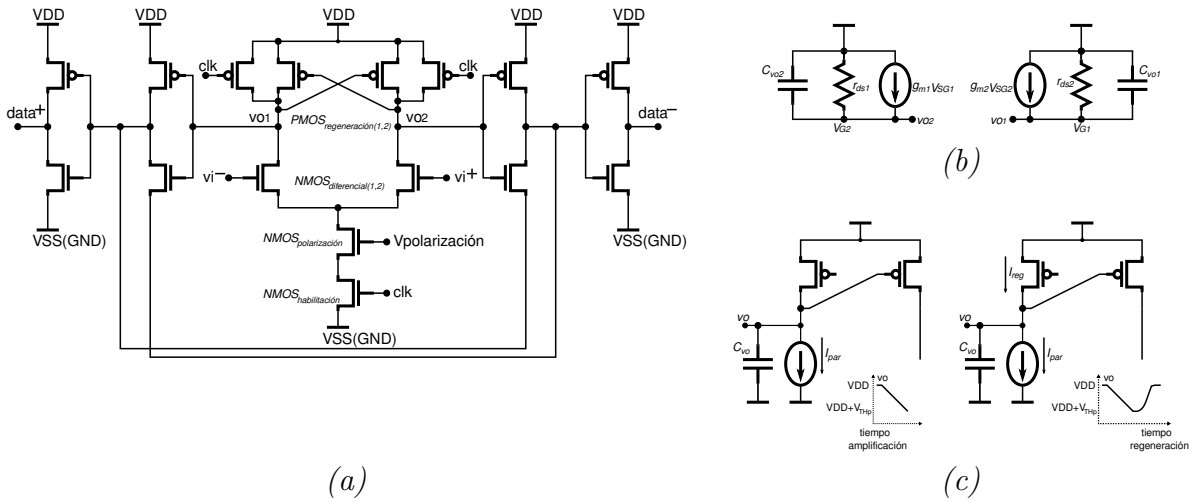


Figura 3.5: (a) Comparador completo. (b) Circuito equivalente del circuito PMOS de regeneración. (c) Corrientes en el circuito.

## Diseño

### Par diferencial

El par de entrada necesita (1) alta ganancia para buen desempeño frente al ruido y (2) dimensiones grandes para favorecer la igualdad entre transistores, reducir el offset y obtener ganancia en inversión débil.

El par funcionando en inversión débil. Reparto de tensión  $V_{CM} = V_{GSpar} + V_{DSpolarización}$ , para  $NMOS_{polarización}$ ,  $V_{DS} \geq 100mV$ , para el par diferencial,  $V_{GS} \simeq 0.65V$ , por estar en inversión débil, consigue la mayor ganancia posible para una corriente dada.

La tensión de offset,

$$\sigma_{V_{offset}} = \sqrt{\left(\frac{A_{V_{THn}}}{\sqrt{W_n L_n}}\right)^2 + \left(\frac{A_{\beta n}}{\sqrt{W_n L_n}} \frac{I_d}{g_{mn}}\right)^2 + \left(\frac{A_{V_{THp}}}{\sqrt{W_p L_p}} \frac{g_{mp}}{g_{mn}}\right)^2 + \left(\frac{A_{\beta p}}{\sqrt{W_p L_p}} \frac{I_d}{g_{mn}}\right)^2} \quad [V]$$

Para tecnología  $0.5\mu m$ ,  $A_{V_{THn}} = 11mV\mu m$ ,  $A_{V_{THp}} = 14mV\mu m$ ,  $A_{\beta n} = A_{\beta p} = 2\%\mu m$ . Dentro de la raíz, término primero, desajuste debido a la tensión umbral del par NMOS de entrada. El segundo el desajuste en la corriente drenador causa del desajuste en la transconductancia. El tercero, el desajuste de la tensión umbral entre transistores PMOS de regeneración reflejado a la puerta. El cuarto término, el desajuste en la corriente por el los transistores PMOS de regeneración causa del desajuste de transconductancia.

Simplificación para diseño: (1) durante la fase de amplificación diferencial, hasta comenzar el periodo de regeneración,  $g_{mn} \gg g_{mp}$ , despreciar  $(A_{V_{THp}}/\sqrt{W_p L_p})(g_{mp}/g_{mn})$  frente  $A_{V_{THn}}/\sqrt{W_n L_n}$ . (2)  $A_{V_{TH}}$  y  $A_{\beta}$  están muy cerca, dentro de la misma década mientras que  $(I_d/g_m) = n \cdot U_t \ll 1$ , despreciar  $A_{\beta n}/\sqrt{W_n L_n}$  y  $A_{\beta p}/\sqrt{W_p L_p}$  frente  $A_{V_{THn}}/\sqrt{W_n L_n}$ .

Para mantener el error dentro de un paso de cuantificación con una confianza del 95%,  $3\sigma_{V_{offset}} \leq V_{LSB}/2$ . Con  $\sigma_{V_{offset}}^2 = A_{V_{THn}}^2/WL$ . Tomar  $L = 1.05\mu m$ . Una longitud



de equilibrio entre las ventajas de mejor ajuste entre pares y mayor ganancia intrínseca para una corriente dada y bajo deterioro del ancho de banda. Despejar,  $W = 28\mu m$ .

Para  $W = 28\mu m$ ,  $L = 1.05\mu m$  y  $V_{GS} = 0.65V$  la corriente teórica de drenador es  $I_d \simeq 85nA$  y la capacidad de drenador  $C_{drenador} \simeq 35fF$ . Una aproximación del tiempo de descarga,  $t = CV/I \simeq 0.4\mu s$  con  $V = V_{THpmos} \simeq 1V$ .

### Circuito de regeneración

Resolver el circuito equivalente figura 3.5.(b),

$$t = \frac{1}{\frac{g_{mp}}{C_{vo}} - \frac{1}{r_{ds}C_{vo}}} \ln \left( \frac{\Delta v_o}{\Delta v_o(t=0)} \right)$$

$\Delta v_o = v_{o1} - v_{o2}$  y  $C_{vo}$  suma de todas la capacidades, parásitas inclusive, de un nodo de salida. La velocidad del circuito de regeneración se mejora, (1) partiendo de una tensión inicial mayor (ganancia del par de entrada) o (2) mediante el ajuste de la razón  $g_{mp}/C_{vo}$ . Al valor del condensador contribuyen una parte fija del amplificador de salida pero otra estrechamente dependiente del tamaño del PMOS y del par NMOS.

La figura 3.5.(c) simplificación de una rama del circuito de regeneración. El condensador  $C_{vo}$  es la suma de capacidades de puerta del PMOS de regeneración, de la entrada del inversor de salida, el transistor de inicialización y del NMOS del par diferencial. Plantear ecuación para el periodo de amplificación,  $dv/dt = I/C$  en figura 3.5.(c)-1 al nodo de salida. Desde  $v_o = V_{DD}$  hasta  $V_{DD} + V_{THpmos} \simeq 0.5V$  es  $\Delta V = 1V$ , el tiempo  $t_{amplificación} = C_{vo}/I_{par}$ . El periodo de regeneración tiene el mismo salto de tensión hasta la alimentación positiva, figura 3.5.(c)-2,  $t_{regeneración} = C_{vo}/(I_{reg} - I_{par})$ . La relación matemática tiene todo el sentido físico, si la corriente aportada por el transistor de regeneración PMOS es inferior a la corriente que descarga del par NMOS, no existe acumulación de cargas en el nodo de salida y el circuito no funciona. No regenera.

$$t_{comparación} = t_{amplificación} + t_{regeneración} = \frac{C_{vo}}{I_{par}} \left( 1 + \frac{1}{\frac{I_{reg}}{I_{par}} - 1} \right)$$

Para dimensionar los transistores PMOS de regeneración, separar el condensador  $C_{vo}$  en una parte fija y otra dependiente del tamaño del PMOS de regeneración. Aproximar la capacidad de puerta transistor,  $C_{puerta} = (7/9) \cdot W \cdot L \cdot C_{ox}$ . Para aproximación de capacidad del drenador  $C_{drenador} = 2.45 \cdot 10^{-15} + W \cdot (28/25) \cdot 10^{-9}$ .

$C_{vo}(W) = C_{vofija} + C_{vovariable}(W) = 75 \cdot 10^{-15} + (7/9) \cdot W \cdot L \cdot C_{ox}$ . (Parte fija, suma de dos condensadores de puerta, inversor, y dos condensadores de drenador. Parte variable la capacidad de puerta del transistor PMOS de regeneración).

Suponer el caso donde se dispone de tiempo de amplificación y regeneración iguales (funcionamiento con reloj síncrono). El tiempo asignado a comparar es la mitad del tiempo de bit,  $t_{bit}/2 = 0.5\mu s$ , así  $t_{amplificación} = 0.25\mu s$ .

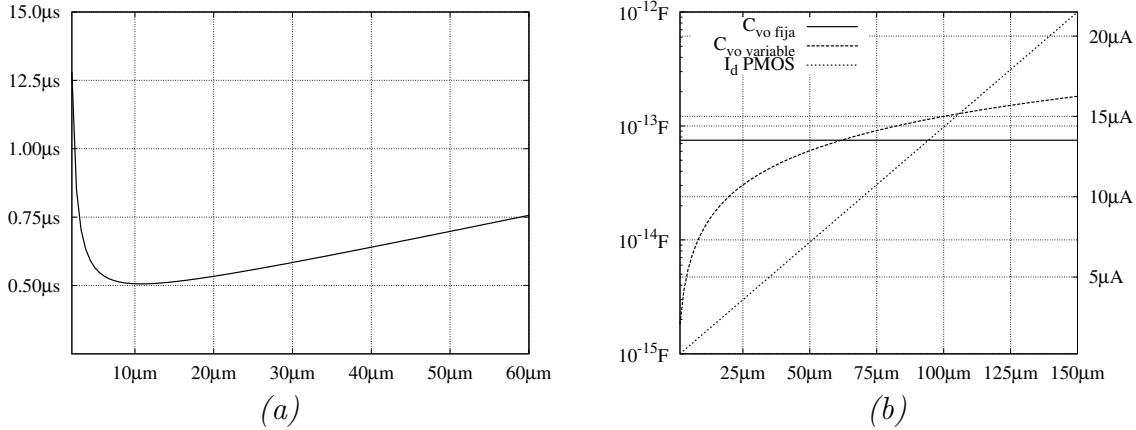


Figura 3.6: (a) Relación entre tamaño de  $PMOS_{regeneración}$  y tiempo de comparación. (b) Relación de capacidades parásitas y tamaño y corriente de  $NMOS_{par}$

La corriente  $I_{par} = C_{vo} \cdot |V_{THpmos}| / t_{amplificación} = 0.2 \mu A$ . El cálculo de la corriente  $I_{par}$  desprecia el término variable del condensador. La justificación está en la figura 3.6.(b), la capacidad fija domina en el rango hasta  $W < 25 \mu m$  y corriente  $I_d < 5 \mu A$ .

La corriente de regeneración atravesando el transistor PMOS de regeneración según el modelo MOS  $I_{reg}(W) = I_o \cdot (W/L) \cdot f(V_{SG})$ , con  $V_{SG} = 1$  y  $L = 0.6 \mu m$ .

La figura 3.6.(a) gráfica todas las variables en la relación

$$t_{comparación} = \frac{C_{vo}(W)}{I_{par}} \cdot \left( 1 + \frac{1}{\frac{I_{reg}(W)}{I_{par}} - 1} \right)$$

El tiempo mínimo extraído de la gráfica, para  $W \simeq 10 \mu m$ . Coincide  $I_{reg}/I_{par} \simeq 3$ .

### Transistores de habilitación y polarización

El transistor de habilitación, para  $W = 1.5 \mu m$ ,  $L = 0.6 \mu m$  y  $V_{GS} = 1.4 V$  resulta  $I_{habilitación} \gg I_{par}$  despejando del modelo MOS. Con este dimensionamiento tiene capacidad suficiente para transportar la corriente de los pares.

El transistor de polarización dimensionado para trabajar en inversión débil. En inversión débil el voltaje de saturación es  $V_{DSaturado} \simeq 4 \cdot n \cdot U_t \simeq 100 mV$ . Para evitar circuitos extras de polarización, tomar  $V_G = V_{CM}$ . Del ajuste del circuito regenerador,  $I_{par} = 0.2 \mu A$  por rama,  $I_{polarización} \geq 2 \cdot I_{par} = 0.4 \mu A$ . De la ecuación del modelo MOS,  $W = 2.5 \mu m$  para  $V_{GS} = 0.75 V$  y  $L = 0.6 \mu m$ .

### Circuitería de salida

Los drenadores del par NMOS son la salida del comparador y son puntos sensibles. Cualquier variación externa (variaciones de impedancia de salida), altera el resulta-





do de comparación. La circuitería de salida aísla los drenadores del resto del sistema (mantiene constante la impedancia). La figura 3.7.(b) compara montados sobre el mismo comparador y cargados por  $C_{carga} = 20fF$ , (1) inversor mínima dimensión  $W/L = 1.5/0.6$ , (2) inversor con PMOS  $W = 3/0.6$  y NMOS  $W = 1.5/0.6$ , (3) cadena de dos inversores de mínima dimensión  $W/L = 1.5/0.6$  y (4) circuito arbitro, ref[13]. La potencia que acompaña cada curva, corresponde al conjunto completo, comparador más salida. Las curvas reflejan la diferencia temporal entre las soluciones. Mejoran en tiempo con el aumento de las dimensiones.

Se decide por el circuito arbitro porque proporciona un cierto grado de apuntalamiento del resultado ante el ruido y no degrada en exceso el consumo ni espacio, si bien resulta en una ligera complicación de circuitería.

Dispositivo	Dimensiones	Unidades
$NMOS_{diferencial}$	27/1.05	$[\mu m]$
$PMOS_{regeneración}$	12/0.6	$[\mu m]$
$PMOS_{inicialización}$	1.5/0.6	$[\mu m]$
$NMOS_{polarización}$	3/0.6	$[\mu m]$
$NMOS_{habilitación}$	1.5/0.6	$[\mu m]$
$PMOS_{inversores}$	1.5/0.6	$[\mu m]$
$NMOS_{inversores}$	1.5/0.6	$[\mu m]$
$V_{polarización}$	0.750	$[V]$

## Resultados

Escenario de simulación, comparador figura 3.5 cargado a la salida con capacidad  $C_{carga} = 20fF$ . Un barrido transitorio .TRAN y variación de parámetros de tensión común y diferencial dentro del rango de tensiones de funcionamiento. Figura 3.7.(a) recoge resultados de simulación. El par diferencial se mantiene en inversión débil y el transistor de polarización en saturación mientras dura la comparación.

La tensión de offset siempre por debajo de  $V_{LSB}/2$  salvo para  $V_{CM} = 1.495V$  y  $V_{diferencial} = 5mV$  donde  $V_{GS}$  es grande, no cumple.

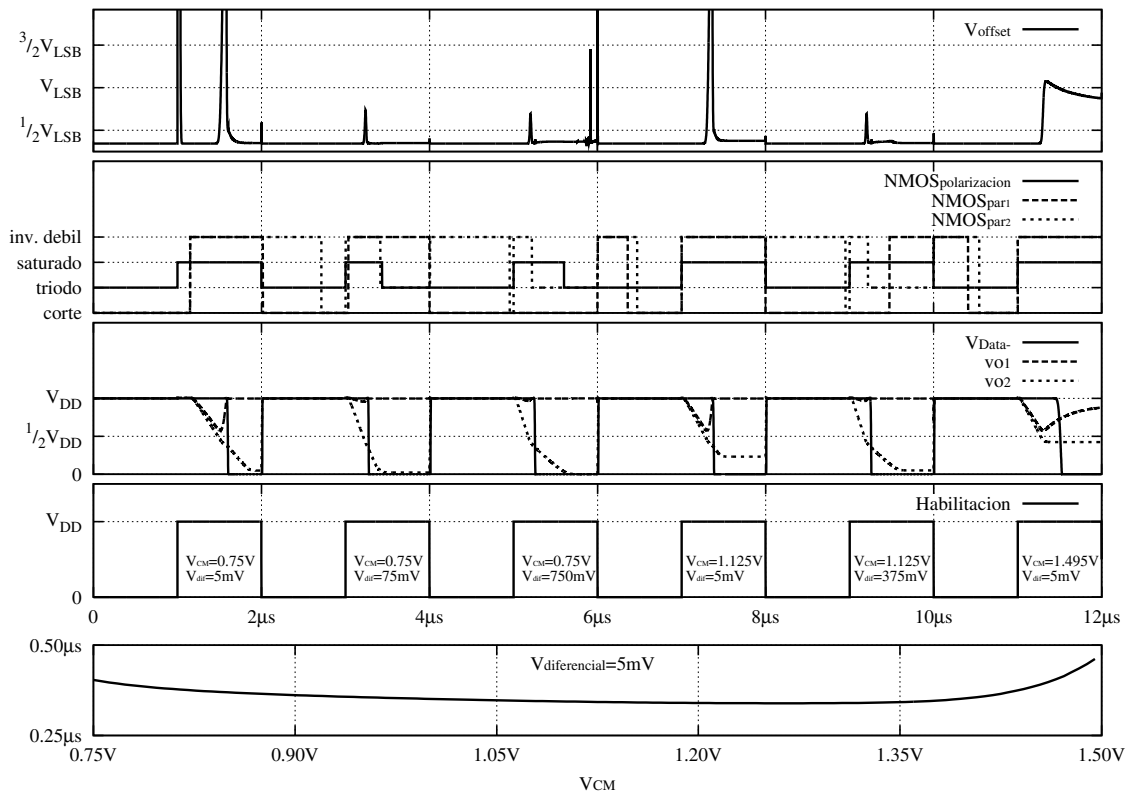
El comparador presenta un tiempo de conversión suficiente rápido, menor del  $T_{bit}/2$  para todo el rango de tensión común, figura 3.5.(a) inferior.

## Nodo común para el comparador, D/A e interruptor de muestreo. Capacidad parásita

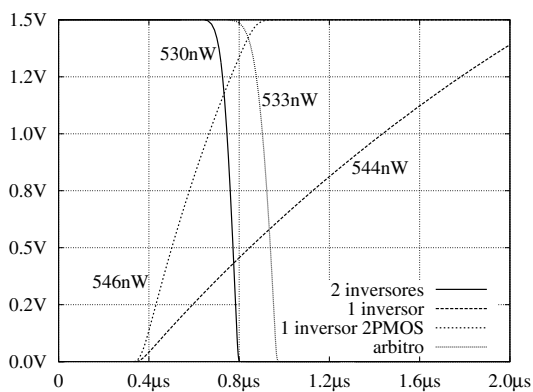
Los transistores MOS presentan capacidades dependientes de la tensión. La figura 3.7.(c) gráfica evolución de capacidades parásitas asociadas a puertas del amplificador



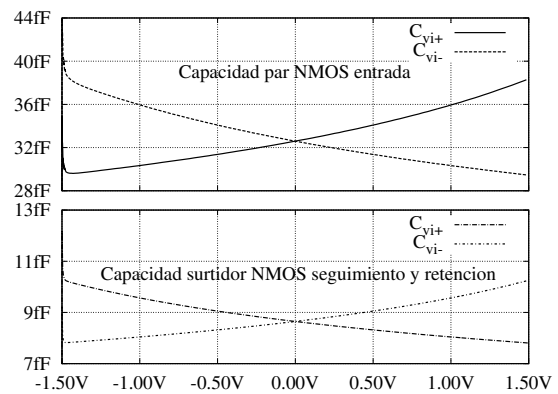
diferencial y al transistor interruptor del circuito de muestreo para el dimensionamiento final de diseño de todos los los circuitos.



(a)



(b)



(c)

Figura 3.7: (a) Evolución de tensiones de salida para diferentes  $V_{CM}$  y  $V_{diferencial}$ . (b) Desempeño de diferentes soluciones circuitería de salida del comparador. (c) Variación de capacidad en el nodo común del comparador, D/A y circuito interruptor de seguimiento.



La capacidad variable parásita produce una asimetría entre las cargas entre ambos nodos del circuito. El nodo a tensión inferior presenta mayor capacidad.

La solución para disminuir su efecto perjudicial es incrementar el ratio del menor condensador del D/A respecto a la capacidad parásita diferencial, no en valor absoluto (absoluto sería en caso de tener un convertidor no diferencial). En el caso práctico de figura 3.7.(c), la capacidad es  $\sim (10 + 2) fF$ . La decisión es el compromiso entre precisión o consumo.

## 3.5. Circuito D/A

### Análisis

El D/A genera niveles de tensión de referencia en la que se apoya el algoritmo de conversión. Existen D/A basados en corriente, tensión o de redistribución de carga. El implementado en este trabajo es de redistribución de carga. Las ventajas del D/A de redistribución de cargas (1) emplea únicamente elementos pasivos, condensadores, de modo que el consumo en estado estacionario es nulo sin necesidad de circuitería adicional que proporcione esta característica y así resulta sencillo a nivel de circuito y (2) permite reutilizar el banco de condensadores como condensador de retención para el circuito de seguimiento y retención.

Un D/A de redistribución está formado por un banco de condensadores convenientemente dimensionados en tamaño siguiendo una progresión exponencial de base dos en el valor de la capacidad de cada uno de los condensadores a partir del condensador de menor tamaño. El número de condensadores es igual al número de bits de resolución del convertidor. Esta disposición es la más sencilla pero no es la única. Presenta problemas asociados al tamaño, (1) el espacio ocupado aumenta exponencialmente de acuerdo a la resolución del convertidor. El tamaño del D/A para un convertidor mayor de 12 bits puede ser no asumible según la aplicación. Es un factor limitante de los convertidores SAR frente a otros tipos de convertidores en el momento de la elección según la aplicación destinataria del A/D. (2) El tamaño compromete también la precisión. La gran distancia entre los condensadores extremos es fuente de errores. Ahí donde los condensadores de mayor tamaño son más inmunes a los procesos de fabricación, de forma que el valor final del condensador se ajusta con mayor fidelidad al deseado, esto es más difícil para condensadores de menor tamaño. El desajuste en la relación de capacidades repercute en la precisión de la tensión de referencia generada. Aumentar el valor del condensador con el fin de mejorar el ajuste, repercute negativamente sobre el primer punto.

Existen diferentes aproximaciones que mejoran en cierta medida las limitaciones de D/A de redistribución de cargas sencillo, (1) desde un punto de vista de diseño de circuitería el empleo de configuraciones C-2C donde se divide el D/A en dos mediante un condensador de unión, alivia la problemática del aumento exponencial del espacio



ref[3, 4, 10]. (2) Un buen diseño en la etapa de layout consigue reducir las diferencias en las relaciones: técnicas Common Centroid, ... (3) El empleo de la topología diferencial mejora en cierta medida la pérdida de precisión al tener dos condensadores del mismo tamaño a los que afecta de una manera similar el proceso de fabricación. Esto es más efectivo si se combina con técnicas de layout adecuadas.

El bajo consumo no es una característica intrínseca de este tipo de D/A, si bien en el estado estable (entre conmutaciones) no existe consumo dinámico (solamente la relacionada a las corrientes de fuga de los dispositivos de mando, consumo estático), en el momento de conmutación la aportación del consumo dinámico por los picos de corriente, elevan el consumo total (aumenta según el tamaño de la capacidad).

## Errores y exigencias D/A

- (1) **Tiempo de establecimiento:** tiempo necesario del D/A en alcanzar el valor de tensión final de salida tras aplicar la palabra digital a la entrada. Acotado a un tiempo inferior al tiempo de bit  $t_{bit} \leq t_{comparación} + t_{conmutaciónD/A}$ .
- (2) **Linealidad:** Foco de máximo error de linealidad por desviaciones en los valores de capacidad teóricamente igual entre ambos bancos del D/A diferencial y en la relación entre condensadores que comparten el mismo nodo común. Para cuantificar el grado de linealidad se define INL (Integral Non-Linearity) y DNL (Differential Non-Linearity) ref[15].

$$INL = \frac{\Delta(i \rightarrow i+1) - i \cdot \Delta_{LSB}}{\Delta_{LSB}}, \quad i = 0, \dots, (2^{Nbit} - 1)$$

La distancia normalizada entre el punto en que el convertidor salta del código  $i$  al código  $i+1$  y el punto ideal de salto. Tiene relación directa con la distorsión armónica. Mayor desviación de la línea de origen, más distorsión. Por definición es la desviación de la característica entrada/salida del convertidor frente al comportamiento ideal (ideal, la línea recta entre origen y código final).

$$DNL = \frac{\Delta(i+1) - \Delta(i)}{\Delta_{LSB}} - 1, \quad i = 0, \dots, (2^{Nbit} - 1)$$

Cuantifica la diferencia entre el ancho de paso de cuantificación real del convertidor frente al comportamiento ideal. El efecto es un ruido añadido que penaliza la relación señal a ruido SNR.

## Diseño

### Circuitería conmutación D/A

Cada condensador tiene asociado un circuito formado por un amplificador inversor como dispositivo conmutador y una puerta NAND2 para habilitar o no el amplificador

conectando la memoria con el amplificador. La señal de habilitación es tomada del registro de desplazamiento.

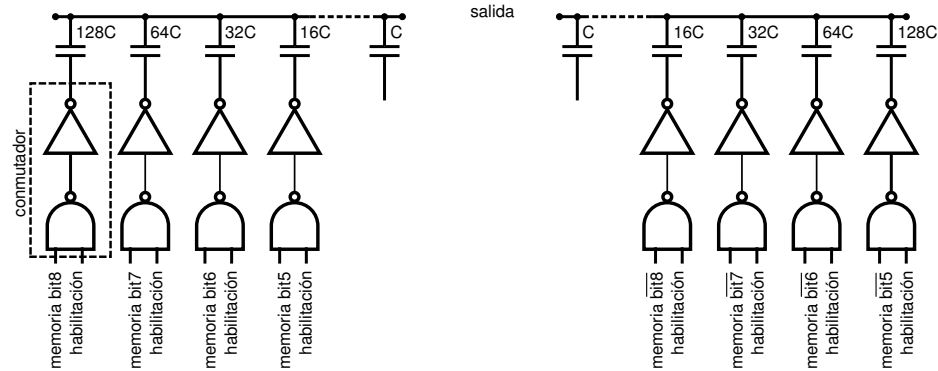


Figura 3.8: D/A de 8 bits diferencial.

### Tamaño de capacidad mínima D/A

Tratándose este D/A de elementos pasivos, no existe a nivel circuitería oportunidad de diseño. Conseguir un buen comportamiento depende de un buen layout, la correcta elección entre las posibilidades de tipos de condensadores que ofrece la tecnología (capacidades Poly-Poly, Poly-Nwell,...) y el correcto tamaño de condensador.

En este trabajo la elección es capacidades Poly-Poly. La carga es acumulada entre dos capas de polisilicio. Son bastante precisos, no sufren de corrientes de fuga, pero la distribución de carga es no homogénea sobre toda la superficie. Importante en fase de layout evitar formas puntiagudas donde puede acumularse cargas. Es buena práctica emplear el condensador de menor tamaño como base para construir todos los condensadores de mayor capacidad, por suma de tantos como sea necesario. Esto evita la acumulación de errores.

El tamaño del condensador mínimo guarda relación directa con las buenas prestaciones frente al ruido, gran precisión y linealidad (buen DNL y INL), inmunidad frente a variaciones de fabricación, consumo, velocidad y área. Un tamaño mayor significa empeorar las dos últimas prestaciones a costa de las demás.

**Tamaño del condensador para cumplir exigencias de ruido** Calcular el valor mínimo de condensador que acote errores INL y DNL dentro de un nivel de cuantificación ( $< V_{LSB}/2$ ) y que el ruido térmico muestreado sea inferior al ruido de cuantificación (la potencia ruido térmico depende del tamaño de capacidad  $kT/C$  mientras el ruido de cuantificación  $V_{LSB}^2/12$  es fijo para un número de bits pero independiente de la capacidad  $C$ ).

Para  $N_{bits} = 8$ ,  $V_{analógica} = 1.5V$ ,  $V_{LSB} = V_{analógica}/2^{N_{bits}}$ ,  $k = 1.38 \cdot 10^{-23} J/^{\circ}K$ ,  $T = 300^{\circ}K$

$$\frac{kT}{C} \leq \frac{V_{LSB}^2}{12} \rightarrow C_u \geq 1.45fF$$



**Tamaño del condensador para superar errores por variabilidad** El valor de capacidad tiene que ser tal que para la mayor variabilidad y menor condensador cumpla  $V_{LSB} < V_{ref} \cdot (\Delta C/C) \rightarrow \Delta C/C = V_{LSB}/V_{ref} = 0.6\%$ .

Precisión entre dos condensadores iguales ref[16]:

$$\sigma_C^2 = \left(\frac{\Delta C}{C}\right)^2 = \left(\frac{\Delta \epsilon_r}{\epsilon_r}\right)^2 + \left(\frac{\Delta t_{ox}}{t_{ox}}\right)^2 + \left(\frac{\Delta L}{L}\right)^2 + \left(\frac{\Delta W}{W}\right)^2$$

Suponer aportación despreciables de la varianza ancho de oxido y la permitividad relativa frente a la varianzas dimensionales <sup>a</sup>. Error relativo de tamaño  $\Delta C/C$  es mínimo para condensador de forma cuadrada,  $C = WL$ ,  $\Delta C = -2\epsilon(W + L)$  donde  $\epsilon$  es el error en la dimensión.

Precisión absoluta <sup>b</sup> tecnología  $0.5\mu m$ :  $W = L = 0.15\mu m$ . Para un condensador de forma cuadrada la longitud del cuadrado mínimo que asegura  $2\sigma$  ( $\simeq 95\%$  de confianza) ( $l$  longitud del lado de un cuadrado):  $(l - 0.3)(l - 0.3) > 0.95l^2 \rightarrow l > 11.8\mu m \rightarrow C_u = l^2 \cdot C_{poly} = 132fF$ .

La capacidad del polisilicio-polisilicio es de  $C_{poly} = 0.95fF/\mu m^2$ .

**Ajuste de tamaño del amplificador de salida de conmutación** La solución ideal sería aquella que permitiese extraer de alguna manera una señal de la finalización de establecimiento del D/A para reanudar o continuar con el proceso inmediatamente se establece el valor final del D/A. Esto ofrecería un mecanismo de continuidad total al sistema mediante señales testigo. Esto no es posible de forma sencilla y directa. Por tanto es necesario acompasar el tamaño del amplificador de conmutación con el tiempo inicialización del comparador gobernado por el circuito temporizador.

Alargar el tiempo conmutación reduce el tamaño del amplificador, esto mejora el consumo estático y dinámico al reducir los sobre-impulsos al final de la transición de conmutación.

Acortar el tiempo para la conmutación significa emplear transistores capaces de mover mayor cantidad de carga en menor tiempo, mayor tamaño. Aparecen sobre-impulsos más pronunciados, el consumo estático se eleva y el área ocupada.

Se distinguen sobre-impulsos de dos naturalezas, (1) debido a desajustes temporales que provoca que el D/A pase por algún estado intermedio antes de alcanzar el valor final. Pueden corregirse mediante intercalado de retardos y (2) un comportamiento RLC de segundo orden del circuito. Reforzar la componente RC frente a RLC consigue acercar el circuito a un comportamiento de primer orden RC. Esto es, actuar sobre el parámetro de damping del circuito. Una posibilidad es aumentar la dimensión  $L$  del

<sup>a</sup>no he conseguido encontrar valores para la tecnología.

<sup>b</sup>se pensó que al permitir pasos de  $0.15\mu m$  en el esquemático, este valor coincidiría con la precisión absoluta. Archivo pdf IC Technology and Layout ref[16] dice: precisión absoluta  $W = L = 0.3\mu m$ . El tamaño con estos valores resulta en un tamaño  $l > 23.7\mu m \rightarrow C_u = 553fF$ .

MOS. Los sobre-impulsos en la figura 3.9.(b) son del primer tipo. Los del segundo no son apreciables en la figura. El consumo asociado a los sobre-impulsos del comportamiento de segundo orden no es muy significativo. Un intento de reducirlo incrementando el tamaño  $L$ , pronto termina por un aumento del consumo dinámico, capacidades mayores de puerta.

En ambos casos ha de buscarse un compromiso entre el consumo y complejidad, velocidad.

Subrayar, las simulaciones son con capacidades ideales. Los resultados son reflejo del comportamiento imperfecto de la parte de conmutación (transistores, retrasos).

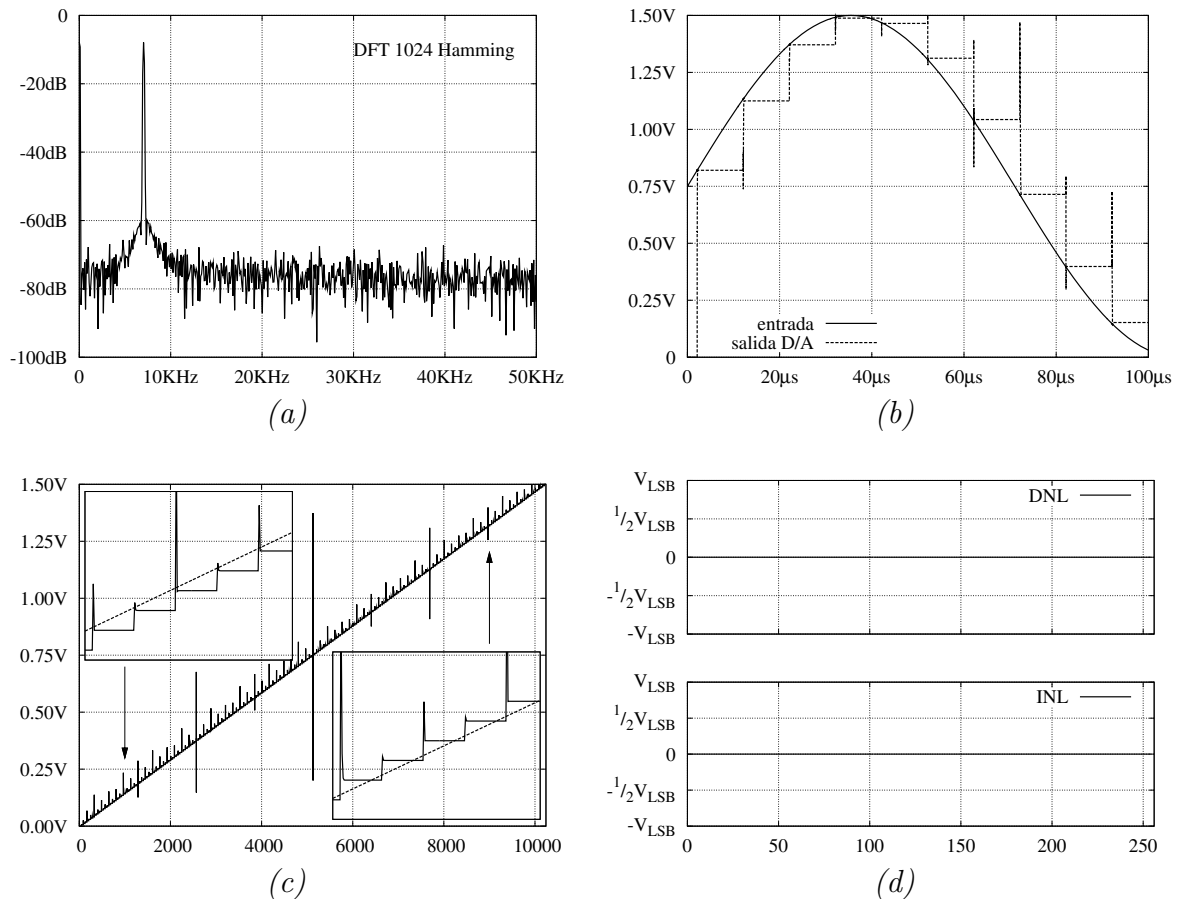


Figura 3.9: Espectro (a) y evolución temporal (b) de señal analógica. (c) Respuesta a rampa de tensión y (d) DNL, INL de la entrada rampa.

## Solución adoptada

Disponer de la posibilidad de elegir el tiempo de conmutación, flexibiliza el ajuste del tamaño de los amplificadores de salida. La solución adoptada es tal que la señal



de habilitación del comparador ocurra cuando la tensión de salida D/A esta  $V_{LSB}$  voltios por debajo de su valor final cuando el salto en tensión D/A es la mitad del rango total  $\Delta V_{D/A} = (V_{DD} - V_{SS})/2$ . Se busca evitar transiciones innecesarias en el comparador por alternación del signo entre entradas durante el tiempo de comparación, considerando que ya esta estabilizado el signo de las salidas del D/A. Con este ajuste, para transiciones mayores de  $\Delta V_{D/A} = (V_{DD} - V_{SS})/2$  se desvía de la condición, aumentando la diferencia por encima  $V_{LSB}$ , mientras para transiciones menores, aparecen sobre-impulsos causa del comportamiento de segundo orden.

Capacidad unitaria empleada es la mitad de la calculada,  $C_u = 75fF$  en un intento de mejora del consumo del circuito.

Dispositivo	Dimensiones PMOS	Dimensiones NMOS	Unidades
amplificador bit8	4.70/0.60	1.5/0.60	$[\mu m]$
amplificador bit7	2.60/0.60	1.5/0.60	$[\mu m]$
amplificador bit6	1.75/0.60	1.5/0.60	$[\mu m]$
amplificador bit5,4,3,2	1.50/0.60	1.5/0.60	$[\mu m]$
todos NAND2	1.50/0.60	1.5/0.60	$[\mu m]$

Dispositivo	Dimensiones	Unidades
condensador unitario	75	$[fF]$

## Resultados

Simulación del diseño de media rama figura 3.8 funcionando en vacío. Señal de entrada, código digital 8 bit (1) de sinusoidal de  $V_{amplitud} = V_{offset} = 0.75V$  y frecuencia 7041Hz muestreada a 100KHz, figuras 3.9.(a,b) y (2) rampa de tensión entre  $V_{DD}$  y  $V_{SS}$ , figuras 3.9.(c,d). Capacidad unitaria  $C_u = 75fF$ , capacidad total  $C_{D/A} = 9.6pF$ .

La figura 3.9.(b,c) muestran los picos de tensión en las transiciones. Estos picos son muy dependientes de la señal analógica e impactan directamente en  $SFDR$ ,  $THD$ . Para frecuencias bastante cercanas pueden darse diferencias considerables de  $THD$ .

En la figura 3.9.(c) resaltan las transiciones en  $(V_{DD} - V_{SS})/2$  y  $1(V_{DD} - V_{SS})/4$  y  $3(V_{DD} - V_{SS})/4$ , corresponden a las conmutaciones de los dos condensadores de mayor valor del D/A. INL y DNL calculados sobre entrada rampa de tensión con pendiente  $V_{DD}/2^{Nbits} = 1.5/256$ , un código de entrada por nivel de cuantificación y centrado en el nivel. Resultado, figura 3.9.(d), lógicamente ideal, al simular capacidades ideales, sin desajustes. Los aumentos parciales sobre la gráfica figura 3.9.(c), dejan entrever errores de ganancia no unitaria. Según ref[17], resulta un error de ganancia de  $0.14\% \simeq V_{LSB}/4$ .



### 3.6. Interruptor del circuito de seguimiento y retención. Técnica de elevación de tensión de puerta ("Bootstrapping")

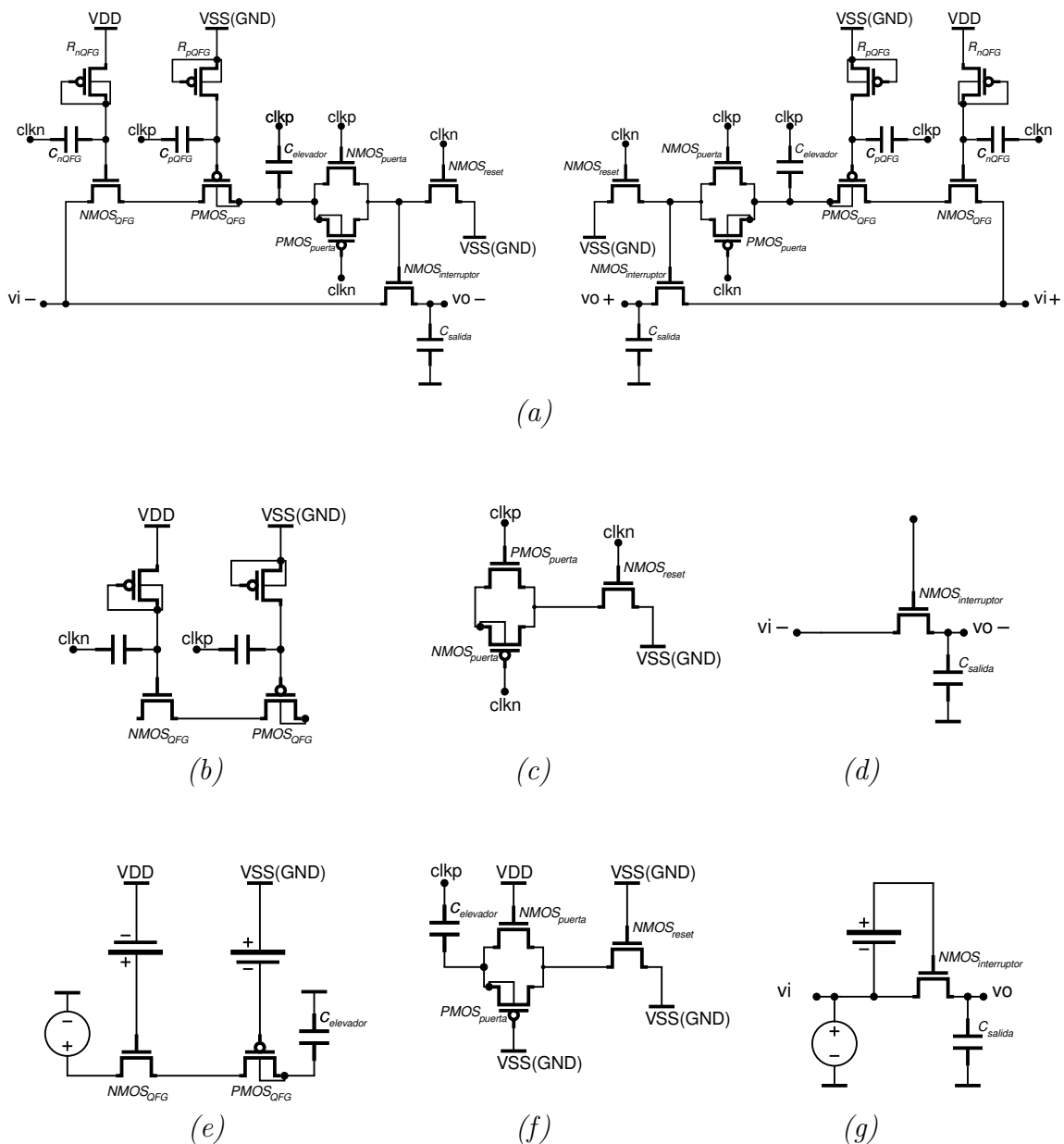


Figura 3.10: (a) Circuito diferencial de seguimiento y retención. (b), (c) y (d) subcircuitos de (a) para análisis. (e), (f) y (g) subcircuitos linealizados (b), (c) y (d) para dimensionamiento por simulación



## Análisis

### Justificación al empleo de circuitos especiales de interrupción

El interruptor de muestreo necesita degradar en la menor forma posible el valor de la muestra. En baja tensión esta meta es aún más difícil de cumplir. Aun cuando la tensión de alimentación es suficientemente amplia, la dependencia de la tensión  $V_{GS}$  con la resistencia entre los terminales drenador-surtidor, resulta en una inyección de armónicos hacia la muestra, dependiente del valor de la señal analógica de entrada.

A un interruptor se le exige una resistencia independiente de la señal que transmite y que durante el estado abierto presente la mayor resistencia posible entre los terminales y la menor resistencia posible cuando el estado del interruptor es cerrado.

Para solucionar el problema de la dependencia de la resistencia con la señal analógica, se recurre a una solución de diseño de circuito, basado en mantener constante la tensión  $V_{GS}$ , *Bootstrapping* en inglés.

Cuando el diseño es en baja tensión se añaden otros problemas como es la degradación del ancho de banda. Se hace necesario elevar la tensión de activación de los transistores también con el objetivo de aumentar las velocidades de funcionamiento.

### Descripción del circuito

Cada rama del circuito diferencial figura 3.10.(a) es posible dividirlo en tres partes para un estudio y diseño más sencillo: figura 3.10.(b) Subcircuito entrada/salida del circuito, figura 3.10.(c) Subcircuito elevador de tensión, figura 3.10.(d) Subcircuito director del interruptor.

El subcircuito entrada/salida cuenta con el transistor interruptor cuya tensión de puerta es elevado. El drenador y el surtidor son la entrada y salida del circuito completo.

El subcircuito elevador de tensión, emplea dos transistores complementarios en serie con técnica de QFG. Registran en un condensador el valor de la tensión de la señal analógica durante el periodo de retención. Al comienzo del tiempo de seguimiento, la señal de reloj empuja por el lado opuesto del condensador, elevando la tensión de la tensión analógica registrada hasta un teórico  $V_{reloj} + V_{analógica}(t = nT)$  y es mantenida durante la duración del periodo de seguimiento. La técnica QFG permite transistores más reducidos en tamaño para una tensión de alimentación dada o reducir la tensión de alimentación para unas dimensiones prefijadas.

El subcircuito director consta de una puerta de transmisión con transistores complementarios y un transistor encargado de llevar el transistor-interruptor al estado de corte. Este último transistor y la puerta funcionan con relojes complementarios. La puerta comunica la tensión elevada del condensador con la puerta del transistor-interruptor durante el tiempo de seguimiento y aísla la el transistor-interruptor durante el periodo de retención.

El circuito completo intenta mantener la tensión puerta-surtidor del transistor-interruptor siempre constante, independiente a la tensión analógica reduciendo la dis-



torsión causada por el comportamiento resistivo dependiente de la tensión puertaa-surtidor del transistor.

## Diseño

El valor de capacidad de salida,  $C_{carga}$ , es conocida o ya fijada. Los transistores en triodo tienen un comportamiento resistivo. Los subcircuitos figura 3.10.(b)-(c) es posible aproximar como circuitos RC, filtros de primer orden, donde R es la resistencia drenador-surtidor del transistor en estado cerrado  $R_{on}$ . Función de transferencia de un filtro paso bajo pasivo de primer orden,

$$H(\omega) = \frac{1}{\frac{\omega}{\omega_{corte}}j + 1}$$

El ancho de banda del filtro debe ser suficiente para una diferencia entrada/salida inferior a  $V_{LSB}/2$  (requerimiento para cumplir el DNL) en el transistor-interruptor. En el caso  $V_{DD} = 1.5V$ ,  $V_{SS} = 0V$  y  $N_{bit} = 8$ , el salto de cuantificación,  $V_{LSB} = (V_{DD} - V_{SS})/2^{N_{bit}} = 1.5/2^8 \simeq 6mV$ . Normalizar a la unidad para evitar la constante en la función de transferencia.  $V_{LSB}$  es el 0.6% del rango,  $V_{LSB}/2$  es 0.3%. El  $(100 - 0.3)\%$  de 1 son 0.998. Corresponde a una potencia de  $0.998^2 = 0.995$ ,

$$|H(\omega)|^2 = 0.955 = \frac{1}{\left(\frac{\omega}{\omega_{corte}}\right)^2 + 1} \rightarrow \omega_{corte} \simeq 15 \omega_{analógica}$$

Exige una frecuencia de corte 15 veces superior a la frecuencia máxima analógica.

El ancho de banda mínimo para comenzar el diseño, contemplando un margen de una octava,  $\omega_{corte} = 30 \omega \rightarrow f_{corte} = 30 f_{analógica} = 30 \cdot 50KHz = 1.5MHz$ .

**Ajuste tamaño Transistor-interruptor:** Sobre el circuito de la figura 3.10.(g), donde  $C_{carga} = C_{D/A}$  y el valor de la fuente de tensión continua, guiado por los resultados del punto anterior (o de forma conservativa  $2V_{DD}/3$ ), realizar un barrido en frecuencia AC mientras varia el parámetro de ancho del transistor-interruptor hasta superar la frecuencia de corte mínimo calculado ( $f_{corte} > 1.5MHz$ ).

El contenido armónico de la señal de salida de este subcircuito linealizado, es solamente la contribución armónica de la resistencia del transistor. Relaciones analíticas para la distorsión por  $R_{on}$ :

$$HD2_{R_{on}} = \frac{L}{W} \frac{C_{carga} \cdot \omega \cdot A_{analógica} \cdot n}{2 \cdot \mu_o \cdot C_{ox} \cdot (V_{GS} - V_{TH})^2}$$

$$HD3_{R_{on}} = \frac{L}{W} \frac{C_{carga} \cdot \omega \cdot A_{analógica}^2 \cdot n^2}{4 \cdot \mu_o \cdot C_{ox} \cdot (V_{GS} - V_{TH})^3}$$

$A_{analógica}$  = Amplitud máxima de la señal,  $n$  = Factor pendiente transistor.

A tener en cuenta: La distorsión generada por la resistencia en conducción del transistor minimizada (1) manteniendo constante la tensión puertaa-surtidor, (2) emplear el



transistor de longitud más reducida posible, (3) emplear la capacidad de menor valor posible (justo en la dirección contraria a la linealidad del D/A e inyección de carga), (4) utilizar una topología diferencial que reduce los armónicos pares y (5) el aumento tamaño del transistor aumenta la capacidad  $C_{DS}$  aumentando el acoplo de la señal de entrada aun con el transistor abierto.

Inyección de carga, ref[15],

$$\Delta V = \frac{C_{ox} \cdot W \cdot L \cdot (V_{DD} - V_{analógica} - V_{TH})}{2 \cdot C_{carga}} [V]$$

aproximación por simulación para  $C_{carga}$  y  $L$  constantes, para  $1.5\mu m < W < 150\mu m$

$$\Delta V \simeq 1.5 \cdot 10^{-3} W [V]$$

Reducir el impacto de la inyección de carga, (1) manteniendo constante la tensión puerta-surtidor, (2) transistor del menor tamaño posible, en ambas dimensiones, (3) capacidad de salida mayor posible (en la misma dirección de la mejora de linealidad en el D/A) y (4) emplear configuración diferencial. Esta última no reduce la inyección de carga, es eliminada por el rechazo a la señal común de la configuración diferencial.

La incertidumbre en el tiempo de muestreo (jitter) es también fuente de distorsión. Esta se minimiza (1) empleando relojes más precisos y con transiciones lo más pronunciadas posibles y (2) el empleo de una topología diferencial ayuda a reducir la distorsión par. Relaciones analíticas para la distorsión por incertidumbre en el instante de muestreo:

$$HD2_{jitter} = \frac{1-k}{1+k} \cdot \pi \cdot t_{transición}$$

$$HD3_{jitter} = \frac{(\pi \cdot t_{transición})^2}{2}$$

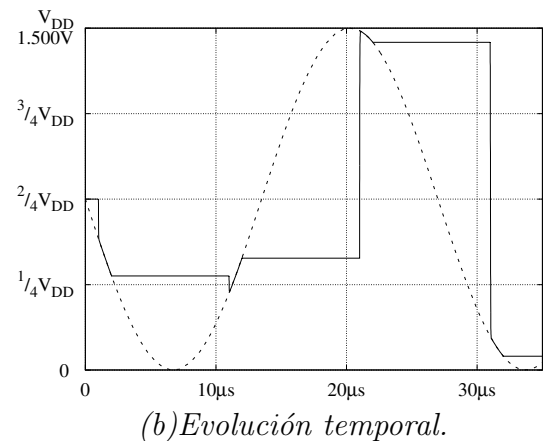
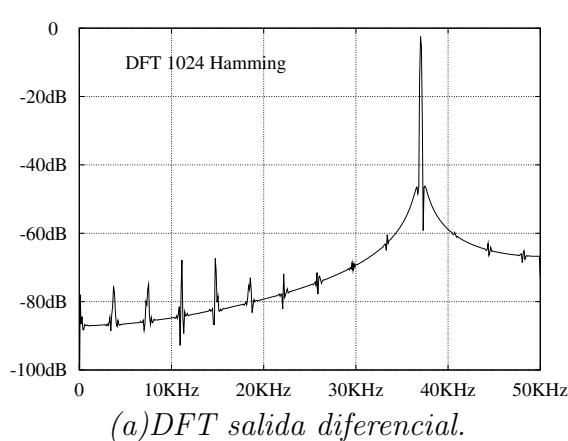
donde  $0 \leq k \leq 1$  tiene en cuenta en una topología diferencial el grado de eliminación de armónicos alcanzado, cuanto mejor, más se acerca  $k$  a 1.

La distorsión por jitter es más notable a medida que aumenta la frecuencia de trabajo del convertidor.

**Ajustar el tamaño del condensador-elevador  $C_{elevador}$ :** Sobre el circuito figura 3.10.(f) realizar una simulación temporal .TRAN, señal reloj  $V_{reloj} = V_{DD}$ ,  $t_{alto} = 1\mu s$ ,  $t_{bajo} = 9\mu s$  (10KHz) y realizar un barrido .PARAM del parámetro de capacidad de  $C_{elevador}$ . Aplicar una tensión inicial conocida en  $C_{elevador}$ .

Un aumento del valor del condensador, acerca el valor de tensión elevado al teórico  $V_{reloj} + V_{analógica}(t = nT)$ , porque (1) el divisor de tensión  $C_{elevador}/(C_{elevador} + C_{parásitas})$  tiende a la unidad,  $C_{elevador} \gg C_{parásitas}$ , donde  $C_{parásita}$  es la suma de cualquier capacidad parásita presente en el nodo. La capacidad vista en la puerta del transistor-interruptor también contribuye a la suma de capacidades parásitas y esta aumenta proporcionalmente a las dimensiones de transistor-interruptor. (2) La relación de carga que escapa por diferentes mecanismos respecto al acumulado en el condensador, también disminuye.

**Ajuste circuitería de puerta transistores QFG:** Según ref[12, 18, 19, 20, 21] no es importante el valor del circuito filtro paso alto formado por el condensador de ataque y transistor PMOS conexas como resistencia de alto valor. Es suficiente con el ajuste que ofrece la frecuencia de corte suficientemente inferior al de trabajo y que permita conseguir una tensión eficaz necesaria en puerta del transistor QFG.



Frecuencia [KHz]	THD [dB]
17.041	-70.676
27.041	-66.373
37.041	-59.301
47.041	-54.460

(c) THD para varias frecuencias

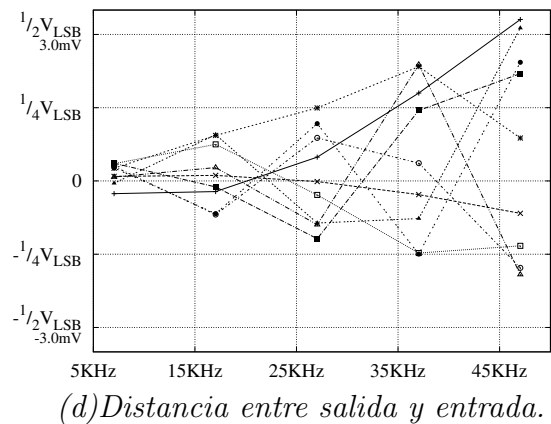


Figura 3.11: Resultados simulación circuito interruptor del circuito de seguimiento y retención. Cada línea de la gráfica (d) representa la diferencia de tensión entre drenador-surtidor (entrada-salida) del transistor-interruptor para diferentes frecuencias de entrada al final del periodo de apertura del transistor. Están representadas las diez primeras adquisiciones.

**Ajuste transistores QFG:** Proceder de la misma manera que para ajustar el transistor-interruptor sobre el circuito figura 3.10.(e), tomando el valor del  $C_{elevador}$  del obtenido en un paso anterior. Sustituir la circuitería de puerta de ambos transistores QFG por fuentes de tensión continua. Realizar el dimensionamiento de cada transistor independientemente. La tensión en puerta del transistor en ajuste es el valor eficaz



medido en el punto de ajuste de circuitería QFG. Al otro transistor un valor de puerta mayor del eficaz conseguido en el punto de ajuste de circuitería ( $V_{GNMOS} = 3V$  y  $V_{GPMOS} = -1V$  por ejemplo). Las dimensiones válidas de los transistores son aquellas que permiten un ancho de banda superior al calculado ( $f_{corte} = 1.5MHz$ ).

Sustrato  $PMOS_{QFG}$  y  $PMOS_{puerta}$  conectado al lado del condensador por tratarse del punto que siempre está a mayor tensión evitando la conducción por sustrato.

## Resultados

Las simulaciones sobre el circuito de la figura 3.10(a). Fuentes de alimentación continua,  $V_{DD} = 1.5V$  y  $V_{SS} = GND = 0V$ . Señal de entrada analógica sinusoidal de frecuencia  $f_{analógica} = 37.041KHz$  y amplitud  $A_{analógica} = 0.75V$  y voltaje común  $V_{CM} = 0.75V$ . Aplicar un desfase de  $180^\circ$  entre ambas entradas diferenciales. La señal de reloj de  $100KHz$  con el 10% del ciclo activo ( $t_{alto} = 1\mu s$ ) y amplitud  $V_{reloj} = V_{DD}$ . Condensador de carga  $C_{carga} = 9.6pF$ .

En tiempo de simulación se reajustaron los tamaños del transistor-interruptor y del condensador  $C_{elevador}$  para conseguir delimitar el error de tensión entrada-salida a un valor inferior  $|V_{LSB}/2| = 3mV$  figura 3.11.(d).

Para la frecuencia de  $f_{analógica} = 37.041KHz$ ,  $V_{fundamental} = 669.185mV$ ,  $V_{HD2} = 178.975\mu V$ ,  $V_{HD3} = 383.27\mu V$ ,  $V_{HD4} = 37.912\mu V$ ,  $V_{HD5} = 517.255\mu V$ ,  $V_{HD6} = 116.026\mu V$ ,  $V_{HD7} = 254.148\mu V$ .

$$THD = 10 \log_{10} \left( \frac{V_{37041Hz}^2}{\sum_{i=2}^7 V_{HDi}^2} \right) = -59.301dB$$

Dispositivo	Dimensiones	Unidades
$C_{elevador}$	450	[fF]
$NMOS_{QFG}$	3/0.6	[ $\mu m$ ]
$PMOS_{QFG}$	1.5/0.6	[ $\mu m$ ]
$NMOS_{puerta}$	1.5/0.6	[ $\mu m$ ]
$PMOS_{puerta}$	1.5/0.6	[ $\mu m$ ]
$NMOS_{reset}$	1.5/0.6	[ $\mu m$ ]
$NMOS_{interruptor}$	10.5/0.6	[ $\mu m$ ]
$C_{pQFG} = C_{nQFG}$	100	[fF]
$R_{pQFG} = R_{nQFG}$	1.5/0.6	[ $\mu m$ ]

### Influencia del condensador $C_{elevador}$

Las gráficas de figura 3.12.(a,b) muestra el espectro de la tensión de salida de una rama del circuito diferencial para dos valores de condensador. Un aumento del valor de capacidad mejora la calidad de la señal conseguida. También a modo comparativo se tiene la salida obtenida de un espectro de un circuito de seguimiento y retención ideal, implementado vía descripción hardware (HDL, Hardware Description Language). El la figura 3.12.(d) representa la evolución de la tensión en el condensador. Es posible apreciar como el aumento de la capacidad, mantenido el tamaño de los transistores  $NMOS_{QFG}$  y  $PMOS_{QFG}$  trae una reducción del ancho de banda. Esto se ve en la distorsión que presenta la señal cerca de los valores extremos. Aun con esa desventaja de tensión, debido a la distorsión, consigue transmitir una mayor tensión a la puerta de transistor-interruptor, mejorando el comportamiento de este.

El precio a pagar, es un mayor consumo dinámico.

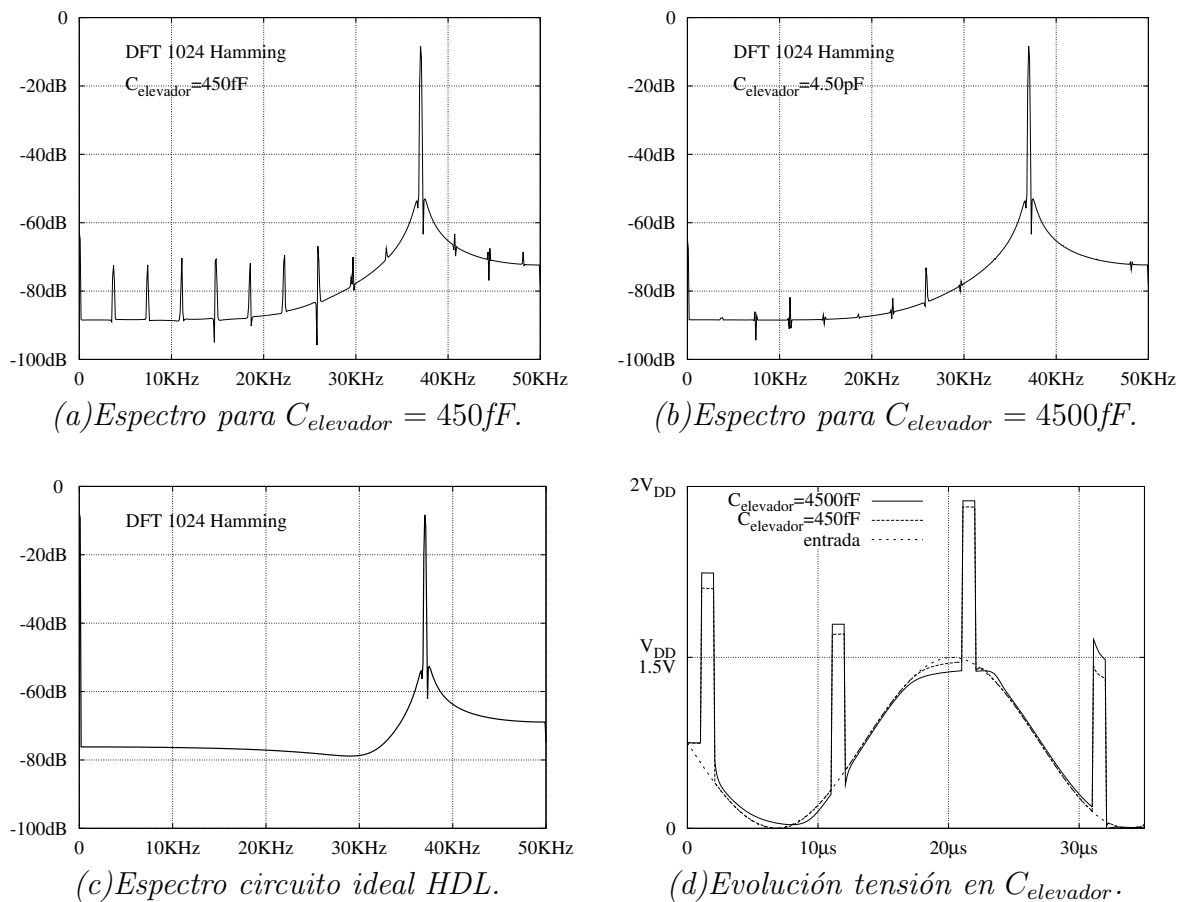


Figura 3.12: Efecto del valor de  $C_{elevador}$ .



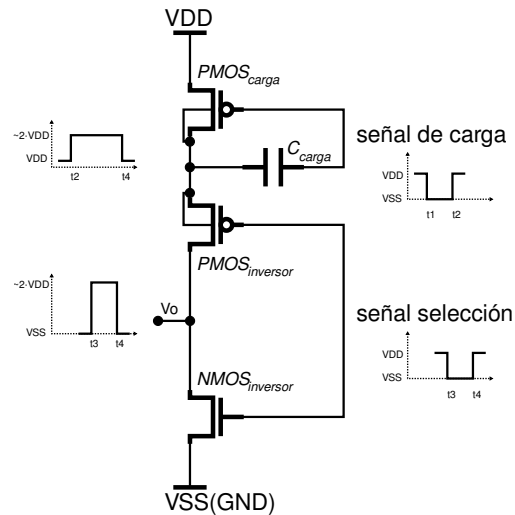
### 3.7. Circuito elevador tensión independiente a la entrada.

#### Diseño

Este circuito es empleado para gobernar interruptores de inicialización del banco de condensadores del D/A, figura 3.13.(b). La tensión surtidor en estos interruptores es de  $V_{CM} = (V_{DD} - V_{SS})/2 = 0.750V$ . La tensión  $V_{DD}$  aplicada directamente al terminal de puerta no es suficiente para alcanzar un comportamiento satisfactorio en términos de tensión final y tiempo, para un tamaño razonable del interruptor.

Dispositivo	Dimensiones	Unidades
$PMOS_{carga}$	1.5/0.6	$[\mu m]$
$PMOS_{inversor}$	1.5/0.6	$[\mu m]$
$NMOS_{inversor}$	1.5/0.6	$[\mu m]$
$C_{carga}$	110	$[fF]$

(a)



(b)

Figura 3.13: Circuito elevador de tensión independiente de la entrada, (a) Dimensiones y (b) esquemático.

El circuito elevador es posible dividirlo en (1) sistema de carga de tensión y (2) inversor. El sistema de carga contiene un transistor PMOS y un condensador. El surtidor del PMOS a  $V_{DD}$ , el drenador a un extremo del condensador y la puerta al extremo que queda libre del condensador. El circuito de carga esta intercalado en el camino hacia la tensión positiva  $V_{DD}$  del inversor. Un ciclo completo de funcionamiento del circuito de carga comprende un pulso alto→bajo→alto aplicado en puerta del PMOS. Durante el periodo bajo, el condensador acumula carga hasta alcanzar  $V_{DD}$ . La transición bajo→alto lleva a corte el PMOS y empuja la tensión del condesador hacia  $2V_{DD}$ . Sin ninguna vía de circulación (idealmente), el condensador mantiene la tensión.

Puede emplearse señales independientes para gobernar la puerta PMOS y la señal del condesador. Pero esto aumenta la complejidad de control.

El inversor multiplexa entre la tensión elevada y la tensión baja de alimentación según el valor de la señal en su entrada.





---

La salida del circuito completo elevador, es la salida del inversor donde conectar la puerta del transistor del que se quiere aumentar la tensión de conducción  $V_{GS}$ .



4

## Simulación sistema A/D





## 4.1. Errores y parámetros evaluadores del comportamiento A/D

Parámetros para evaluar y valor el comportamiento alcanzado por un convertidor A/D (ref[17]):

- Distorsión armónica (HD) y Distorsión armónica total (THD). Las señales armónicas ocurren a frecuencias  $f_{HDi} = |f_{analógica}i \pm f_{muestreo}n|$  con  $i = 2, 3, \dots$ . HD es la distancia entre la potencia de la señal armónica y potencia de la señal fundamental,

$$HDi = 10\log_{10} \left( \frac{V_{fundamental}^2}{V_{HDi}^2} \right) \quad [dB]$$

THD es la relación de la suma de armónicos frente a la fundamental,

$$THD = 10\log_{10} \left( \frac{V_{fundamental}^2}{\sum_{i=2}^7 V_{HDi}^2} \right) \quad [dB]$$

Normalmente son los primeros 5-6 armónicos los empleados en el cálculo, desechando la componente continua.

- Relación Señal a Ruido (SNR), Señal Ruido y Distorsión (SNDR), Número Efectivo de Bits (ENOB) y Rango Dinámico Libre de Espurios SFDR. SNR la relación entre la potencia de la señal fundamental y el ruido (térmico + cuantificación + ...)

$$SNR = 10\log_{10} \left( \frac{V_{fundamental}^2}{V_{ruido}^2} \right) \quad [dB]$$

SNDR la relación entre la potencia de la señal fundamental y la suma de distorsión y ruido,

$$SNDR = 10\log_{10} \left( \frac{V_{fundamental}^2}{V_{ruido}^2 + V_{THD}^2} \right) \quad [dB]$$

ENOB cuantifica indirectamente SNDR empleando el ruido de cuantificación ideal,  $SNR_{cuantificación} = 6.02 \cdot N_{bits} + 1.76 \quad [dB]$

$$ENOB = (SNDR - 1.76) / 6.02 \quad [bits]$$

SFDR la distancia entre el armónico de mayor potencia y la señal deseada,

$$SFDR = 10\log_{10} \left( \frac{V_{fundamental}^2}{\max(V_{HDi}^2)} \right) \quad [dB]$$



- Ancho de Banda BW.
- Figura de ruido NF.
- Intermodulación de dos o más tonos ID, MID.
- Error de ganancia, cuando la función de transferencia presenta una pendiente mayor a la unidad y error de offset, cuando la función de transferencia esta desplazada en una tensión al ideal. La combinación de ambos errores puede dar lugar a la perdida de rango dinámico (perdida de códigos de salida).
- No-Linealidades Diferenciales DNL y No-linealidades Integrales INL. DNL Mide la distancia entre el paso de cuantificación ideal y real. Cuando la distancia es menor a  $\pm 1$  LSB garantiza que el convertidor no tiene códigos perdidos. INL informa sobre cuanto se aleja la función de transferencia real del ideal dando cuenta de la distorsión y precisión.
- Figura de merito de A/D,

$$FoM = \frac{P_{total}}{2^{ENOB} \cdot BW} \quad [W/Hz]$$

Relaciones entre SNR, SNDR y THD,

$$SNR = -10 \log \left( 10^{-SNDR/10} + 10^{-THD/10} \right) \quad [dB]$$

$$THD = -10 \log \left( 10^{-SNDR/10} + 10^{-SNR/10} \right) \quad [dB]$$

$$SNDR = -10 \log \left( 10^{-SNR/10} + 10^{-THD/10} \right) \quad [dB]$$

## 4.2. Simulación A/D monotónico

Para caracterizar el comportamiento dinámico, SNR, THD y SFDR, se emplea una señal analógica  $V_{amplitud} = V_{offset} = 0.750V$  y frecuencia  $f_{analógica} = 36.719KHz$  en contrafase entre ambas entradas diferenciales. Una simulación temporal de  $1.28ms$  para adquirir 128 muestras. Los códigos generados en la conversión son procesados por un convertidor D/A ideal para obtener una señal cuantificada de la señal analógica. La señal cuantificada es multiplicada por una ventana Hamming y DFT.

Para valorar el comportamiento estático, un señal de entrada en rampa con número de muestras por paso de cuantificación de  $N_c=4$ , y pendiente  $V_{DD}/N_c \cdot 2^N bits = 1.5/1024$  desde la tensión inferior hasta la superior (todo el rango de cuantificación).

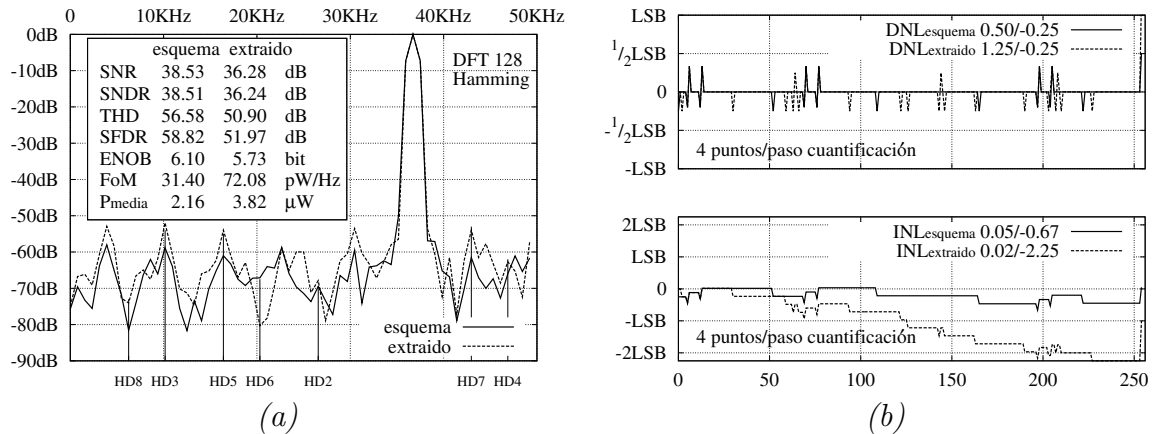


Figura 4.1: Resultados A/D monotónico. (a) Desempeño dinámico. (b) Desempeño estático.

La figura 4.1.(a) resume todos los datos extraídos de la simulación del convertidor monotónico a la frecuencia de  $36.719\text{KHz}$ . Para un convertidor de 8 bits lo adecuado sería un mínimo de 512. Pero el equipo disponible tarda 24 horas en simular 1024 muestras o ciclos de conversión.

De igual manera, a la hora de evaluar el comportamiento estático 4 adquisiciones por paso de cuantificación resulta poco precisa,  $1/Nc \times 100 = 25\%$  de precisión.

De los resultados se destaca la probable pérdida de códigos en el caso del circuito de la versión post-layout ( $DNL > |2\text{LSB}|$ ). La notable distancia entre SNR simulado y el teórico ruido de cuantificación. El calculo de SNR se realiza en el dominio temporal realizando la resta salida entrada para extraer todo lo que no es señal. El resto de los parámetros a partir de la DFT. La DFT sobre el ruido muestra un pico bastante superior, cerca  $10\text{dB}$  superior, a la componente armónica de mayor potencia, cerca de la frecuencia fundamental, que la enmascara. No sé como interpretarlo. Si como fallo metodológico en el cálculo SNR, incorrecta elección de frecuencia, no distribución aleatoria del ruido de cuantificación, otra fuente de ruido,...

Por otra parte existe un deterioro entre la versión esquemática y extraída. Esto es achacable a la baja calidad de la realización física, donde las capacidades parásitas y las interconexiones degradan el comportamiento. Una consecuencia es el retraso temporal no alcanzando completar la conversión dentro de la frecuencia de muestreo. Si es el caso, reducir la frecuencia de muestreo mejorará el comportamiento.



### 4.3. Conmutación alternativa: A/D híbrido

#### Análisis

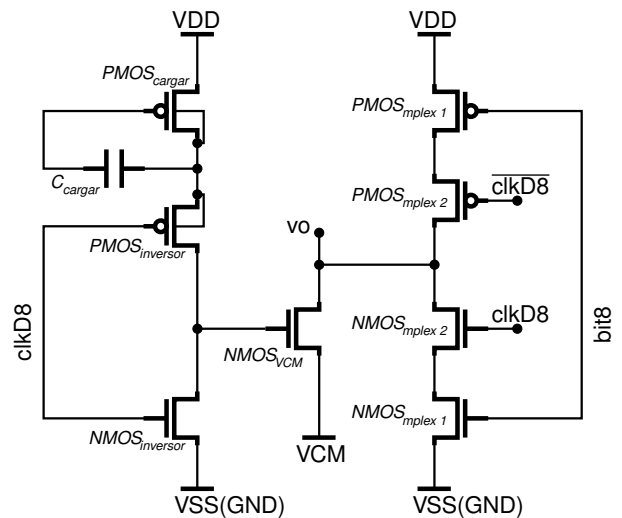
La energía para cargar un condensador  $E = C \cdot (V_{final} - V_{inicial})^2$ . El A/D monotónico,  $V_{final} = V_{DD}$  y  $V_{inicial} = 0$ . Así la energía  $E_{monotónico} = C \cdot V_{DD}^2$  para conmutar un condensador.

Se propone un sistema de conmutación híbrido entre el algoritmo monotónico y el convencional, donde  $V_{final} = V_{DD}$  y  $V_{inicial} = V_{DD}/2$ . La energía necesaria se reduce por reducción de tensión a  $E = C \cdot V_{DD}^2/4$ , pero es necesario conmutar ambos D/A en sentido contrario, uno hacia tensión superior y el otro hacia el inferior, por lo cual,  $E_{híbrido} = C \cdot V_{DD}^2/2$ .

Las ventajas teóricas del sistema híbrido son, (1) la reducción teórica de consumo dinámico y (2) menor offset asociado a la variación de la tensión común en el comparador.

Entre las desventajas, (1) el aumento de la complejidad de circuitería y (2) el aumento del consumo estático debido al mayor número de transistores.

Dispositivo	Dimensiones	Unidades
$PMOS_{mplex1,2bit8}$	6.75/0.6	$[\mu m]$
$NMOS_{mplex1,2bit8}$	3.05/0.6	$[\mu m]$
$PMOS_{mplex1,2bit7}$	5.25/0.6	$[\mu m]$
$NMOS_{mplex1,2bit7}$	1.85/0.6	$[\mu m]$
$PMOS_{mplex1,2bit6}$	3.05/0.6	$[\mu m]$
$NMOS_{mplex1,2bit6}$	1.50/0.6	$[\mu m]$
$PMOS_{mplex1,2bit5}$	2.10/0.6	$[\mu m]$
$NMOS_{mplex1,2bit5}$	1.50/0.6	$[\mu m]$
$PMOS_{mplex1,2bit4}$	1.50/0.6	$[\mu m]$
$NMOS_{mplex1,2bit4}$	1.50/0.6	$[\mu m]$
$PMOS_{mplex1,2bit3}$	1.50/0.6	$[\mu m]$
$NMOS_{mplex1,2bit3}$	1.50/0.6	$[\mu m]$
$PMOS_{mplex1,2bit2}$	1.50/0.6	$[\mu m]$
$NMOS_{mplex1,2bit2}$	1.50/0.6	$[\mu m]$
$NMOS_{VCM}$	6.0/0.6	$[\mu m]$
$PMOS_{cargar}$	1.5/0.6	$[\mu m]$
$PMOS_{inversor}$	1.5/0.6	$[\mu m]$
$NMOS_{inversor}$	1.5/0.6	$[\mu m]$
$C_{cargar}$	110	$[fF]$



(a)

(b)

Figura 4.2: Circuito conmutador del D/A del A/D híbrido. (a) Dimensiones y (b) esquemático para un condensador.



## Diseño

Todos los circuitos del convertidor híbrido son los empleados en el convertidor monotónico a excepción de la circuitería de salida. Sustituido el amplificador y la puerta NAND2 de la figura 3.8 por el circuito de la figura 4.2.(b). Es un multiplexor de dos entradas donde la señal de mando es el registro de desplazamiento correspondiente al bit. Las dos entradas son la tensión común y el dato de memoria (resultado de la comparación para el bit). El transistor  $NMOS_{VCM}$  necesita un aumento la tensión puerta surtidor (bootstrapp) para alcanzar a cumplir los tiempos de establecimiento presupuestos.

Debe tener especial cuidado en la elección del tamaño y tensión de puerta del transistor  $NMOS_{VCM}$ . Cuando el nodo común cambia por conmutación de un condensador, los condensadores aún conectados a la tensión común (todavía sin conmutar), intentan arrastrar el punto de tensión común de cada uno de ellos (punto *vo* figura 4.2.(b)) en dirección en la que se produce el cambio. El dimensionamiento del transistor  $NMOS_{VCM}$  tiene que ser capaz de devolver la tensión antes del comienzo del periodo de comparación a  $-V_{LSB}/2 < V_{CM} < V_{LSB}/2$  como mínimo.

## Resultados

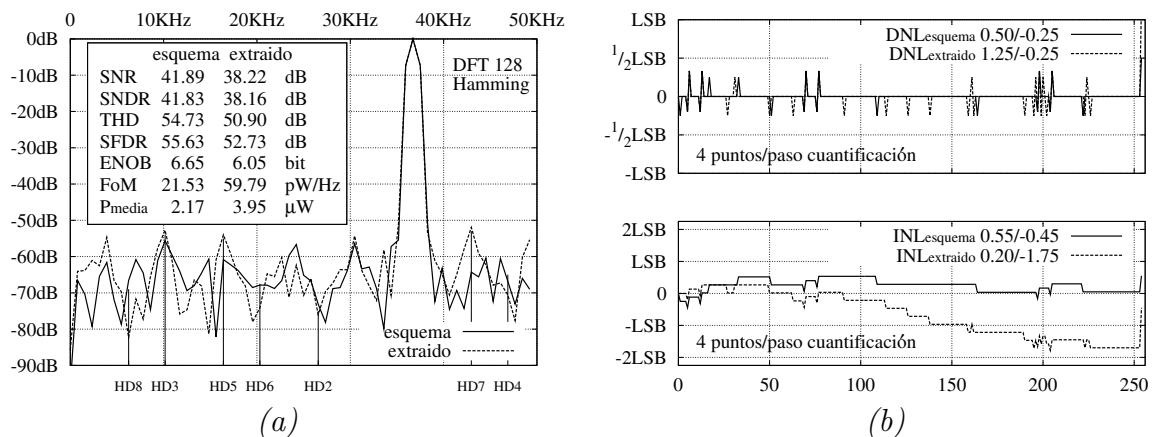


Figura 4.3: Resultados A/D híbrido. (a) Desempeño dinámico. (b) Desempeño estático.

Para estudiar el comportamiento dinámico del A/D, señal analógica  $V_{amplitud} = V_{offset} = 0.750V$  y frecuencia  $f_{analógica} = 36.719KHz$  en contrafase entre ambas entradas diferenciales. Para estudiar el comportamiento estático, una señal rampa cubriendo todo el rango de señal de entrada, desde  $V_{inicial} = 0$  hasta  $V_{final} = 1.5V$ , tomando  $Nc = 4$  puntos por paso de cuantificación (pendiente rampa  $V_{DD}/Nc \cdot 2^{Nbits} = 1.5/1024$ ).

Los datos del comportamiento dinámico son extraídos de una simulación temporal .TRAN de  $1280\mu s$ , donde se obtiene un DFT de 128 puntos. Ventana Hamming. Los datos del comportamiento estático de la simulación temporal durante  $10.24ms$ .



El convertidor híbrido no consigue superar en el principal objetivo de reducir el consumo al monotónico. El ahorro teórico del consumo alcanzable al reducir la tensión sobre el condensador es perdido por una circuitería de mayor complejidad de conmutación que además necesita emplear circuito extra para aumentar la tensión de puerta del transistor que maneja la tensión  $V_{CM}$ . Las capacidades parásitas que surgen por un mayor número de interconexiones (y un layout no especialmente adecuado) contribuye al aumento del consumo.

No obstante presenta mejor comportamiento estático en la prueba de entrada en rampa. Mejora en  $LSB/2$  al monotónico en INL. Tiene una mejor SNR y peor THD que el monotónico.

Parece que no se consigue un ahorro de consumo evidente principalmente por una sobrecarga de circuitería de conmutación más compleja frente al A/D y la baja tensión empeora el escenario. Con una tensión de alimentación más elevada, donde no fuese preciso aumentar la tensión de puerta de los transistores, el convertidor híbrido conseguiría el ahorro de consumo que se espera.

## 4.4. Simulación con circuitería digital síncrona

Escenario de simulación: remplazo de la circuitería de control y conmutación asíncrono por dispositivos ideales descritos empleando lenguaje hardware (HDL). Esto permite reducir el número de transistores a simular y eleva la velocidad.

Señal analógica de entrada  $V_{amplitud} = V_{offset} = 0.750V$  y en contra-fase entre ambas entradas diferenciales.

Simulación temporal .TRAN durante  $5120\mu s$  para un DFT de 512 con ventana Hamming y un barrido frecuencial de la señal analógica para  $7041Hz$ ,  $17.041KHz$ ,  $27.041KHz$ ,  $37.041KHz$  y  $47.041KHz$ .

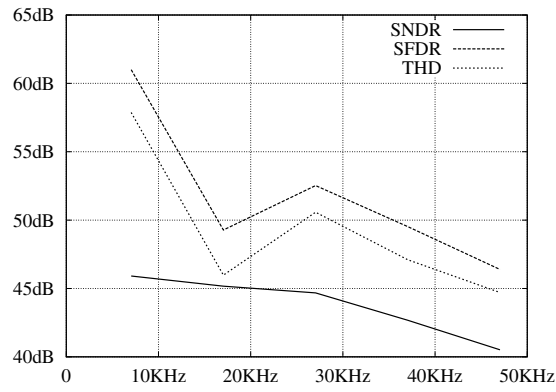
Los mejores resultados para la menor frecuencia simulada,  $7041Hz$ ,

Frecuencia[Hz]	SNR[dB]	THD[dB]	SNDR[dB]	ENOB[bit]	SFDR[dB]
7041	46.99	57.87	45.91	7.33	61.00

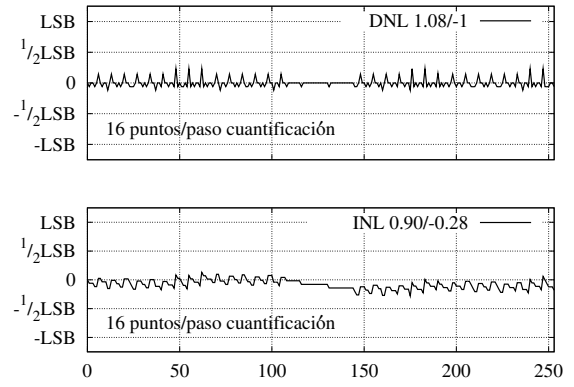
No existe diferencias entre el convertidor monotónico y el híbrido en valores de SNR, SNDR y THD. Los resultados extraídos resultan sensiblemente mejores que los obtenidos en la simulación del sistema completo, secciones 4.2 y 4.3. Emplear dispositivos conmutadores descritos en HDL elimina errores por parte de la circuitería de conmutación. Las tensiones son fijas y precisas con caídas de tensión  $V_{DS} = 0V$ .

El resultado de la figura 4.4.(a, b, c, d) es el desempeño alcanzado por el conjunto circuito interruptor de seguimiento, el D/A y el comparador.

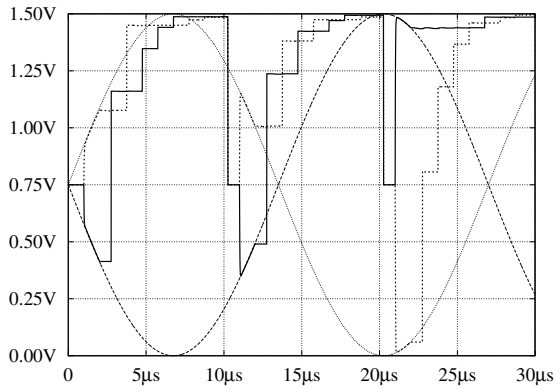
La simulación del sistema completo asíncrono, sección 4.2, no mostraba la ventaja teórica en consumo del A/D híbrido frente al A/D monotónico. La medición de la potencia media con el control ideal resuelve a favor del convertidor híbrido  $364nW$  frente a  $454nW$ . Sin embargo debe recordarse que el convertidor híbrido, aún cuando la tensión de alimentación fuera suficiente como para prescindir de circuitería de elevación de tensión de interruptores,



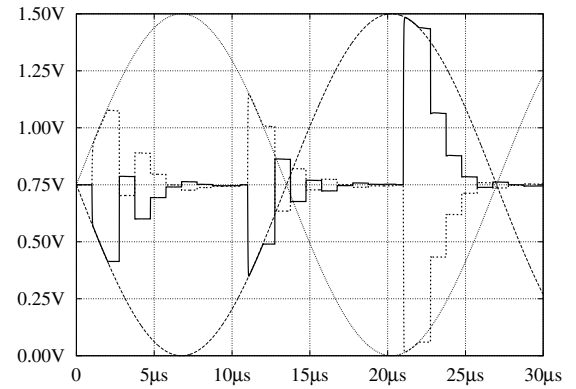
(a)



(b)



(c)



(d)

Figura 4.4: (a) Evaluación comportamiento A/D en frecuencia y (b) comportamiento estático ante una rampa de tensión. Evolución temporal de tensiones en la entrada del comparador y frente tensión analógica de entrada, (c) A/D monótonico y (d) A/D híbrido.

necesita mayor número de dispositivos y conexiones. Es más complejo y por ello la ventaja observada puede que no sea tal cuando se trate con el circuito real.



# 5

## Realización física *layout*





## Reglas y buenas prácticas para layout

Un correcto diseño layout supone acercarse al desempeño alcanzado en tiempo de simulación de esquema. Es por ello interesante aprender y entender unas básicas técnicas y reglas de layout. Cada tipo de circuito tiene sus particulares buenas prácticas según sea analógico o digital para reforzar o reducir el efecto de elementos distorsionadores. Hay técnicas para mejorar y favorecer la igualdad entre dispositivos, reducir el ruido,...

La ref[15] recoge algunas recomendaciones para layout de circuitos mixtos (analógicos y digitales en el mismo circuito integrado). Cuando ocurre el concurso de circuitos digitales-analógicos compartiendo espacio y sistema de alimentación, el ruido producido por las transiciones de la circuitería digital es un problema para la circuitería analógica. El ruido es propagado por (1) acoplo de sustrato, (2) por la alimentación compartida o (3) por acoplo capacitivo entre pistas.

El ruido por sustrato empeora a medida que la tensión de alimentación se reduce y con transiciones digitales rápidas. El acoplo capacitivo se reduce incrementando la distancia espacial analógico-digital, mediante protección apantallando (shield) y correcta disposición y distribución de los circuitos en el espacio (el acoplo es mayor cuanto mayor es el tamaño del circuito atacante respecto a la víctima).

En tiempo de diseño el circuito diferencial tiene mayor inmunidad al ruido y aísla la señal de todo ruido común de la alimentación. Esto tiene como contrapartida mayor número de pistas.

Para reducir retrasos en temporización aumentando ancho de las pistas de conexión o insertar repetidores. El repetidor aminora también efectos de acoplo al reducir la distancia de segmentos.

Consejos básicos layout:

- Evitar líneas con anchos y espaciados mínimos.
- Cerca pozo N (Nwell) la variación puede llegar  $V_{THnmos}$  a  $50mV$  y  $V_{THnmos}$  a  $20mV$ , tener en cuenta a la hora de emplazar dispositivos sensibles como pares de entrada. Colocar la pareja en zona isoterma.
- Segmentar dispositivos de gran tamaño para mejorar los errores por distancia o/y conseguir dispositivos lo más iguales posibles cuando eso sea posible y stacking de los transistores.
- Disponer todos los dispositivos orientados en la misma dirección. Buscar homogeneizar entornos, formar polígonos uniformes en densidad de dispositivos y emplear dispositivos no útiles (dummy devices) para uniformar el perímetro de elementos sensibles como pares de entrada para aliviar estrés espacial (STI). Si es posible emplear más vías donde hay sitio.
- Evitar disponer dos dispositivos (o circuitos) iguales de forma que uno sea el espejo del otro (mirroring), peligro desajuste por cambios en capacidades parásitas y resistencias en fuente y drenador.
- Evitar  $L$  mínima en transistores analógicos sensibles, mejora variación de  $V_{TH}$ , mejora ajuste.



- No emplear formas de transistores extrañas.
- En transistores par diferenciales, emplear ancho polisilicio mayor al mínimo, formas rectangulares y cuadradas técnicas de centro común (common centroide) para circuitos con baja alimentación, donde el ajuste es importante y emplear dispositivos dummy para dar uniformidad al entorno. Transistor de ancho mayor presenta menor variabilidad de parámetros.

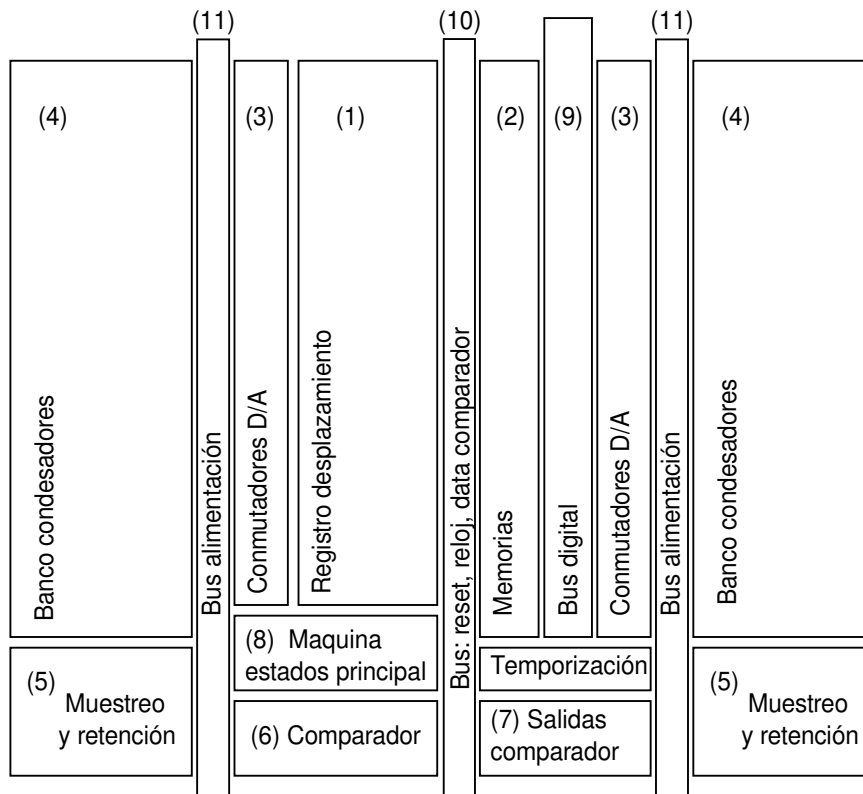


Figura 5.1: *Distribución espacial del circuito físico.*

## Realización física del circuito A/D

Cuando la circuitería digital síncrona concurre con la circuitería analógica la separación espacial es una práctica aconsejada en la protección ante el ruido. En A/D de circuitería digital asíncrona, las transiciones digitales ocurren fuera del tiempo de funcionamiento crítico de la circuitería analógica y en vista de ahorrar espacio, no se sigue esta recomendación. Pero los circuitos son rodeados por líneas metálicas de protección.

En la parte central la lógica digital, (1) el registro desplazamiento y (2) la memoria dispuesto en forma de columna. A cada lado de la circuitería digital, (3) los amplificadores de salida que atacan a los condensadores D/A. Dispuestos de esta forma para mantener la misma distancia amplificador-condensador en ambas ramas.





(4) En frente de los amplificadores de salida, el banco de condensadores de Poly-Poly dentro de un pozo N y rodeados por líneas de metal conectado a la tensión de alimentación. Los condensadores de mayor tamaño se realizan por suma de condensadores unitarios para reducir errores de variabilidad. Una buena práctica para mejorar errores de distancia es el empleo de la técnica Common Centroide. No se ha empleado. La disposición de (1, 2, 3) en celdas (se asemeja a un edificio de plantas). Cada celda contiene la parte de registro de desplazamiento asociado a cada bit, la memoria y la circuitería de salida, rodeados por líneas de metal (techo, suelo y paredes) conectados al voltaje menor del sistema con vista a limitar la expansión del ruido.

(5) Circuitos de seguimiento y retención. (6) Comparador con transistores interdigitados para mejorar la precisión entre pares, rodeados por líneas de metal conectados a la alimentación para crear un escudo de protección. (7) Amplificadores o circuitería de salida del comparador. (8) Circuitería de control del comparador y máquina de estados principal. (9) Bus salida digital. (10) Bus de puesta a cero y resultado de comparación y (11) Buses de reparto de alimentación  $V_{DD}$ ,  $V_{SS}$ , ( $V_{CM}$ ).

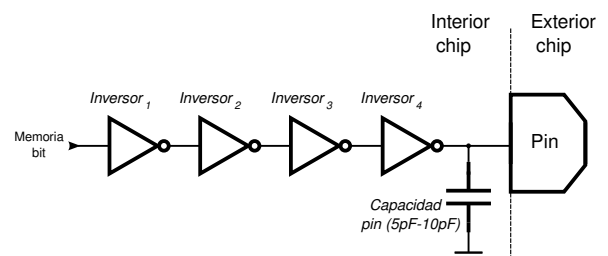
El diseño realiza un esfuerzo particular en mantener las longitudes de pistas de ambas D/A tan iguales como pueda ser posible y realiza equilibrado de cargas.

## Conexiones externas del chip

Los pines del chip tienen asociado una impedancia capacitiva de  $5pF - 10pF$ . La limitación del ancho de banda que impone tiene que tenerse en cuenta en el dimensionamiento de las salidas (las entradas cargan a las fuentes exteriores). Cada salida digital se intercala un amplificador de cuatro inversores en cadena con aumento progresivo de dimensiones entre las memorias de bit del comparador y los terminales del chip.

Dispositivo	Dimensiones	Unidades
	$\frac{W_{PMOS}}{W_{NMOS}}$ , $L = 0.6\mu m$	
$Inversor_1$	32/10	$[\mu m]$
$Inversor_2$	64/21	$[\mu m]$
$Inversor_3$	128/43	$[\mu m]$
$Inversor_4$	256/85	$[\mu m]$

(a)



(b)

Figura 5.2: Circuito adaptación de salida, (a) Tabla de dimensiones de los transistores de cada inversor. Todas las longitudes de los transistores  $L_{PMOS} = L_{NMOS} = 0.6\mu m$  y (b) esquema.

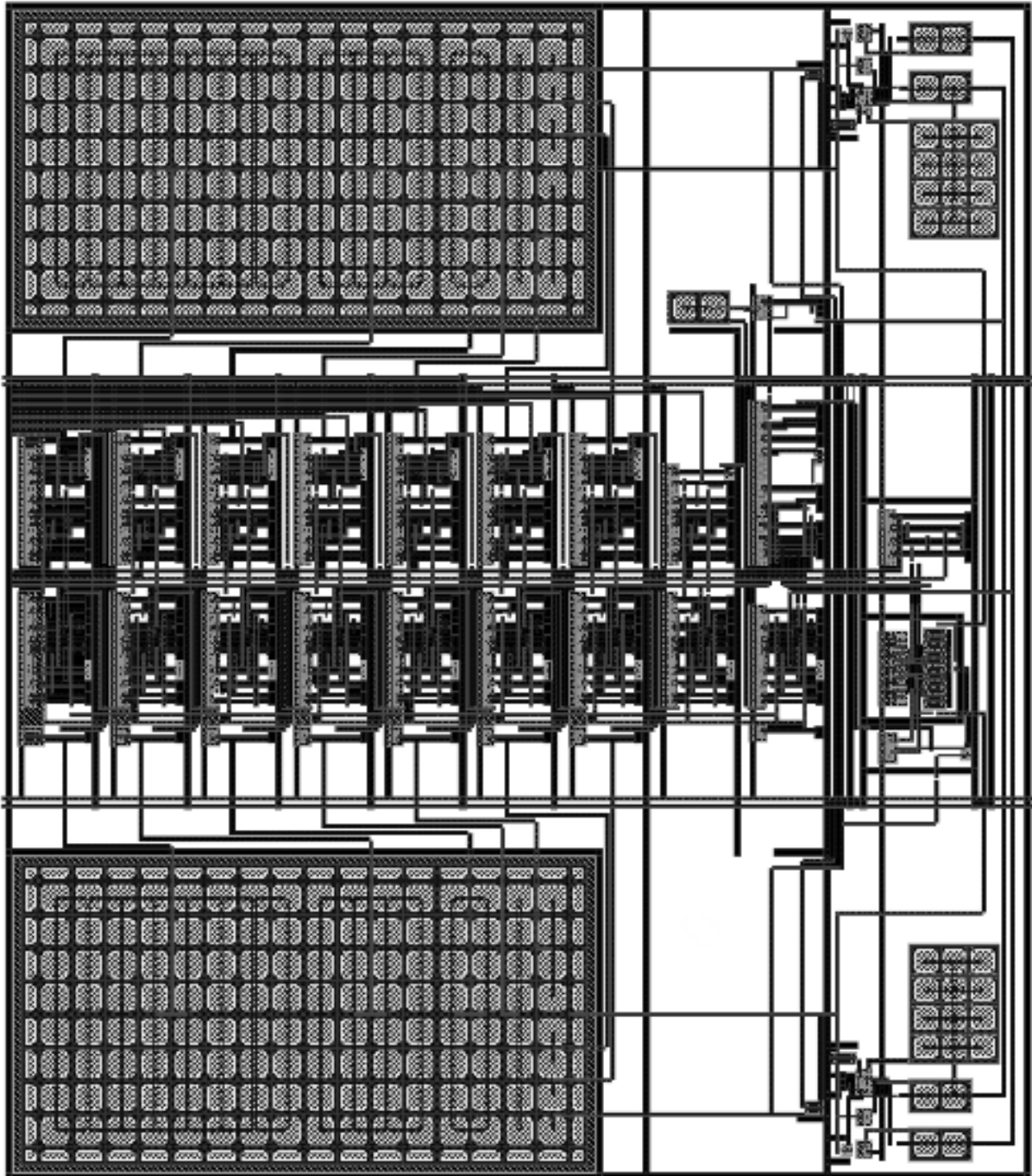


Figura 5.3: Foto del layout A/D monotónico completo.

# 6

## Conclusiones y líneas futuras





## Conclusiones

El trabajo publica el desarrollo de diseño de un convertidor A/D de aproximaciones sucesivas de  $800\text{KHz}$  a  $V_{DD} = 1.5\text{V}$  y una potencia media de  $P_{media} = 2.2\mu\text{W}$  dentro del marco de la tecnología de  $0.5\mu\text{m}$ .

La oportación del proyecto ha consistido en adaptar circuitos preexistentes en la literatura a la tecnología  $0.5\mu\text{m}$  con una tensión inferior a la nominal para esta tecnología. Los problemas derivados de la tensión baja son sorteados empleando técnicas de circuitería especial como la elevación de tensión de puerta para transistores interruptores y polarización de transistores en inversión débil.

El diseño de la circuitería analógica enfocado principalmente al ahorro de potencia y el empleo del menor espacio posible. No obstante para cada sub-circuito analógico la solución adoptada es aquella que mantiene THD al menos  $6\text{dB}$  inferior al ruido de cuantificación. Emplear únicamente 3 tensiones ( $V_{DD}$ ,  $V_{SS}$  y  $V_{CM}$ ), responde al fin de reducir la complejidad, evitando la necesidad de circuitería extra de polarización, en vista al empleo del convertidor en aplicaciones energéticamente autónomas.

Un diseño de circuitería lógica digital asíncrona desarrollado particularmente para éste convertidor.

Se han desarrollado expresiones analíticas para el diseño de circuitos analógicos.

Un diseño físico del circuito, layout, teniendo en cuenta la singularidad del concurso de la electrónica digital y analógica dentro del mismo circuito integrado, tomándose medidas para el correcto aislamiento de los focos de ruido. El posicionado físico de los dispositivos/subcircuitos en el área del circuito integrado intentando mantener una alta simetría en las distancias de la señales analógicas.

## Líneas futuras

La solución de diseño toma el tamaño de dispositivos más pequeños posibles obviando cualquier margen extra que pudiera absorber cualquier variabilidad en tiempo de construcción. Tras la verificación del prototipo puede comprobarse dicha afirmación y actuar en consecuencia rediseñando ligeramente el tamaño de dispositivos puntuales.

Un trabajo futuro pudiera seguir cualquiera de los siguientes puntos:

En el layout, emplear técnicas que mejoran la igualdad entre dispositivos: Common Centroide en los condensadores del convertidor D/A.

Inicialmente el diseño se intentó a un valor de  $V_{DD} = 1.2\text{V}$  de tensión de alimentación. Al comprobarse insuficiente para alcanzar los valores presupuestos de velocidad, se migró a  $V_{DD} = 1.5\text{V}$ , sin un estudio profundo donde dilucidar la tensión correcta de equilibrio donde se satisface un buen desempeño analógico correcto y un consumo lo más reducido. Realizar éste estudio sobre la tensión de alimentación adecuada es otra posible línea de trabajo. Plantearse la posibilidad del empleo de diferentes valores de tensiones de alimentación para la circuitería analógica y digital mediante circuitería de conversión DC/DC. Tener en cuenta el sobrecosto inherente al conversor DC/DC o de dos tensiones de alimentación independiente, sobre el tamaño y consumo.



Un análisis del comportamiento del comparador ante variaciones de la fuente de alimentación. Punto importante debido a la alta sensibilidad de la polarización de transistores en inversión débil.

Dependiendo de la futura aplicación debe considerarse la posibilidad de emplear una topología no diferencial en vista del ahorro del consumo. Tener en cuenta el beneficio aportado por la topología diferencial al plantearse la elección.

Fue presentado una alternativa de conmutación que pretendía reducir la potencia consumida en la conmutación de condensadores, conmutando los condensadores solo a la mitad de tensión de alimentación. Debido al sobrecosto en dispositivos necesarios para resolver los problemas de conmutación en baja tensión (*Bootstrapping*), no son alcanzados los ahorros esperados. La viabilidad se basaría en un ajuste de la tensión de alimentación suficiente para eliminar la circuitería extra de conmutación. Podría pensarse en el empleo de dos tensiones diferentes para circuitos analógicos y digitales.

# A

## Conmutación monotónica







Figuras A.1 y A.2 recogen los diagramas de todas las posibles conmutaciones para un A/D SAR convencional y un A/D SAR monotónico de 3 bit de resolución, según sea el resultado de la comparación. La gráfica que acompaña el diagrama es un ejemplo concreto con la evolución de las tensiones en las entradas del comparador. Los recuadros resaltados en el diagrama marcan el camino del ejemplo de la gráfica.

La primera diferencia viene en el tiempo de adquisición donde el SAR diferencial convencional realiza la adquisición por la parte de conmutación de los D/A (lado contrario al nodo común conectado al comparador) y necesita una etapa previa al comienzo de conversión para llevar el valor de la muestra al lado común de los condensadores del D/A.

La adquisición en el SAR diferencial monotónico se hace directamente sobre el nodo común de los D/A. No necesita un paso de movimiento de carga hacia el nodo común.

La segunda diferencia es sobre la señal de referencia. El SAR diferencial convencional mantiene siempre la misma distancia de los D/A hacia la tensión común. Esto es, podría considerarse dos convertidores independientes funcionando respecto a la tensión común como referencia, intentando reducir la diferencia con esta tensión común, pero la comparación para la decisión es tomada por comparación entre ambas ramas D/A, consiguiendo las ventajas de la topología diferencial.

Para el SAR diferencial monotónico la tensión de referencia es la tensión de alimentación. En cada paso, tras la comparación se actúa sobre el D/A con la mayor diferencia de tensión respecto a la tensión de referencia. Aunque se podría considerar que la D/A con tensión más próxima a la alimentación como referencia para la otra y la conversión por reducción de la diferencia entre ambas.

Una ventaja de la conmutación monotónica reside en que un interruptor solamente se acciona una vez durante la conversión, mientras esto no ocurre en el convencional. Como ejemplo, siguiendo el camino marcado por los recuadros destacados, el condensador  $2C$  del D/A negativo, en el segundo paso está conectado a  $V_{DD}$ , en el tercero a  $V_{SS}$  y en el último nuevamente a  $V_{DD}$ .

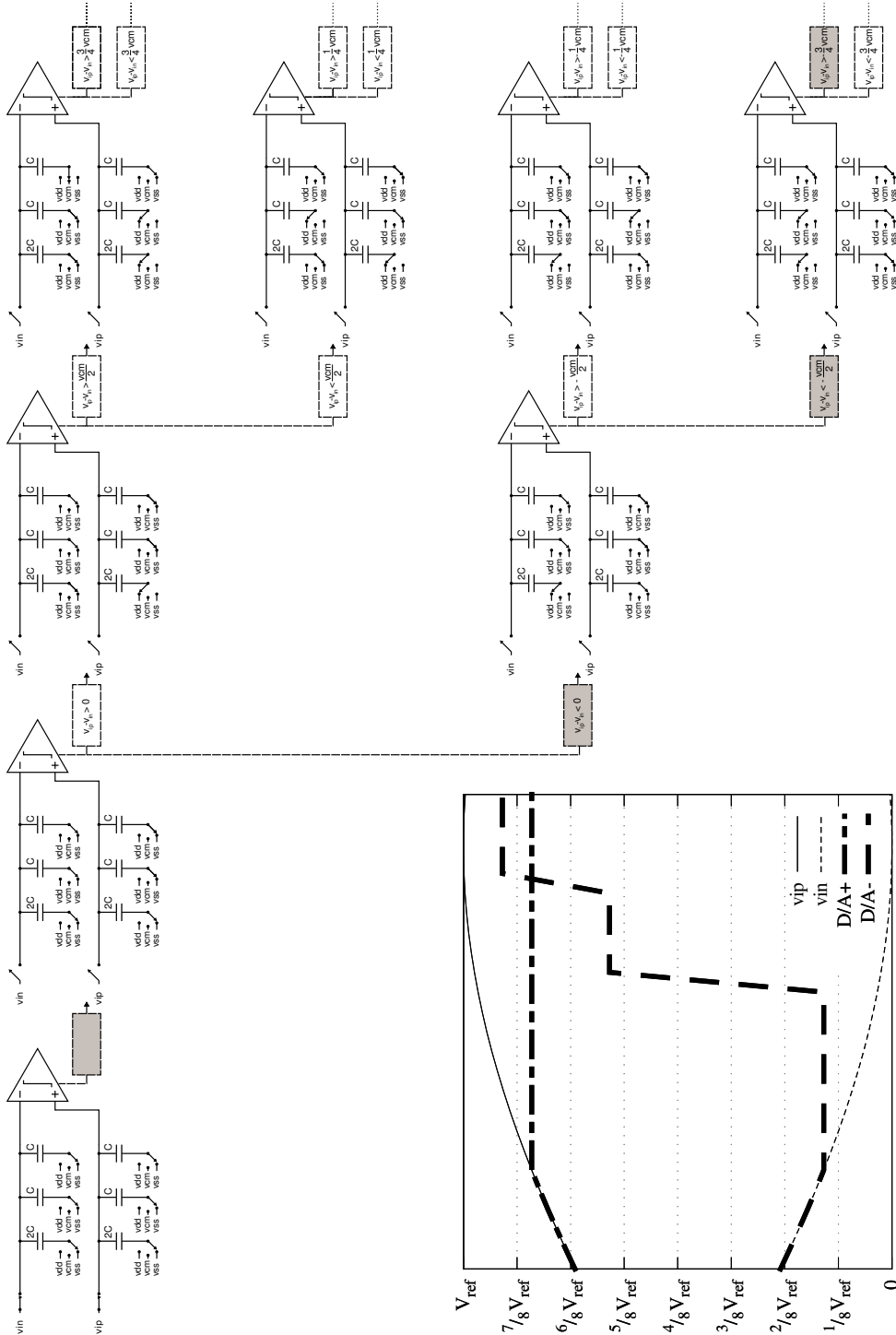
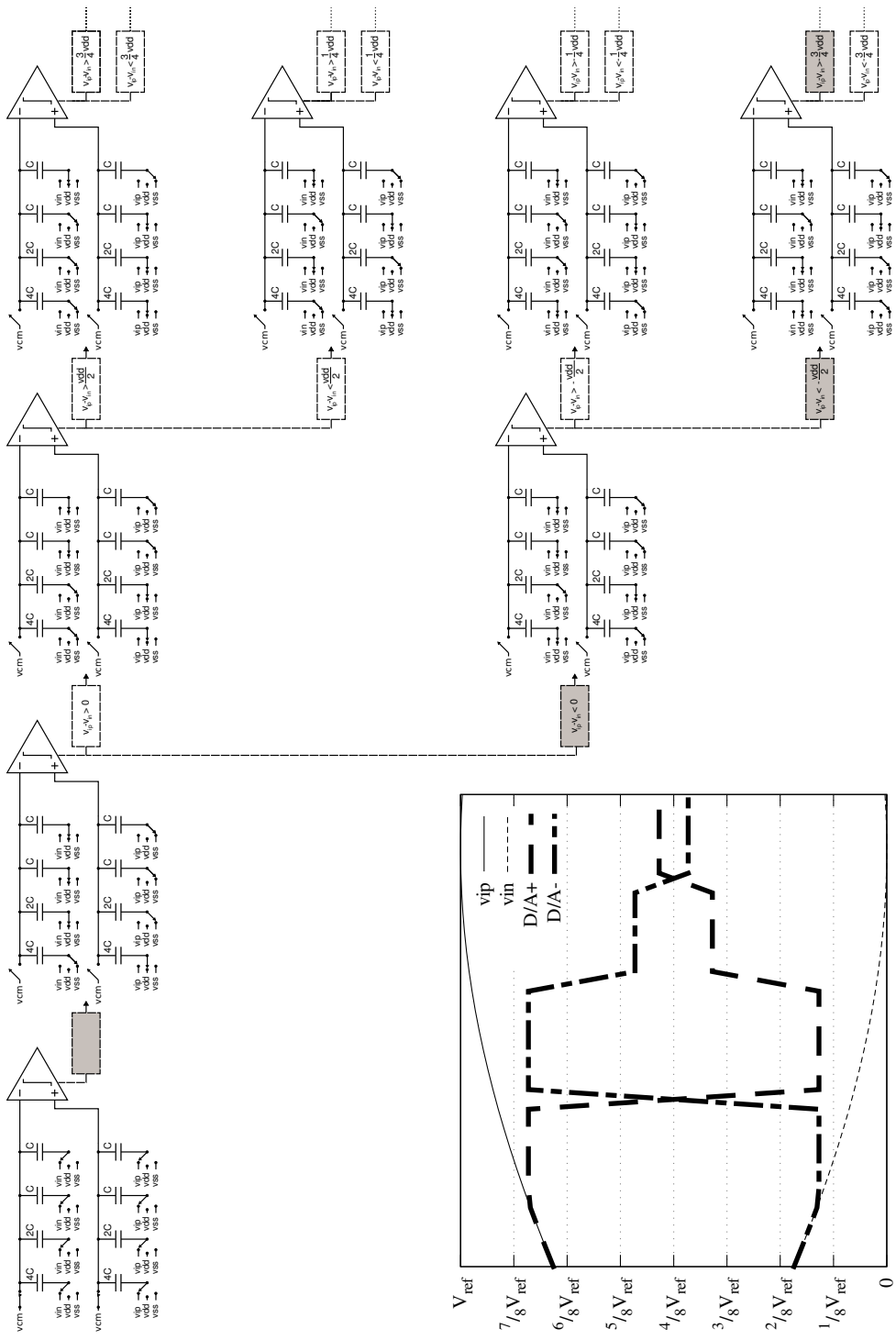


Figura A.1: *Comutación monotónica.*





# B

## Modelo MOS





Modelo transistor MOS para todas las regiones sin efectos de segundo nivel con valores de parámetros para tecnología de  $0.5\mu m$ .

Regiones de funcionamiento del transistor MOS:

Inversión débil	Inversión moderada	Inversión fuerte
$IC < 1/10$	$1/10 < IC < 10$	$IC > 10$

$$IC = \frac{I_d}{I_o \frac{W}{L}} = \left[ \ln \left( 1 + e^{\frac{(V_{GS} - V_{TH})}{nU_t}} \right) \right]^2 \quad I_o = 2n\mu_o C_{ox} U_t^2 \quad [A]$$

(1) Corriente drenador para todas las regiones:

$$I_d = 2n\mu_o C_{ox} U_t^2 \frac{W}{L} \left[ \ln \left( 1 + e^{\frac{(V_{GS} - V_{TH})}{nU_t}} \right) \right]^2 \quad [A]$$
$$\simeq \frac{2\mu_o C_{ox} U_t^2}{n} \frac{W}{L} e^{\frac{(V_{GS} - V_{TH})}{nU_t}} \quad \text{aproximación en inversión débil.}$$
$$\simeq \frac{\mu_o C_{ox} U_t^2}{2n} (V_{GS} - V_{TH})^2 \quad \text{aproximación en inversión fuerte.}$$

donde

$$V_{TH} = V_{THo} + \gamma \left[ \sqrt{V_{SB} + 2\phi_{Fermi}} - \sqrt{2\phi_{Fermi}} \right] \quad [V]$$
$$\simeq V_{THo} + (n - 1) V_{SB}$$

$n$  es el factor sustrato ( $1 < n < 1.6$ )

$$n = 1 + \frac{\gamma}{2\sqrt{\frac{V_{GS} - V_{TH}}{n} + V_{SB} + \phi_o}}$$

$\phi_o = 2\phi_{Fermi} + 4U_t$  es el potencial en superficie y  $2\phi_{Fermi} = 0.8V$  el potencial Fermi. Factor movilidad  $\mu_o$ ,  $490cm^2/Vs$  para NMOS y  $256cm^2/Vs$  para PMOS. Tensión umbral  $V_{THo}$ ,  $0.754V$  para NMOS y  $-0.9V$ . Capacidad del oxido  $C_{ox} = 2.60fF/\mu m^2$ . Factor de



bulk  $\gamma$ ,  $0.72 V^{1/2}$  para NMOS y  $0.59 V^{1/2}$  para PMOS.  $U_t = kT/q$ ,  $k = 1.38 \cdot 10^{-23} J/^{\circ}K$ ,  
 $T = 300^{\circ}K$ ,  $q = 1.6 \cdot 10^{-19} C$

(2) Tensión puerta-surtidor todas las regiones:

$$V_{GS} - V_{TH} = 2nU_t \ln \left( e^{\sqrt{IC}} - 1 \right) \quad [V]$$
$$\simeq nU_t \ln(IC) \text{ aproximación en inversión débil.}$$
$$\simeq 2nU_t \sqrt{IC} \text{ aproximación en inversión fuerte.}$$

(3) Tensión drenador-surtidor en saturación para todas las regiones:

$$V_{DSsat} = 2U_t \sqrt{IC + 0.25} + 3U_t \quad [V]$$
$$\simeq 4U_t \text{ aproximación en inversión débil.}$$
$$\simeq 2U_t \sqrt{IC} = \frac{V_{GS} - V_{TH}}{n} \text{ aproximación en inversión fuerte.}$$

(4) Trasconductancia para todas las regiones:

$$\frac{g_m}{I_d} = \frac{1}{nU_t \sqrt{IC + 0.25} + 0.5} \quad [1/V]$$
$$\simeq \frac{1}{nU_t} \text{ aproximación en inversión débil.}$$
$$\simeq \frac{1}{nU_t \sqrt{IC}} = \frac{2}{V_{GS} - V_{TH}} \text{ aproximación en inversión fuerte.}$$

(5) Ganancia intrínseca :

$$A_{Vintrinseca} = \frac{g_m}{g_{ds}}$$

(6) Frecuencia intrínseca de corte a -3dB:

$$f_{Cintrinseca} = \frac{g_m}{2\pi (C_{gs} + C_{gb})} \quad [Hz]$$



### B.0.1. MOS en subthreshold

En subthreshold incrementa transconductancia para una corriente dada, posibilidad de funcionar con la menor tensión drenador-surtidor y puerta-surtidor y minimiza el ruido térmico. A medida que aumenta  $L$  mejora el ajuste, minimiza el ruido Flicker y la ganancia intrínseca alcanza su máximo valor. Pero tiene mayor distorsión, menor ancho de banda, las capacidades en los nodos aumenta al necesitar mayores dimensiones de transistores, lo que aumenta la superficie ocupada en el silicio y al no haber inversión en el canal, es más sensible a variaciones de fuentes de alimentación, temperatura y parámetros de proceso.

Utilizando MOS en subthreshold para conseguir bajo-voltaje/bajo-consumo. Un inversor puede funcionar con  $V_{DD} = 4 \cdot U_t$  con suficiente ganancia para funcionamiento en lógica digital. Sacrifica velocidad y el margen de ruido pero mejora consumo dinámico.

El avance tecnológico escalamiento agresivo en  $L$  pero no en igual proporción de  $V_{DD}$  y  $t_{ox}$ . Esto produce el aumento del consumo estático y disminución consumo dinámico. El consumo estático aumenta por corrientes de fuga (leakeage) a medida que la tensión umbral disminuye el transistor le es más difícil entrar en corte (pendiente subthreshold  $n$ ).

Para aplicaciones de redes de sensores donde no necesita alta prestación se pueden emplear MOS de viejas tecnologías que no presentan los inconveniente de la reducción de tamaño ocasiona.

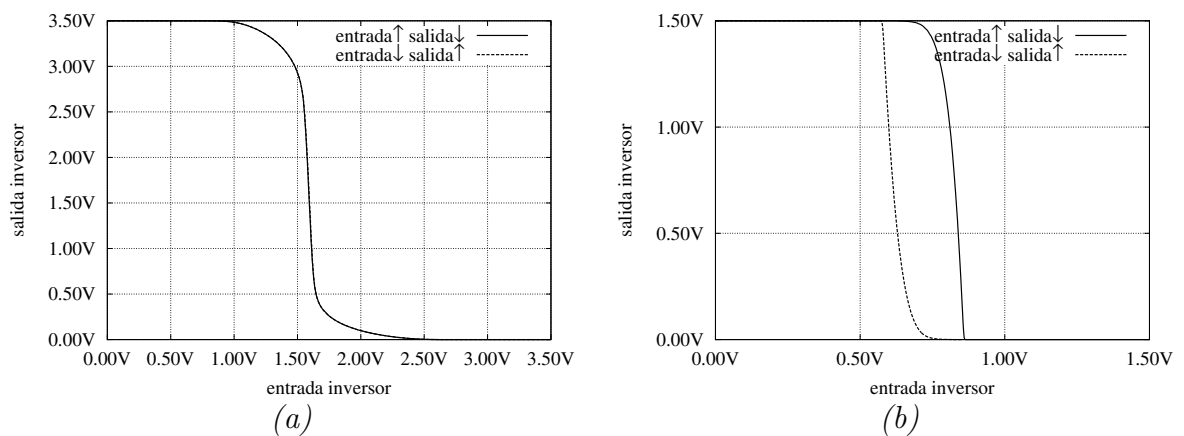


Figura B.1: *Histéresis por reducción de tensión de alimentación en un inversor de tamaño mínimo en tecnología  $0.5\mu\text{m}$ . (a)  $V_{DD} > V_{THN} + |V_{THP}|$  y (b)  $V_{DD} < V_{THN} + |V_{THP}|$ .*



# C

## Herramientas





---

## Herramientas para el proyecto

Relación de programas y herramientas empleadas durante el proyecto:

- **CADENCE-Virtuoso:** Para análisis, diseño y simulación de esquemático y realización del layout.
- **Octave:** Tratamiento y extracción de datos.
- **Gnuplot:** Generación y representación de gráficas. Dimensionamiento por curvas.
- **Latex:** Redacción y presentación.



# Bibliografía

- [1] Chun-Cheng Liu, Soon-Jyh Chang, Guan-Ying Huang, Ying-Zu Lin, “A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure,” *IEEE Solid-State Circuits*, vol. 45, no. 4, 2010.
- [2] B. Ginsburg and A. Chandrakasan, “An energy-efficient charge recycling approach for a SAR converter with capacitive DAC,” *ISCAS*, vol. 1, 2005.
- [3] Hoonki Kim, YoungJae Min, Yonghwan Kim, Soowon Kim, “A Low Power Consumption 10-bit Rail-to-Rail SAR ADC Using a C-2C Capacitor Array,” 200x.
- [4] Hui Zhang, Yajie Qin, Siyu Yang, Zhiliang Hong, “Design of an ultra-low power SAR ADC for biomedical applications,”
- [5] Michael D. Scott, Bernhard E. Boser, Kristofer S. J. Pister, “An ultralow-energy ADC for smart dust,” *IEEE Solid-State Circuits*, vol. 38, no. 7, 2003.
- [6] Andrea Agnes, Edoardo Bonizzoni, Piero Malcovati, Franco Maloberti, “A 9.4-ENOB 1V 3.8  $\mu$ w 100KS/s SAR ADC with time-domain comparator,” *IEEE International Solid-State Circuits Conference*, 2008.
- [7] Wen-Yi Pang, Chao-Shiun Wang, You-Kuang Chang, Nai-Kuan Chou, Chorng-Kuang Wang, “A 10-bit 500-KS/s Low Power SAR ADC with splitting comparator for Bio-Medical applications,” *IEEE Asian Solid-State Circuits Conference*, 2009.
- [8] Pieter Harpe, Cui Zhou, Xiaoyan Wang, Guido Dolmans, Harmke de Groot, “A 12fJ/Conversion-Step 8bit 10MS/s asynchronous SAR ADC for Low Energy Radios,”
- [9] Naveen Verma, Anantha P. Chandrakasan, “An Ultra Low Energy 12-bit Rate-Resolution Scalable SAR ADC for Wireless Sensor Nodes,” *IEEE Solid-State Circuits*, vol. 42, no. 6, 2007.
- [10] Reza Lotfi1, Rabe’eh Majidi, Mohammad Maymandi-Nejad, Wouter. A. Serdijn, “An Ultra-Low-Power 10-Bit 100-kS/s Successive Approximation Analog-to-Digital Converter,”
- [11] Michiel van Elzakker, Ed van Tuijl, Paul Geraedts, Daniël Schinkel, Eric A. M. Klumperink, Bram Nauta, “A 10-bit charge-redistribution ADC consuming 1.9  $\mu$ w at 1 MS/s,” *IEEE Solid-State Circuits*, vol. 45, no. 5, 2010.



- 
- [12] Jaime Ramírez-Angulo, Antonio J. López-Martín, Ramón González Carvajal, Fernando Muñoz Chavero, “Very Low-Voltage analog signal processing based on Quasi-Floating Gate Transistors,” *IEEE Solid-State Circuits*, vol. 39, pp. 434–442, March 2004.
- [13] Neil H. E. Weste and David Harris, *CMOS VLSI Design. A circuit and systems perspective*. Pearson, 2011.
- [14] Pedro M. Figueiredo and João C. Vital, “Low kickback noise techniques for CMOS Latched comparators,” *ISCAS*, 2004.
- [15] J. Baker, *CMOS. Circuit Design, Layout and Simulation*. IEEE–Wiley, 2011.
- [16] *IC Technology and IC*. Presentación cedida por Antonio J. López-Martín.
- [17] *Fundamentals of sampled data systems*. <http://www.analog.com>.
- [18] Jaime Ramírez-Angulo, Carlos A. Urquidi, Ramon González-Carvajal, Antonio Torralba, Antonio López-Martín, “A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating-Gate Transistors,” *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal processing*, vol. 50, no. 5, 2003.
- [19] Jose María Algueta Miguel, *Diseño analógico de bajo consumo con transistores MOS de puerta flotante y cuasiflotante*. –Proyecto final de Carrera–ETSII. Universidad Pública de Navarra., 2008.
- [20] Coro García Alberdi, *Análisis y aplicaciones del super-seguidor de fuente clase AB*. – Proyecto final de Carrera– ETSII. Universidad Pública de Navarra., 2009.
- [21] Coro García Alberdi, *Filtros CMOS integrados de muy bajo consumo para selección de canal en receptores Bluetooth y Zigbee*. –Proyecto final de Carrera– ETSII. Universidad Pública de Navarra., 2011.
- [22] P.R Gray, P.J. Hurst, S.H. Lewis, R.G. Meyer, *Analysis and Design Analog Integrated Circuits*. John Wiley & Sons, 2001.
- [23] *Converter Passion*. <http://converterpassion.wordpress.com>.