

E.T.S. de Ingeniería Industrial,
Informática y de Telecomunicación

Diseño optimizado de amplificadores CMOS de ultra bajo consumo



Máster Universitario en
Ingeniería de Telecomunicación

Trabajo Fin de Máster

Víctor Marco Barricart

Tutor: Antonio J. López Martín

Pamplona, 21 de febrero de 2024

upna

Universidad Pública de Navarra
Nafarroako Unibertsitate Publikoa

Índice General

Capítulo 1	Introducción	7
1.1.	Marco del proyecto	7
1.2.	Objetivos del proyecto	8
Capítulo 2	Diseño de OTA de baja tensión y potencia.....	9
2.1.	Fundamentos del OTA.....	9
2.2.	Diseño de circuitos LVLP.....	11
2.3.	Operación en clase AB.....	12
2.4.	Técnicas a nivel de dispositivo	14
2.4.1.	Operación en inversión débil	15
2.4.2.	QFG.....	16
2.5.	Técnicas a nivel de circuito.....	17
2.5.1.	FVF.....	17
2.5.2.	Derivación de corriente.....	19
2.5.3.	Local Common-Mode Feedback.....	20
2.5.4.	Espejo de corriente no lineal.....	22
2.5.5.	Desplazador de nivel DC.....	23
Capítulo 3	Metodología de diseño	25
3.1.	Propuesta OTA superclase AB genérico	25
3.2.	Análisis del OTA superclase AB genérico.....	27
3.2.1.	Cálculo de FoMS.....	28
3.2.2.	Cálculo de FoML	30
3.2.3.	Cálculo del margen de fase	31
3.2.4.	Cálculo del ruido.....	31
3.3.	Optimización	33
3.3.1.	Optimización de FoMS	34
3.3.2.	Optimización del ruido	38
Capítulo 4	Diseño e implementación	42
4.1.	Simulación RFC OTA Super Clase AB	42
4.2.	Simulación CM OTA super clase AB.....	51
Capítulo 5	Layouts	55
5.1.	Técnicas de layout.....	55

5.2. Layouts realizados	56
5.3. Líneas futuras	59
Anexo A.....	60
Anexo B.....	64

Índice de figuras

Figura 2.1: (a) Símbolo de un OTA y (b) implementación conceptual.	9
Figura 2.2: Implementación práctica de un OTA.....	10
Figura 2.3: Comparación de corriente generada a la salida entre amplificador clase A vs clase AB.	13
Figura 2.4: Tipos de clases de amplificadores: (a) clase A, (b) clase B y (c) clase AB.	14
Figura 2.5: Circuito equivalente de un nMOS QFG de entrada múltiple.	16
Figura 2.6: Seguidor de voltaje invertido.	17
Figura 2.7: (a) Par diferencial y su versión con polarización adaptativa e (b) implementación con FVFs.	19
Figura 2.8: (a) Espejo de corriente incluyendo derivación de corriente y (b) circuito equivalente en pequeña señal.	20
Figura 2.9: (a) LCMFB y (b) circuito equivalente en pequeña señal.....	22
Figura 2.10: Implementación de un espejo de corriente no lineal	23
Figura 2.11: (a) Amplificador con "level shifter". (b) Implementación utilizando un seguidor de voltaje e (c) implementación usando QFG.....	24
Figura 3.1: Diagrama básico del OTA super clase AB.	25
Figura 3.2: Implementación genérica propuesta del OTA super clase AB.	26
Figura 3.3: FoMs de las diferentes configuraciones respecto a R.....	35
Figura 3.4: Ruido equivalente a la entrada respecto a R.	39
Figura 3.5: Ruido equivalente a la entrada respecto a gamma.	40
Figura 4.1: Implementación del RFC OTA super clase AB.	42
Figura 4.2: Espejo de corriente para la polarización del amplificador.	43
Figura 4.3: Espejo de corriente para la polarización del amplificador haciendo uso de transistores cascos.	49
Figura 4.4: Implementación RFC OTA super clase AB con técnica QFG para los transistores cascos.	50
Figura 4.5: implementación del CM OTA super clase AB.....	52
Figura 4.6: Comparativa de las figuras de mérito obtenidas respecto a otros trabajos.....	54
Figura 5.1: Layout del RFC OTA super clase AB.....	57
Figura 5.2: Layout del CM OTA super clase AB.	58

Índice de tablas

Tabla 3.1: Parámetros escogidos para la optimización de FoMs.	34
Tabla 3.2: Resultados de la optimización de FoMs.	34
Tabla 3.3: Resultados de la optimización de FoMs teniendo en cuenta el margen de fase.	35
Tabla 3.4: Parámetros escogidos para la optimización de FoMs en inversión fuerte.	37
Tabla 3.5: Resultados de la optimización de FoMs en inversión fuerte.	37
Tabla 3.6: Parámetros escogidos para la optimización del ruido.	38
Tabla 3.7: Resultados de la optimización del ruido.	38
Tabla 3.8: Resultados de la optimización del ruido en inversión fuerte.	40
Tabla 4.1: Ratios W/L para las dos configuraciones con diferente ϵ	44
Tabla 4.2: Parámetros escogidos para comprobar la influencia de ϵ	44
Tabla 4.3: Resultados de la influencia de ϵ	44
Tabla 4.4: Ratios W/L para las dos configuraciones con diferente γ	45
Tabla 4.5: Parámetros escogidos para comprobar la influencia de γ	46
Tabla 4.6: Resultados de la influencia de γ	46
Tabla 4.7: Ratios W/L escogidos.	47
Tabla 4.8: Parámetros escogidos.	48
Tabla 4.9: Resultados obtenidos del RFC OTA super clase AB.	48
Tabla 4.10: Resultados obtenidos del RFC OTA super clase AB tras añadir cascos al espejo de corriente.	49
Tabla 4.11: Resultados obtenidos del RFC OTA super clase AB tras añadir la técnica QFG.	51
Tabla 4.12: Ratios W/L escogidos para simular el CM OTA super clase AB	52
Tabla 4.13: Parámetros escogido para simular el CM OTA super clase AB.	53
Tabla 4.14: Resultados del CM OTA super clase AB.	53

Capítulo 1

Introducción

1.1. Marco del proyecto

Hoy en día, la eficiencia energética se ha convertido en un requisito clave en varias aplicaciones, en particular para los dispositivos alimentados por baterías o los sistemas de energy harvesting. El amplificador operacional de transconductancia (OTA) es un elemento muy importante para lograr dicha eficiencia energética debido a que se emplea de forma generalizada en varias aplicaciones. Esto supone que una buena optimización del OTA puede repercutir de manera favorable en el consumo global de las mismas. De ahí que el diseño de OTAs con alta eficiencia energética se haya convertido en un importante tema de investigación.

Un OTA de bajo consumo debe ofrecer un rendimiento óptimo en pequeña y gran señal para una corriente de alimentación I_{supply} especificada. Para cuantificar dicho rendimiento, se emplean dos figuras de mérito: la primera es $FoM_L = SR \cdot C_L / I_{\text{supply}} = I_{\text{maxL}} / I_{\text{supply}}$, siendo SR el Slew Rate, C_L la capacitancia de carga e I_{maxL} la corriente máxima de carga. FoM_L evalúa el rendimiento en gran señal del OTA para una I_{supply} determinada. La segunda figura de mérito es $FoM_S = GBW \cdot CL / I_{\text{supply}}$, siendo GBW el producto ganancia-ancho de banda. FoM_S evalúa el rendimiento en pequeña señal para una I_{supply} determinada.

Una de las configuraciones del OTA más eficientes desde el punto de vista de eficiencia energética de las que se tiene constancia hasta la fecha son los denominados OTAs de super clase AB.

En este trabajo fin de máster se propone desarrollar un marco teórico unificado para el diseño de amplificadores super clase AB. A partir de ese marco unificado se propondrán técnicas de optimización que permitan optimizar las figuras de mérito de pequeña y gran señal y por lo tanto diseñar los amplificadores más eficientes desde el punto de vista energético para una aplicación concreta.

1.2. Objetivos del proyecto

Con el presente trabajo final de máster se pretender cumplir los siguientes objetivos:

- Revisión de los conceptos básicos en microelectrónica analógica: operación del transistor CMOS, etapas básicas (par diferencial, espejo de corriente, etc.), amplificadores operacionales, seguidor de tensión etc.
- Estudio del amplificador operacional de transconductancia superclase AB parametrizado con sus diferentes configuraciones y sus principales técnicas: FVF (flipped voltage follower) y LCMFB (local common-mode feedback).
- Cálculo de la densidad de ruido a la entrada del OTA teniendo en cuenta la aportación de todos los elementos del amplificador.
- Optimización de los diferentes parámetros del circuito con la finalidad de conseguir la mayor eficiencia energética respetando la estabilidad del amplificador y teniendo en cuenta la densidad de ruido a la entrada.
- Simulación de las diferentes configuraciones del OTA superclase AB con la herramienta *Cadence* y comparación con los resultados teóricos calculados previamente. Modificación de los parámetros del amplificador en caso de que sea necesario con la finalidad de buscar la optimización de las diferentes figuras de mérito.
- Realización física (layout) de dos configuraciones diferentes, escogiendo los parámetros que ofrezcan mejores prestaciones para cada configuración.
- Por último, simulación post-layout de los dos circuitos para verificar que el layout está realizado correctamente y no hay grandes variaciones respecto a las simulaciones pre-layout.

Capítulo 2 Diseño de OTA de baja tensión y potencia

2.1. Fundamentos del OTA

El OTA es ampliamente utilizado en el procesamiento de señales analógicas y mixtas debido a su flexibilidad. Al igual que la resistencia, el condensador y el inductor forman los tres elementos pasivos básicos; el OTA puede considerarse el dispositivo activo básico. Sus aplicaciones van desde funciones simples como la amplificación o generación de polarización en DC, hasta complejas interfaces de sensores o transceptores.

El símbolo del circuito de un OTA y su diagrama conceptual se muestra en la figura 2.1, el cual está formado por un transconductor de entrada y una resistencia de salida.

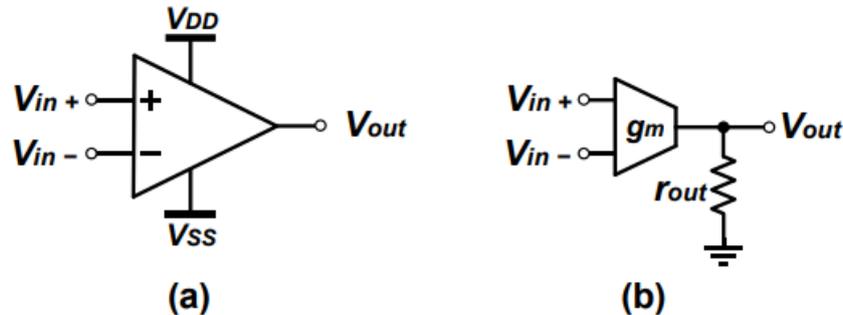


Figura 2.1: (a) Símbolo de un OTA y (b) implementación conceptual.

El transconductor convierte una tensión de entrada diferencial en una corriente de salida, lo que da lugar a una fuente de corriente controlada por una tensión diferencial de entrada. Dicha corriente se convierte nuevamente en voltaje a través de la resistencia de salida. Este proceso de escalado permite amplificar las señales de entrada diferenciales, y esta es la razón por la que estos dispositivos permiten la amplificación operativa. Matemáticamente, el principio de funcionamiento de cualquier OTA puede expresarse como

$$V_{out} = g_m r_{out} \cdot (V_{in+} - V_{in-}) \quad (2.1)$$

energía, pero las ventajas compensan en general estos problemas.

Para obtener altas ganancias en bucle abierto generalmente se requieren topologías de amplificadores de varias etapas. Sin embargo, cada etapa añade, al menos, un polo, lo que requiere añadir esquemas de compensación de frecuencia para mantener la estabilidad. Además, el consumo de energía aumenta debido a la presencia de varias etapas. Por el contrario, los OTA de una sola etapa son más fáciles de diseñar, ya que contienen idealmente un polo dominante en la salida y utilizan por tanto el condensador de carga como compensación. El inconveniente principal de tener una sola etapa es la baja ganancia en comparación con los amplificadores multietapa. Este equilibrio entre ganancia y potencia da lugar a la selección de uno u otro enfoque en función de las restricciones del diseño.

2.2. Diseño de circuitos LVLP

Los dispositivos de bajo consumo y baja potencia (LVLP) en su mayoría son alimentados por batería, por lo tanto, es importante maximizar la vida útil de dicha batería para evitar tener que cargarla o cambiarla con frecuencia. Aunque algunos sistemas funcionan con cable, la energía eléctrica es un recurso limitado y costoso que debe usarse de manera responsable. Debido a esto, esta filosofía de diseño se puede aplicar no solo en dispositivos que funcionan con batería, sino también en productos electrónicos de consumo suministrados por cable en general.

El diseño de circuitos LVLP involucra dos aspectos específicos: baja tensión y potencia, que no necesariamente tienen que estar correlacionados. Por ejemplo, aunque un sistema puede operar con baja tensión de alimentación, puede exigir una gran cantidad de corriente, lo que lleva a un sistema de alta potencia. De la misma manera, un circuito puede ser alimentado con tensiones altas, mientras que puede requerir una baja cantidad de corriente. Hay que tener en cuenta, eso sí, que para la misma corriente una tensión de alimentación inferior implica un menor consumo de energía. El término baja tensión se refiere al voltaje de alimentación de todo el sistema, que también está relacionado con los estándares de tensión disponibles en las baterías y el proceso tecnológico, ya que a medida que los transistores se vuelven más pequeños, el voltaje requerido se reduce para evitar romper las capas de óxido de puerta. Por otro lado, la baja potencia se refiere al consumo de energía "estática" en reposo, definido como $P_{st} = V_s \cdot I_s$, en donde V_s y I_s son la tensión y corriente de alimentación, respectivamente. Por lo tanto, para lograr un bajo consumo potencia, tanto la tensión como la corriente de alimentación deben reducirse simultáneamente. En tal minimización, varios aspectos merecen ser considerados. En el caso del voltaje de alimentación, además de estar relacionado con el proceso tecnológico, está relacionado con la excursión de la señal y el rango dinámico (en el procesamiento de señales en modo tensión convencional), mientras que la corriente de alimentación está relacionada con el ancho de banda, el

ruido y las características de conducción, entre otros. Por lo tanto, en su reducción es crucial tener en cuenta el compromiso existente entre el consumo de energía y el rendimiento.

Un paso más en el diseño de LVLP es un uso eficiente de la corriente. Cuando un sistema es alimentado con tensión, las ramas del circuito demandan corriente. Mientras que algunas ramas son críticas, otras pueden no realizar ningún tipo de funcionalidad, desperdiciando una cantidad considerable de corriente. Esto lleva al concepto de factor de eficiencia definido como la relación entre la corriente en la carga y la corriente de alimentación, $CE = I_{out}/I_s$. Un circuito altamente eficiente es el que entrega la mayor parte de la corriente de alimentación a la salida, lo que lleva a $CE \approx 1$. La eficiencia de la corriente se puede lograr de diferentes maneras, como optimizando el número de ramas del circuito o evitando réplicas de corriente internas innecesarias, tratando de maximizar tanto como sea posible la corriente de carga para una I_s dada.

2.3. Operación en clase AB

Otra forma de lograr mejorar la eficiencia es utilizando técnicas de operación en clase AB. Esta mejora se puede cuantificar por el factor de incremento de corriente, definido como la relación entre la corriente de salida máxima y la corriente de polarización $CB = I_{out}^{MAX}/I_b$. Es importante tener en cuenta la diferencia entre la corriente de polarización I_b y la corriente de alimentación I_s . Mientras que la primera está relacionada con la corriente de polarización de, por ejemplo, un par diferencial, la segunda está relacionado con la disipación de corriente total. Por lo general, en los circuitos de clase A, $I_{out}^{MAX} = I_b$, mientras que en los circuitos de clase AB, $I_{out}^{MAX} \gg I_b$. Además, si se produce un incremento de corriente dinámica directamente en las ramas de salida para que no exista una replicación de corriente dinámica interna, se puede lograr una eficiencia de corriente casi óptima ($CE \approx 1$). Los últimos conceptos se muestran en la figura 2.3, con la característica típica de conducción de un amplificador clase A contra un amplificador de clase AB. Cuando no hay señal de entrada presente, la corriente demandada es la misma en ambos tipos de amplificador. Sin embargo, cuando se procesan grandes señales de entrada, el circuito de clase A genera una corriente de salida máxima de $2I_b$ que suele ser la corriente de polarización del par diferencial, mientras que en el caso de la clase AB la corriente de salida no está limitada por la corriente de polarización.

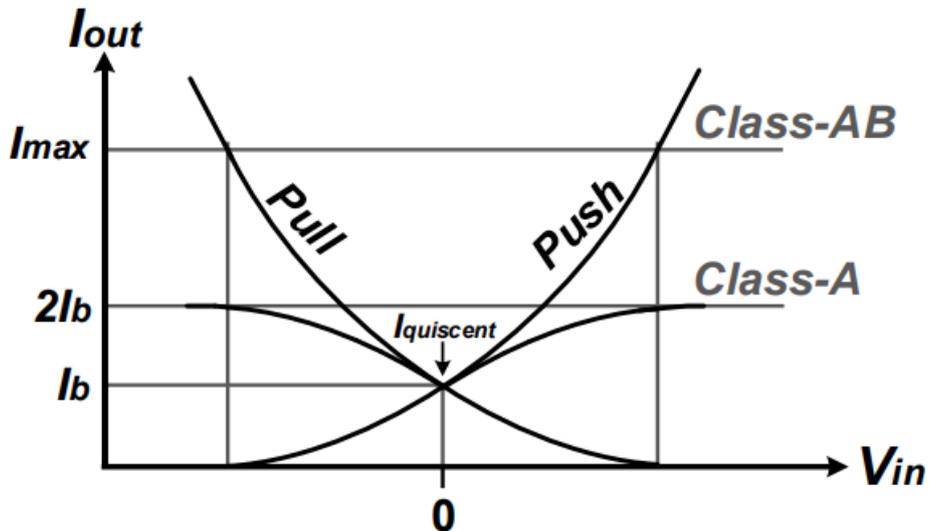


Figura 2.3: Comparación de corriente generada a la salida entre amplificador clase A vs clase AB.

Los circuitos de clase AB representan una buena opción en términos de rendimiento y consumo de energía. Este principio funciona de forma similar a los circuitos de clase B, pero evitando la distorsión de cruce. Las topologías de clase B son muy eficientes en términos de utilización de corriente ya que en condiciones estáticas el consumo de energía ideal es cero, los transistores están apagados. Bajo grandes transitorios, toda la corriente fluye en uno de los transistores sin ningún tipo de límite impuesto, el otro está apagado. El inconveniente es la mencionada distorsión de cruce producida durante el proceso de encendido, existiendo un pequeño rango en el que ambos dispositivos están apagados. Los circuitos de clase A tienen el mejor rendimiento en términos de distorsión, ya que los transistores de salida siempre están encendidos mientras la señal permanezca dentro de los límites de operación lineal. El principio de funcionamiento clase AB puede ser visto como una mezcla de ambos modos clase A y clase B, combinando las características principales de ellos.

Estos conceptos se ilustran en figura 2.4. Se representa una etapa de amplificador de fuente común de clase A, donde la corriente de polarización es $I_s = I_b$. La corriente saliente del terminal de salida está limitada por I_b , mientras que la entrante en ese terminal no tiene ningún tipo de restricción. En la figura 2.4(b), un amplificador inversor de clase B mejora la máxima corriente saliente, evitando tal limitación. La corriente de polarización es cero bajo condiciones estáticas, apagando ambos transistores, pero con la contraparte de producir distorsión de cruce. Finalmente, la topología en la figura 2.4(c) combina las últimas características, revelando cómo en condiciones estáticas ambos transistores están encendidos con $I_s = I_b$ como en el caso de clase A, por lo tanto, no se produce distorsión de cruce. El uso del desplazamiento de nivel DC permite el acoplamiento dinámico de las variaciones de tensión de entrada al transistor superior.

Por lo tanto, tanto las corrientes salientes como entrantes en el terminal de salida son más altas que la corriente de polarización. Como resultado, los amplificadores de clase AB no solo son rápidos en términos de operación en gran señal, sino que también tienen bajo consumo de energía y baja distorsión, lo que hace que estos circuitos sean ventajosos en aplicaciones modernas de eficiencia energética.

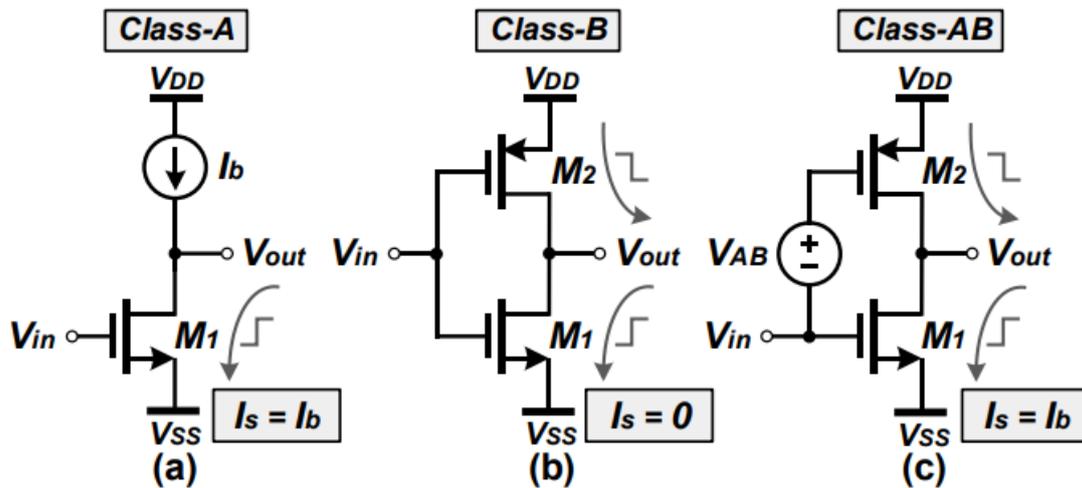


Figura 2.4: Tipos de clases de amplificadores: (a) clase A, (b) clase B y (c) clase AB.

2.4. Técnicas a nivel de dispositivo

En el proceso de diseñar un circuito, el nivel del dispositivo es el más bajo y está altamente vinculado a la física de semiconductores. Por lo tanto, su importancia es crucial, ya que influye fuertemente en el funcionamiento del circuito. Algunas técnicas a nivel de dispositivo que se utilizarán en este trabajo para obtener la operación LVLP se describen a continuación.

2.4.1. Operación en inversión débil

Un aspecto importante en el diseño de LVLP es el nivel de inversión de un transistor, proporcional a su corriente de polarización. Tradicionalmente, la inversión fuerte se ha utilizado mucho debido al amplio ancho de banda alcanzable. Sin embargo, la cantidad de corriente puede ser mayor de la necesaria. Por el contrario, la región de inversión débil [1] alcanza la relación gm/I_D más alta, donde gm e I_D son la transconductancia y la corriente de drenador de un transistor. El principal inconveniente de la inversión débil es el ancho de banda reducido, que no pudo alcanzar las especificaciones objetivo en ciertas aplicaciones. Un caso intermedio es la inversión moderada, cuyo inconveniente es su "complejidad" en términos de modelado de dispositivos y su rango de tensiones limitado para mantener el transistor dentro de este régimen. Para lograr establecer una cierta región de inversión, el coeficiente de inversión IC puede ser empleado, definido como

$$IC = \frac{I_D}{I_Z} = \frac{I_D}{2\mu_i n C_{ox} V_t^2 (W/L)} \quad (2.2)$$

donde I_D es la corriente de drenador del transistor, μ_i es la movilidad de portadores, n es el factor de pendiente de inversión débil, C_{ox} es la capacitancia del canal por unidad de área, $V_t=26 \text{ mV}$ es la tensión térmica a temperatura ambiente, y W/L es la relación de aspecto del transistor. El coeficiente de inversión modela el nivel de inversión. Para $IC < 0,1$, el transistor opera en inversión débil; entre $0,1 < IC < 10$, en inversión moderada; finalmente, para $IC > 10$, en inversión fuerte. Para verificar la referida relación transconductancia-corriente, puede utilizarse la siguiente ecuación general de transconductancia del transistor:

$$gm = \frac{I_D}{nV_t} \cdot \frac{2}{1 + \sqrt{1 + 4 \cdot IC}} \quad (2.3)$$

Se puede observar cómo la relación gm/I_D se maximiza para valores de IC bajos que se corresponden al funcionamiento en inversión débil. A medida que se incrementa el IC, se degrada dicha eficiencia. Simplificando, la transconductancia del transistor en inversión débil ($IC < 0.1$) se puede expresar como

$$gm \approx \frac{I_D}{nV_t} \quad (2.4)$$

2.4.2. QFG

El transistor de puerta cuasi flotante de entrada múltiple (MIQFG) [2] es una técnica cuyo objetivo es proporcionar una polarización independiente en DC y extender el número de entradas de un transistor MOS conectando varios condensadores en paralelo en la puerta del transistor. Dado que en condiciones en DC los condensadores son circuitos abiertos, el dispositivo de puerta cuasi flotante tiene que estar polarizado por tensión. El QFG emplea una resistencia de alto valor para polarizar el transistor. De esta manera el rendimiento en pequeña señal no se degrada. Como esta resistencia no requiere generalmente alta linealidad, puede implementarse por la resistencia de un transistor que opera en la región de corte (también conocida como pseudo-resistencia), minimizando el área consumida. El circuito equivalente de un transistor MIQFG se da en figura 2.5.

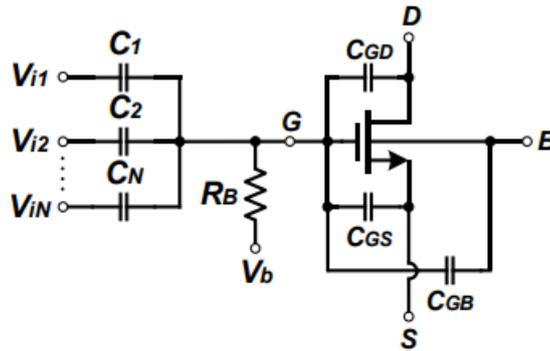


Figura 2.5: Circuito equivalente de un nMOS QFG de entrada múltiple.

Un análisis simple revela que las entradas se acoplan a la puerta del transistor mediante la expresión

$$V_G = \frac{sR_B}{1 + sR_B C_T} \cdot \left(\sum_{k=1}^N C_k V_{ik} + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B \right) + \frac{V_B}{1 + sR_B C_T} \quad (2.5)$$

La capacitancia total C_T es

$$C_T = \left(\sum_{k=1}^N C_k + C_{GS} + C_{GD} + C_{GB} \right) \quad (2.6)$$

Se puede ver a partir de la expresión 2.5 cómo las señales de entrada son filtradas paso alto con una frecuencia de corte de $1/(R_B C_T)$. Si R_B es muy grande, mediante el uso de pseudoresistencias, la frecuencia de corte puede ser cercana a cero. La tensión de

polarización V_b es filtrada paso bajo con la misma frecuencia de corte, ajustando el punto de operación en DC del transistor. Además, dado que las señales de entrada son filtradas paso alto, su componente en DC no altera el punto de polarización del transistor. Por lo tanto, la idea de la técnica QFG es que, durante las condiciones en DC, el transistor está polarizado a través de la pseudo resistencia, mientras que los condensadores bloquean el componente en DC de las señales de entrada que podrían alterar el punto de polarización. En condiciones de pequeña señal, las señales de entrada se acoplan capacitivamente (y se atenúan) a la puerta de entrada. En la práctica, la no linealidad de la pseudoresistencia puede provocar distorsión no lineal.

2.5. Técnicas a nivel de circuito

La siguiente capa de abstracción en el proceso de diseño es a nivel del circuito. En este punto, se lleva a cabo la interacción de varios dispositivos de acuerdo con sus características eléctricas, que puede ser descrita en términos de teoría de circuitos en lugar de la física de semiconductores. En consecuencia, se puede calcular el punto de operación en DC, el análisis en pequeña señal y el comportamiento en gran señal.

2.5.1. FVF

El seguidor de tensión invertido (FVF) [3] es una celda útil para diseñar circuitos LVLP. Originalmente fue propuesto como un seguidor de tensión mejorado o buffer. En la figura 2.6 se puede observar el circuito en cuestión.

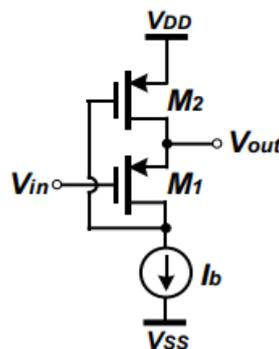


Figura 2.6: Seguidor de voltaje invertido.

El voltaje $|V_{GS1}|$ se mantiene constante ya que la corriente a través del transistor M_1 siempre es constante, siendo independiente de la corriente de salida. Por lo tanto, la ganancia de tensión se puede considerar igual a la unidad. Estas características se logran

invirtiendo la fuente de corriente de polarización, aislando la polarización del transistor de seguidor de tensión M1, e incluyendo el transistor M2 que proporciona la corriente de salida. Además, el transistor M2 reduce la resistencia de salida que se puede aproximar como $1/(g_{m1}g_{m2}r_{o1})$, en contraste con el seguidor de tensión convencional que presenta una resistencia de salida $1/g_{m1}$.

Las excelentes propiedades del FVF han llevado a la creación de varios bloques innovadores a nivel de circuito, incluyendo pares diferenciales y espejos de corriente, entre otros. Todas estas celdas tienen en común que presentan características de LVLP, lo que es útil en muchos bloques constructivos y arquitecturas de circuitos.

Es de particular interés la aplicación del FVF en el par diferencial para polarizarlo adaptivamente. Un par diferencial convencional de clase A se muestra en la figura 2.7(a), donde los transistores M1 y M2 están polarizados con una corriente I_b , de modo que: en condiciones de DC $I_{out+}^Q = I_{out-}^Q = I_b$. En pequeña señal, la transconductancia del par de entrada es igual a $g_{m,in} = g_{m1,2}$. Este bloque se puede modificar incluyendo baterías flotantes entrelazadas como se muestra en la parte inferior, convirtiéndolo en un par diferencial de polarización adaptativa de clase AB. Estas baterías flotantes pueden ser implementadas por FVFs, tal y como se muestra en la figura 2.7(b). En condiciones de reposo, estableciendo relaciones de aspecto iguales a $M_{1A,1B}$ y $M_{2A,2B}$, así, la corriente a través de M1A y M2A es igual a I_b . Por el contrario, si se aplica un voltaje de entrada grande, los FVFs proporcionan una corriente dinámica grande que no está limitada por I_b . De este modo, la corriente de salida diferencial del par diferencial de polarización adaptativa puede expresarse como

$$I_{od} = I_{out+} - I_{out-} \approx \frac{\beta_{SI1A,2A}}{2} \cdot \left(\sqrt{\frac{2I_B}{\beta_{SI1A,2A}}} \pm V_{id} \right)^2 \quad (2.7)$$

donde $I_{od} > 0$ para $V_{id} > 0$, $I_{od} < 0$ para $V_{id} < 0$ y $\beta_{SIk} = \mu_n C_{ox}(W/L)_k$. La señal de entrada diferencial completa se aplica a los transistores de entrada, duplicando la transconductancia del par de entrada diferencial $g_{m,in} \approx 2g_{m1A,2A}$ respecto a un par diferencial convencional. Por lo tanto, esta técnica mejora el rendimiento en pequeña y gran señal.

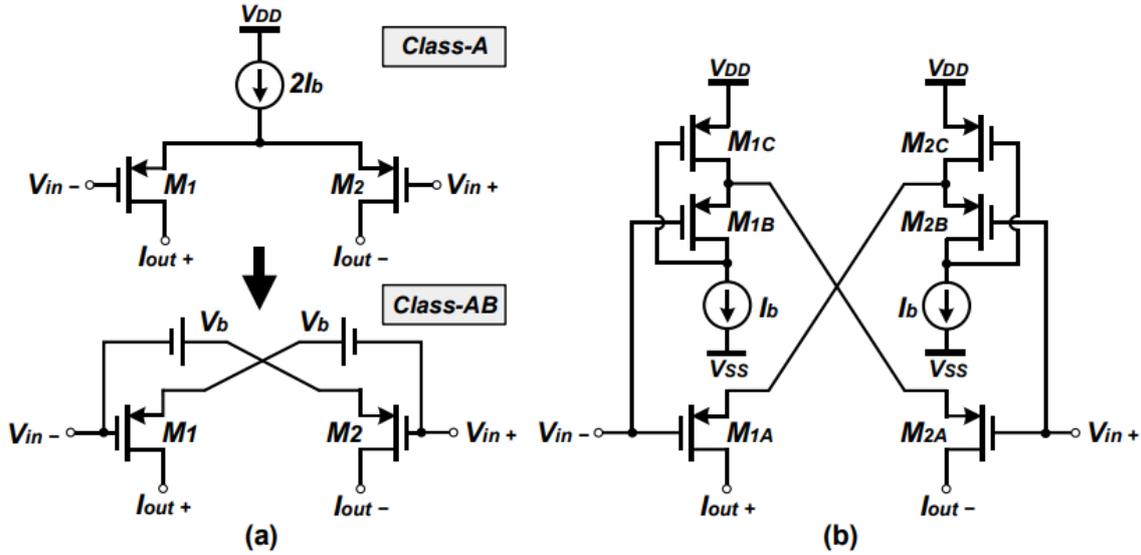


Figura 2.7: (a) Par diferencial y su versión con polarización adaptativa e (b) implementación con FVFs.

2.5.2. Derivación de corriente

La derivación de corriente [4] es una técnica que elimina parte de la corriente de polarización de un nodo. Generalmente se aplica a la entrada de espejos de corriente, tal y como se muestra en la figura 2.8(a). En condiciones en DC, $I_{in}^Q = I_b (1 - \beta)$ donde I_b es la corriente de polarización, reduciendo la corriente de polarización de entrada y, por lo tanto, la copia correspondiente a la salida si la ganancia de espejo de corriente es la unidad ($K = 1$). De esta manera, la resistencia de salida se incrementa sin incluir, por ejemplo, transistores cascos. Además, al reducirse la corriente de salida, el consumo de energía se reduce proporcionalmente. El comportamiento en DC se puede describir mediante la siguiente expresión de corriente de salida en reposo:

$$I_{out}^Q = I_b \cdot K \cdot (1 - \beta) \quad (2.8)$$

donde K es la ganancia del espejo de corriente antes mencionada y β es una variable que modela la cantidad de corriente derivada. Suponiendo que el circuito opera en inversión débil, donde la resistencia de salida de un transistor se define como $r_o = nV_t / (\lambda_{DS} I_D)$ siendo λ_{DS} el parámetro de modulación de longitud del canal, la resistencia de salida del espejo de corriente incluyendo la técnica de derivación de corriente es

$$r_{out} = \frac{n \cdot V_t}{\lambda_{DS}} \cdot \frac{1}{I_b \cdot K \cdot (1 - \beta)} \quad (2.9)$$

donde se muestra el aumento de la resistencia de salida. En cuanto al funcionamiento en pequeña señal, cuyo modelo de circuito equivalente se da en la figura 2.8(b), la ganancia de corriente del circuito es

$$A_I = \frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} = K \quad (2.10)$$

La corriente de polarización de la rama de salida se puede establecer en un cierto valor, como, por ejemplo, $I_{Q_{out}} = I_b$. A medida que se desvía la corriente de entrada, se puede aumentar la ganancia K del espejo de corriente para compensar esta reducción y satisfacer la restricción de corriente de polarización de salida, mejorando no solo la ganancia de corriente sino también el ancho de banda del circuito. El inconveniente es la reducción de la frecuencia del polo no dominante, que es proporcional a la transconductancia de M_1 que a su vez depende de la corriente de polarización; y también la capacidad parásita asociada al espejo de corriente que es proporcional a K . Tal reducción en frecuencia del polo no dominante degrada la estabilidad del circuito.

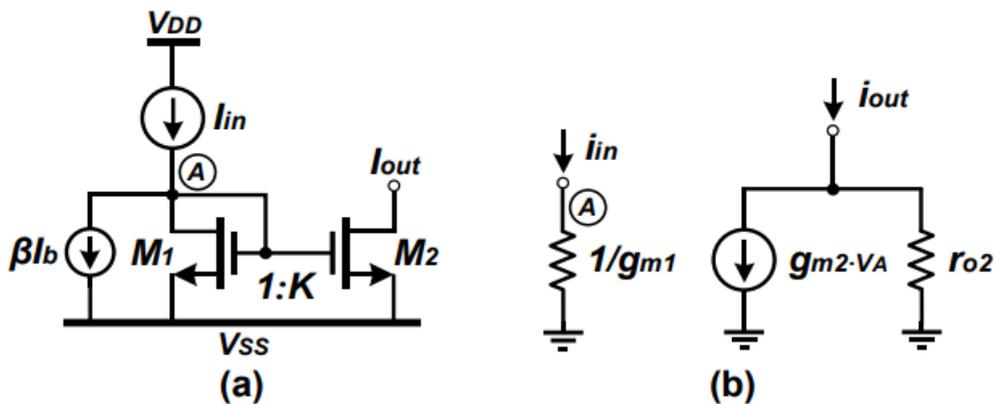


Figura 2.8: (a) Espejo de corriente incluyendo derivación de corriente y (b) circuito equivalente en pequeña señal.

2.5.3. Local Common-Mode Feedback

La técnica local common-mode feedback (LCMFB) [5] tiene como objetivo convertir una carga activa que opera en clase A en un esquema de polarización adaptativa de clase AB. La técnica se muestra en la figura 2.9(a), donde la carga activa se reordena mediante la inclusión de dos bucles de retroalimentación a través de las resistencias R_1 y R_2 . La tensión de modo común de los terminales de drenador de M_1 y M_3 se realimenta a su puerta común, proporcionando mejoras de esta manera en el ancho de banda y el incremento de corriente dinámica.

En condiciones estáticas no fluye corriente a través de las resistencias R_1 y R_2 , por lo que $V_A = V_B = V_C$. En consecuencia, M2 y M4 pueden ser considerados como dispositivos conectados como diodos, dando lugar a que el comportamiento en reposo del circuito sea como un espejo de corriente diferencial convencional.

Considerando el rendimiento de señal pequeña, el efecto del uso del LCMFB se evidencia por el modelo equivalente en pequeña señal, que se puede observar en la figura 2.9(a). Suponiendo que el circuito de la figura 2.9(b) es perfectamente simétrico, una i_d distinta de cero conduce a tensiones complementarias en los nodos A y B ($v_A = -v_B$) y el nodo C se convierte en una tierra virtual ($v_z = 0$). Por lo tanto, la ganancia de corriente en pequeña señal se puede expresar como

$$A_I = \frac{i_{out}}{i_{in}} = g_{m2,4} \cdot R_{1,2} \quad (2.11)$$

En cuanto a la operación en gran señal, cuando se aplica una gran corriente diferencial positiva $I_{id} = I_{in+} - I_{in-}$, las tensiones en los nodos A y B comienzan a desequilibrarse debido a la caída de tensión en las resistencias de realimentación. De esta manera, V_A se vuelve grande y V_B es cercano a cero. El transistor M_3 entra en la región del triodo profundo, por lo que ya no influye durante el giro. Por otra parte, el transistor M_2 entra en inversión fuerte y debido a que se encuentra en saturación, entrega una corriente grande. El mismo principio se puede aplicar para una corriente diferencial negativa. Utilizando el modelo de ley cuadrática para un transistor operando en saturación y en inversión fuerte, la corriente de salida diferencial se puede expresar como

$$I_{od} = I_{in+} - I_{in-} \approx \frac{\beta_{SI2,4}}{2} \left(\sqrt{\frac{2I_{cm}}{\beta_{SI1,3}}} \pm \frac{R_{1,2}I_{id}}{2} \right) \quad (2.12)$$

donde $I_{od} > 0$ para $I_{id} > 0$, $I_{od} < 0$ para $I_{id} < 0$ e $I_{cm} = (I_{in+} + I_{in-})/2$ es la corriente de entrada en modo común. Por lo tanto, se produce un impulso cuadrático de la corriente de entrada, mejorando las características de conducción. Dado que este impulso tiene lugar directamente en los transistores de salida evitando réplicas de corriente interna, se logra un CE casi óptimo (cercano a 1).

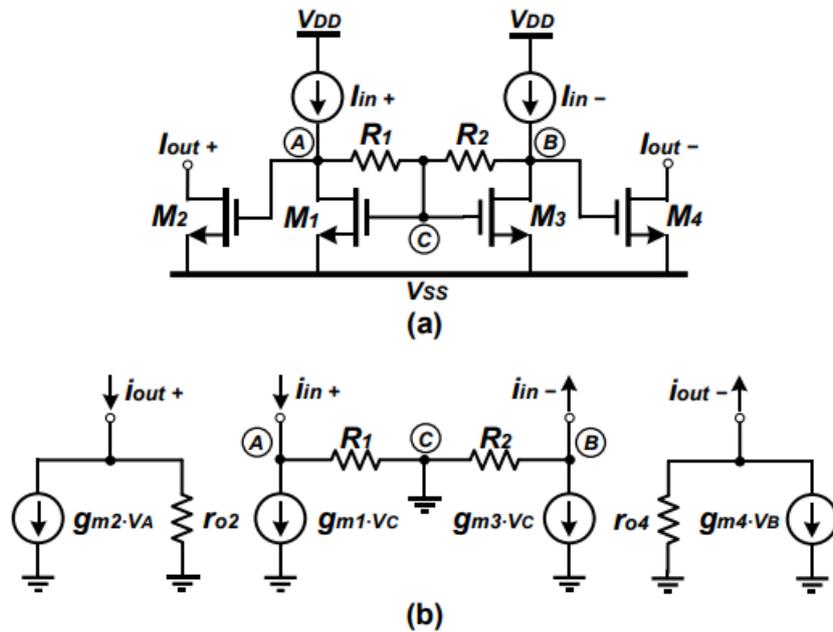


Figura 2.9: (a) LCMFB y (b) circuito equivalente en pequeña señal.

2.5.4. Espejo de corriente no lineal

Una estrategia alternativa para obtener la operación de clase AB es utilizar espejos de corriente no lineales [6]-[8] en la carga activa, tal y como se muestra esquemáticamente en la figura 2.10. En condiciones en DC, la operación es similar a un espejo de corriente lineal. Sin embargo, bajo operación dinámica, el circuito de control de polarización dinámica induce en el espejo de corriente un régimen no lineal que impulsa la corriente de entrada más allá de su valor de reposo (I_B). De esta manera, la corriente de salida es una función no lineal de entrada dada por $I_{out} = K \cdot f(I_{in})$, donde $f(I_{in})$ es una función no lineal que generalmente aumenta la corriente de entrada de la forma I_{in}^x con $x \geq 2$. Además, si el impulso dinámico se produce en la rama de salida para que no exista una replicación interna de corriente dinámica, se puede lograr un factor de eficiencia de corriente casi óptimo. Un ejemplo particular de esta técnica puede ser el LCMFB, tal y como se ha mencionado anteriormente.

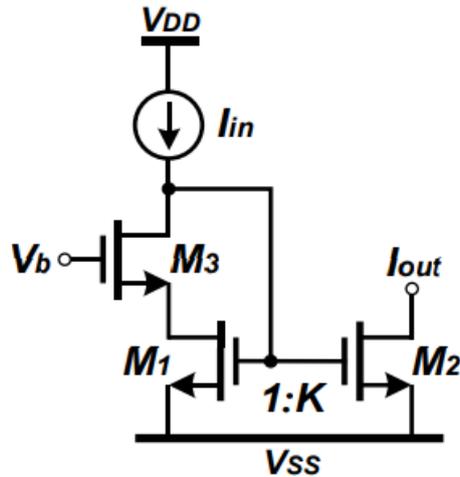


Figura 2.10: Implementación de un espejo de corriente no lineal

2.5.5. Desplazador de nivel DC

El uso de desplazamientos de nivel para el funcionamiento dinámico de la etapa de salida en un amplificador es una técnica ampliamente utilizada para alcanzar la operación de clase AB. El objetivo es acoplar las variaciones de un nodo de alta impedancia a otro. De esta manera, las variaciones de entrada se acoplan dinámicamente, lo que permite que el circuito genere o absorba corrientes sin restricciones de corriente de polarización.

En la figura 2.11(a) se muestra un ejemplo de un desplazador de nivel aplicado a una etapa de salida de un amplificador-inversor. Cuando V_{in} se incrementa, V_{gs1} también aumenta y $|V_{gs2}|$ disminuye, de modo que el transistor M_1 está encendido mientras que el transistor M_2 está apagado. El mismo principio se puede aplicar cuando se disminuye la tensión de entrada. Durante condiciones estáticas, sin ninguna señal de entrada aplicada, los transistores están encendidos y el amplificador consume la corriente de reposo correspondiente. Una posible implementación del desplazador de nivel se da en la figura 2.11(b), la cual utiliza un seguidor de tensión. El inconveniente es que la inclusión de la fuente de corriente de polarización degrada el consumo de energía. Además, el seguidor de tensión debe diseñarse correctamente para polarizar M_2 , que debe tener la misma corriente de polarización que M_1 . Por lo tanto, se requiere una técnica de eficiencia energética que simultáneamente permita tener un punto de polarización bien controlado y una operación dinámica mejorada, como es el caso del transistor QFG.

La implementación del desplazador de nivel mediante el uso del transistor QFG se muestra en la figura 2.11(c) [9]. El transistor MIQFG con varias entradas de señal se reduce a una sola entrada, siendo en este caso utilizado como una batería flotante para el funcionamiento dinámico. El voltaje en la puerta del transistor M_2 se puede expresar como

$$V_{G2} = \frac{sR_B C_B}{1 + sR_B C_T} V_{in} + \frac{1}{1 + sR_B C_T} V_b \quad (2.13)$$

donde la capacitancia total C_T se expresa como

$$C_T = C_B + C_{GS2} + C_{GB2} \quad (2.14)$$

En condiciones en DC, el voltaje V_b polariza el transistor superior M_2 , lo que permite establecer un valor exacto de corriente en reposo. Como el condensador es un circuito abierto, el componente DC de la señal de entrada no modifica el valor del voltaje V_b para que el punto de funcionamiento de polarización no se altere. En condiciones de AC, la señal de entrada se transfiere a la puerta de M_2 , con una atenuación de C_B / C_T que se puede hacer cercana a la unidad si $C_B \gg (C_{GS2} + C_{GB2})$.

La principal ventaja de la técnica QFG como desplazador de nivel es el consumo de corriente nula, lo que lleva a una alta eficiencia energética. El inconveniente es el área consumida por el condensador, así como las no linealidades introducidas por la pseudo-resistencia.

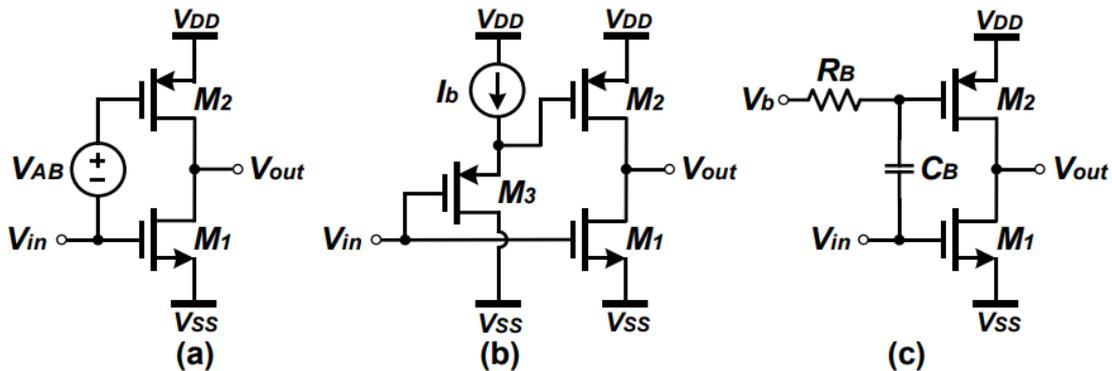


Figura 2.11: (a) Amplificador con "level shifter". (b) Implementación utilizando un seguidor de voltaje e (c) implementación usando QFG.

Capítulo 3 Metodología de diseño

En este capítulo se va a presentar una arquitectura genérica del OTA super clase AB propuesta, se va a analizar matemáticamente llegando a las expresiones de la FoMS, FoML, margen de fase y ruido equivalente a la entrada; y por último se procederá a la optimización de dichas expresiones en función de los diferentes parámetros que conforman la implementación.

3.1. Propuesta OTA superclase AB genérico

Como se ha mencionado anteriormente, los OTAs super clase AB son extremadamente eficientes desde el punto de vista energético. En la figura 3.1 se muestra el diagrama básico del OTA super clase AB, el cual cuenta con un par diferencial de entrada polarizado de forma adaptativa, un espejo de corriente diferencial no lineal y un espejo de corriente de salida.

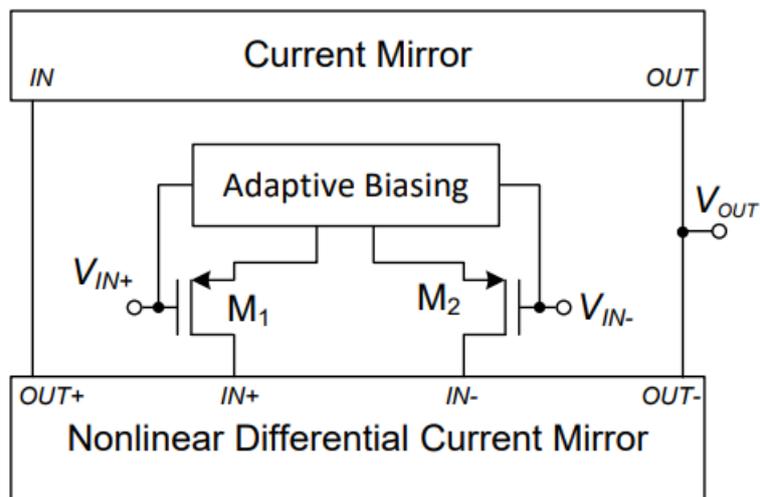


Figura 3.1: Diagrama básico del OTA super clase AB.

En la figura 3.2 se muestra la implementación genérica del OTA super clase AB basado en las técnicas FVF y LCMFB previamente mencionadas.

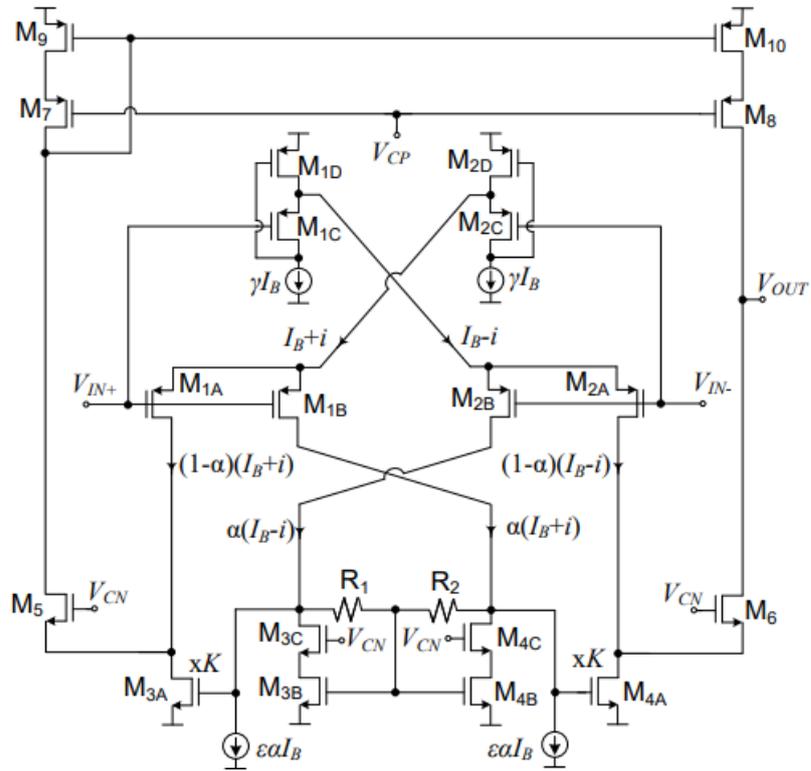


Figura 3.2: Implementación genérica propuesta del OTA super clase AB.

El par de entrada se divide en cuatro transistores: M_{1A} , M_{1B} , M_{2A} y M_{2B} . La relación de aspecto de M_{1A} y M_{2A} es $(1-\alpha)(W/L)_1$ y la de M_{1B} y M_{2B} es $\alpha(W/L)_1$. Mediante estos ratios, controlados por el parámetro $\alpha \leq 1$, se configura la cantidad de corriente que se divide por cada rama.

El par diferencial se polariza de forma adaptativa mediante los FVF formados por M_{1C} - M_{1D} y M_{2C} - M_{2D} , que actúan como desplazadores de nivel en DC. La corriente de polarización de los FVF es γI_B y la relación de aspecto de M_{1C} y M_{1D} es $\gamma(W/L)_1$. En continua el VGS de M_{1A} , M_{1B} , M_{1C} , M_{2A} , M_{2B} y M_{2C} es el mismo, por lo que tendremos un espejo de corriente conformado por M_{1C} , M_{1A} y M_{1B} . La corriente en DC para M_{1A} vendrá dada por la relación

$$\frac{I_{d1A}}{I_{d1C}} = \frac{(1-\alpha)(W/L)_1}{\gamma(W/L)_1} \quad (3.1)$$

por lo que la corriente en DC para M_{1A} es $(1-\alpha)I_B$. Para M_{1B} tenemos la siguiente relación:

$$\frac{I_{d1B}}{I_{d1C}} = \frac{\alpha(W/L)_1}{\gamma(W/L)_1} \quad (3.2)$$

Por lo que la corriente en DC para M_{1B} es αI_B . Haciendo el cálculo de manera análoga, se puede observar que de manera simétrica por M_{2B} pasa la misma corriente que por M_{1B} y que por M_{2A} pasa la misma corriente que por M_{1A} . El parámetro $\gamma \leq 1$ permite controlar el consumo de corriente estática.

Gracias a los desplazadores de nivel en DC FVF, el terminal de fuente de los transistores de entrada no es una tierra de señal, por lo que la transconductancia se duplica en comparación con los pares diferenciales convencionales. Cuando tenemos señal en las entradas del OTA los transistores M_{1D} y M_{2D} pueden proporcionar grandes corrientes dinámicas a los transistores de entrada que no están limitadas por I_B , consiguiendo la operación en clase AB.

El LCMFB es dado por las resistencias R_1 y R_2 que deben tener el mismo valor ya que el circuito es simétrico. Estas resistencias retroalimentan el valor de modo común de las tensiones en los drenajes de M_{1B} y M_{2B} de vuelta a la puerta común de M_{3B} y M_{4B} . No afectan al funcionamiento en continua del OTA debido a que no pasa corriente a través de ellas al no haber señal de entrada. Cuando tengamos señal de entrada en el amplificador la intensidad de señal fluirá por R_1 y R_2 . Aumentan la resistencia de entrada del espejo de corriente diferencial por lo que mejoran de manera significativa el GBW. Las resistencias también mejoran el SR debido a la gran caída de tensión que se genera en R_1 - R_2 cuando tenemos funcionamiento dinámico.

Se han incluido en la implementación genérica del OTA superclase AB las fuentes de corriente de valor $\epsilon \alpha I_B$ a la entrada del espejo de corriente para el control de la corriente de polarización de los transistores M_{3B} y M_{4B} , utilizando el parámetro $\epsilon < 1$.

Por lo tanto, son 4 los parámetros que controlan el rendimiento del OTA: α , ϵ , R y K . El parámetro γ no influye en el rendimiento, solamente en la potencia estática.

En función del valor asignado a α nos encontramos con las siguientes configuraciones del OTA superclase AB:

- Current-mirror (CM) OTA Super Clase AB para $\alpha=1$
- Recycling Folded Cascode (RFC) OTA Super Clase AB para $\alpha=1/2$
- Generic Recycling Folded Cascode (GRFC) OTA Super Clase AB para diferentes valores de α cumpliendo $0 < \alpha < 1$

Con $\alpha=0$ se corresponde al Folded Cascode (FC) OTA, pero no es del interés de este trabajo debido a que no se corresponde con un OTA super clase AB.

3.2. Análisis del OTA superclase AB genérico

En este apartado se van a calcular las dos figuras de mérito previamente mencionadas, FoMS y FoML, el margen de fase y la densidad de ruido a la entrada del amplificador. Las diferentes expresiones a calcular quedarán en función de los parámetros que controlan el rendimiento del OTA (α , ϵ , R y K) por lo que posteriormente se podrán optimizar con el objetivo de encontrar los valores de los parámetros que logran un mejor rendimiento energético del sistema.

3.2.1. Cálculo de FoMS

La figura de mérito en pequeña señal FoMS se expresa como:

$$FoMS = \frac{GBW \cdot C_L}{I_{supply}} \quad (3.3)$$

Para expresar la figura de mérito en función de los diferentes parámetros que rigen el rendimiento del amplificador hay que calcular el producto de ganancia por ancho de banda realizando los cálculos necesarios en pequeña señal.

La corriente i en la figura 3.1 es $i = g_{m1}v_{id}$, donde v_{id} es la señal diferencial de entrada en pequeña señal y g_{m1} es la transconductancia total (la suma de las transconductancias) de los transistores de entrada M_{1A} y M_{1B} , las cuáles vienen dadas por $g_{m1A} = (1 - \alpha)g_{m1}$ y $g_{m1B} = \alpha g_{m1}$.

Realizando el cálculo en pequeña señal tenemos que para $R \ll r_{o1B}$ la intensidad de salida se puede expresar como:

$$I_{out} = 2[\alpha(Kg_{m3B}R - 1) + 1]i \quad (3.4)$$

La transconductancia total viene dada por la intensidad de salida dividida por la señal diferencial de entrada, por lo que se puede expresar como:

$$G_M = 2g_{m1}[\alpha(Kg_{m3B}R - 1) + 1] \quad (3.5)$$

El producto ganancia por ancho de banda viene dado por $GBW = G_M / (2\pi C_L)$ por lo que una vez calculada la transconductancia total del circuito podemos expresar GBW como

$$GBW = \frac{g_{m1}[\alpha(Kg_{m3B}R - 1) + 1]}{\pi C_L} \quad (3.6)$$

Sustituyendo (3.6) en (3.3), la expresión de la figura de mérito en pequeña señal viene dada por

$$FoMS = \frac{g_{m1}[\alpha(Kg_{m3B}R - 1) + 1]}{\pi I_{supply}} \quad (3.7)$$

Se escoge I_B como la corriente en la rama de salida del OTA en condiciones de reposo, por lo que la corriente de alimentación total del circuito I_{supply} viene dada por

$$I_{supply} = 2(2 + \gamma)I_B \quad (3.8)$$

Una vez están establecidas las corrientes que circulan por todas las ramas del amplificador en condiciones de reposo, con un simple cálculo la ganancia del espejo K se puede expresar como

$$K = \frac{2 - \alpha}{\alpha(1 - \varepsilon)} \quad (3.9)$$

Con el objetivo de lograr la mayor eficiencia de potencia, los transistores que componen el OTA super clase AB genérico planteado operan en inversión débil. En este caso las transconductancias vendrán dadas por $g_m = I_D / nV_t$ siendo n el factor pendiente, cuyo valor aproximadamente es 1.5 y V_t la tensión térmica cuyo valor será aproximadamente 26 mV a temperatura ambiente. Por lo tanto, tenemos que

$$g_{m1} = \frac{I_B}{nV_t} \quad (3.10)$$

$$g_{m3B} = \frac{I_B \alpha (1 - \varepsilon)}{nV_t} \quad (3.11)$$

Sustituyendo (3.8), (3.9), (3.10) y (3.11) en (3.7) la expresión final de FoM_S es

$$FoMS = \frac{\alpha(2 - \alpha) \frac{RI_B}{nV_t} - \alpha + 1}{2\pi(2 + \gamma)I_B} \quad (3.12)$$

Como se puede observar en (3.12), FoM_S se expresa en función de los parámetros α , γ y R , pero no en función de ϵ . Esto significa que el rendimiento en pequeña señal no depende de las fuentes de corriente a la entrada del espejo que controlan la corriente de polarización de los transistores M_{3B} y M_{4B}. Este fenómeno es debido a que el aumento de la ganancia del espejo de corriente en (3.9) se compensa con la reducción de la transconductancia del transistor M_{3B}.

3.2.2. Cálculo de FoML

La figura de mérito en gran señal FoM_L se expresa como:

$$FoML = \frac{SR \cdot C_L}{I_{supply}} \quad (3.13)$$

Operando en gran señal, haciendo uso de las ecuaciones cuadráticas de los transistores MOSFET cuando operan en saturación, se obtiene la expresión del slew rate

$$SR = \frac{\beta_{3A}}{2C_L} \left(\sqrt{\frac{\alpha K \beta_1}{2\beta_{3A}} A} + \frac{\alpha R \beta_1}{4} A^2 \right)^2 \quad (3.14)$$

Se puede observar en (3.14) que el slew rate no está limitado por I_B y que aumenta con A^4 , siendo A la amplitud de la señal de entrada. Sustituyendo (3.14) y (3.8) en (3.13) se obtiene la expresión de la figura de mérito de gran señal

$$FoML = \frac{\beta_{3A}}{2(2 + \gamma)} \left(\sqrt{\frac{\alpha K \beta_1}{2\beta_{3A}} A} + \frac{\alpha R \beta_1}{4} A^2 \right)^2 \quad (3.15)$$

Es importante recalcar que los resultados teóricos en los cálculos en gran señal lo normal es que disten considerablemente con los resultados obtenidos en simulación, debido a que las ecuaciones cuadráticas de los transistores MOSFET utilizadas solo tienen en cuenta efectos de primer orden y no tiene en cuenta efectos no lineales.

3.2.3. Cálculo del margen de fase

El margen de fase es una medida de estabilidad del sistema. Se define como el ángulo de fase adicional que se puede aplicar al sistema antes de que se vuelva inestable. Es necesario expresar también el margen de fase con los parámetros que controlan el OTA super clase AB genérico ya que a la hora de optimizar las figuras de mérito es clave tener en cuenta la estabilidad del sistema, ya que no sirven de nada unas grandes FoMS y FoML si el sistema no es estable.

El polo dominante del amplificador se sitúa en la rama de salida y es $\omega_{p1} = -1/R_{out}C_L$. Para valores estándar de R1 y R2 (cientos de kΩ). El polo más bajo no dominante corresponde al nodo de drenador de los transistores M_{1B} y M_{2B} y es $\omega_{pND} = -1/RC_X$, siendo C_X la capacitancia intrínseca en dicho nodo. Una vez localizado el polo no dominante podemos expresar el margen de fase como

$$PM \approx 90^\circ - \tan^{-1} \left(\frac{GBW}{f_{pND}} \right) \approx 90^\circ - \tan^{-1} \left\{ 2g_{m1}R \frac{C_X}{C_L} [\alpha(Kg_{m3B}R - 1) + 1] \right\} \quad (3.16)$$

Tal y como se puede observar, un aumento de los parámetros α , R o K degradan el margen de fase. Esto es debido a que el aumento de dichos parámetros hace que aumente el producto de ganancia por ancho de banda tal y como se observa en (3.6) y este aumento repercute en el margen de fase como se puede ver en (3.16). Al aumentar R₁ y R₂ aumenta la resistencia en el nodo de drenaje de los transistores M_{1B} y M_{2B} y al aumentar el factor de ganancia K crece la capacitancia C_X, degradando en ambos casos el margen de fase.

3.2.4. Cálculo del ruido

Por último, es necesario expresar la corriente de ruido a la salida del amplificador con los parámetros que controlan el rendimiento para poder analizar posteriormente como afecta el ruido a las diferentes configuraciones de un OTA super clase AB.

El circuito va a generar dos tipos de ruido: ruido Flicker en los transistores y ruido térmico en los transistores y las resistencias. El ruido Flicker es relevante a bajas frecuencias, por lo que al tener el OTA un ancho de banda elevado se desprecia la contribución del ruido Flicker respecto al ruido térmico. Esto simplifica el cálculo porque el ruido térmico se modela como ruido blanco (es decir, tiene espectro de potencia plano) y por eso la potencia de ruido térmico en un determinado ancho de banda se obtiene multiplicando la densidad espectral de potencia del ruido térmico por ese ancho de banda. Calcular potencias con ruido Flicker es más complicado porque su espectro cae con $1/f$ y para ese cálculo hay que integrar el ruido en una cierta banda de frecuencias.

En el anexo A se presenta el cálculo de la densidad de ruido a la salida del amplificador, calculando paso a paso las aportaciones de todos los componentes que conforman el circuito, dando como resultado

$$\begin{aligned} \overline{\frac{i_{N,out}^2}{\Delta f}} \approx 8k_B\delta T\Delta f \left\{ g_{m9} + Kg_{m3B} + (1 - \alpha)g_{m1} + \alpha g_{m1}(Kg_{m3B}R)^2 \right. \\ \left. + \frac{R}{\gamma}(Kg_{m3B})^2 + g_{m3D}(Kg_{m3B}R)^2 \right. \\ \left. + \frac{g_{m1}^2[\alpha(Kg_{m3B}R - 1) + 1]^2}{g_{m1C}} + g_{m3B}^2(KR)^2 \right\} \end{aligned} \quad (3.17)$$

siendo k_B la constante de Boltzmann, T la temperatura ambiente en escala Kelvin y el factor $\delta=2/3$ para transistores de longitud de canal relativamente grande, por lo que se escoge dicho valor.

El parámetro ϵ forma parte de la expresión tanto del factor de ganancia del espejo K como de las transconductancias g_{m3B} y g_{m3D} las cuáles aparecen en la expresión de la densidad de ruido, pero simplificando la expresión se cancela dicho parámetro, es decir, no aparece en la expresión. Esto significa que teóricamente las fuentes de corriente que controlan la corriente de polarización M_{3B} y M_{4B} no influyen en la densidad de ruido.

La densidad de tensión de ruido equivalente a la entrada vendrá dada por

$$\text{Ruido equivalente a la entrada} = \frac{\sqrt{\overline{\frac{i_{N,out}^2}{\Delta f}}}}{G_M} \quad (3.18)$$

Siendo G_M la transconductancia del OTA super clase AB genérico expresada en (3.5).

3.3. Optimización

Una vez están expresados en función de los parámetros las dos figuras de mérito FoMS y FoML, el margen de fase y el ruido equivalente a la entrada, es posible optimizar dichas expresiones buscando los valores de α , ϵ , R y K que logren los mejores resultados para el amplificador.

Dependiendo de la aplicación para la que se vaya a usar el OTA super clase AB, puede ser conveniente optimizar una característica u otra, por lo que la optimización de este trabajo se va a centrar en dos apartados: la figura de mérito de pequeña señal FoMS y el ruido equivalente a la entrada. No se tiene en cuenta FoML para el proceso de optimización debido a que es relativamente sencilla, ya que un aumento de R o α siempre aumenta FoML. Además, los resultados teóricos de la figura de mérito de gran señal difieren considerablemente a los valores que se obtienen en simulación tal y como se mencionó anteriormente.

La optimización se va a realizar haciendo uso de la herramienta MATLAB. Se han creado diversos programas en los cuales se optimizan las diferentes expresiones calculadas en el apartado anterior, los cuales se muestran en el anexo B. Los diferentes programas tienen el mismo principio de funcionamiento. Por ejemplo, el programa de optimización de la FoMS funciona de la siguiente manera:

- Se crean vectores que establecen los rangos de los diferentes parámetros que queremos optimizar: α , R y γ . Por ejemplo, la condición del parámetro Alpha es $0 < \alpha \leq 1$, por lo que podemos crear un vector de 1000 valores cuyo primer valor sea 0.001 e incremento 0.001 en cada salto hasta llegar a 1.
- Una vez establecidos todos los rangos, comienza la ejecución de un bucle el cual escoge el primer valor de cada vector y obtiene un valor de FoMS sustituyendo en la expresión obtenida en (3.12). A continuación, guarda dicho valor en una variable llamada *FOM_S_MAX* terminando la primera iteración del bucle.
- En la segunda iteración realiza lo mismo pero esta vez con el primer valor de los vectores de α y R y el segundo valor del vector γ . Calcula la figura de mérito y la compara con la figura de mérito más grande obtenida hasta ahora, en este caso con la obtenida en la primera iteración. Si es mayor, en *FOM_S_MAX* se actualiza al valor obtenido en la segunda iteración. El bucle sigue recorriendo todos los valores realizando tantas iteraciones como diferentes combinaciones existen entre los valores de los tres vectores.

- Una vez finalizado el bucle, en las diferentes variables del programa quedan registrados los valores óptimos de cada parámetro y la FoMS lograda con dichos valores, la cual es la mejor dentro de los rangos establecidos.

3.3.1. Optimización de FoMS

En primer lugar, se procede a calcular el valor óptimo de la figura de mérito de pequeña señal, cuya expresión está reflejada en (3.12) y está en función de α , R y γ . Los rangos y valores escogidos de los diferentes parámetros se reflejan en la tabla X.

Parámetros	Valores escogidos
α	Vector de 1000 valores comprendidos entre 0.001 y 1
γ	Vector de 1000 valores comprendidos entre 0.001 y 1
R	Vector de 1000 valores comprendidos entre 1 k Ω y 1 M Ω
C_a	10 fF
C_{load}	10 pF
I_B	1 μ A

Tabla 3.1: Parámetros escogidos para la optimización de FoMS.

Siendo C_a la capacidad intrínseca en la puerta del transistor M_{3A}, C_{load} la capacidad de salida e I_B la corriente en la rama de salida en condiciones de reposo. Los resultados se reflejan en la tabla X.

Parámetros	Valores optimizados
α	0.98
R	1M Ω
γ	0.001

Tabla 3.2: Resultados de la optimización de FoMS.

$$FoMS \text{ lograda: } 52313 \frac{MHz \cdot pF}{mA}$$

Los resultados reflejan que la figura de mérito de pequeña señal mejora incrementando tanto las resistencias R1 y R2 como α . También mejora teóricamente disminuyendo las fuentes de corriente del FVF, es decir, disminuyendo el consumo total del amplificador.

Dicha optimización logra el mayor valor de FoMS posible para la implementación genérica del OTA, pero no tiene en cuenta la estabilidad del amplificador. Escogiendo los valores de la tabla 3.2 el margen de fase utilizando la expresión calculada en (3.16) (con $\epsilon=0.5$) es de 20.06° , lo cual indica que el circuito no es estable. Debido a esto, se procede a realizar otra optimización de la figura de mérito de pequeña señal, respetando en este caso la estabilidad del sistema. Para ello se establece como condición que el margen de fase como mínimo debe ser de 60° . En este caso hay que dar valor al rango de ϵ debido a que no aparece en la expresión de FoMS pero sí en la del margen de fase. El rango escogido es un vector de 1001 valores comprendidos entre 0 y 1. Los resultados se recogen en la tabla 3.3.

Parámetros	Valores optimizados
α	1
R	662k Ω
γ	0.001
ϵ	0

Tabla 3.3: Resultados de la optimización de FoMs teniendo en cuenta el margen de fase.

$$FoMS \text{ lograda: } 34618 \frac{MHz \cdot pF}{mA}$$

$$PM = 60,05^\circ$$

En la figura 3.3 se muestra el valor de la figura de mérito de las diferentes configuraciones del OTA super clase AB en función del valor de las resistencias.

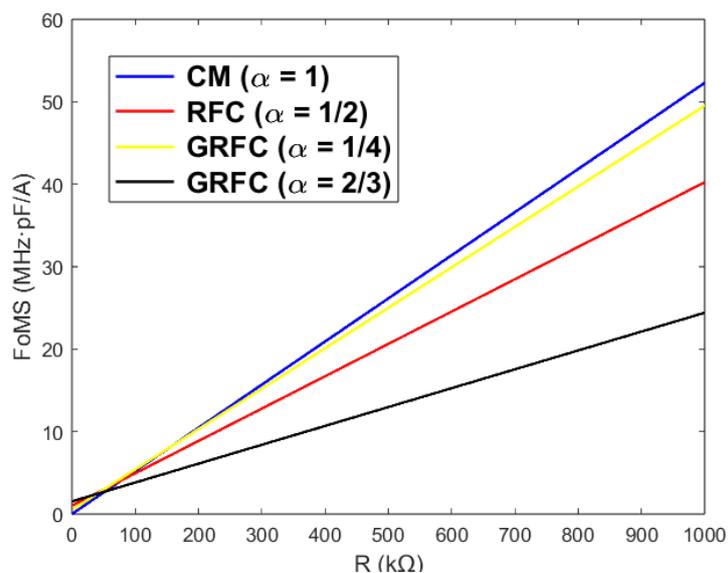


Figura 3.3: FoMs de las diferentes configuraciones respecto a R.

Como se puede observar en la gráfica, un aumento de α supone un mayor valor de la figura de mérito en pequeña señal. Una vez vistos los resultados, se deducen las siguientes conclusiones:

- El CM OTA Super Clase AB ($\alpha=1$) logra la mejor FoMS por delante de otras configuraciones como el RFC OTA Super Clase AB ($\alpha=0.5$) o el GRFC OTA Super Clase AB (diferentes valores cumpliendo $0 < \alpha < 1$).
- El margen de fase limita el valor de las resistencias utilizadas en el LCMFB. En este caso, para un valor mayor de $662k\Omega$ el margen de fase baja de los 60° por lo que el amplificador deja de ser estable.
- La existencia de las fuentes de corriente de valor $\epsilon\alpha I_B$ que controlan la corriente de polarización de los transistores M_{3B} y M_{4B} no mejoran las figuras de mérito y empeoran la estabilidad. Al incrementar el valor del parámetro ϵ empeora el margen de fase, por lo que obliga a hacer uso de resistencias de menor valor para mantener la estabilidad y con ello decrece la FoMS. Por lo tanto, tal y como se puede observar en la tabla X, lo óptimo es escoger $\epsilon=0$, es decir, prescindir de dichas fuentes de corriente.

Como complemento a la optimización de la FoMS, se procede a realizar el mismo procedimiento de optimización de la figura de mérito, pero esta vez operando los transistores en inversión fuerte. La transconductancia de un transistor en inversión fuerte viene dada por

$$g_m = \sqrt{\mu C_{ox} \left(\frac{W}{L}\right) I_D} \quad (3.19)$$

siendo μ y C_{ox} parámetros que depende de la tecnología, W/L la relación de aspecto del transistor e I_D su corriente de polarización. Por lo tanto, las transconductancias g_{m1} y g_{m3B} en inversión fuerte vienen dadas por

$$g_{m1} = \sqrt{\mu_p C_{ox} \left(\frac{W}{L}\right)_1 I_B} \quad (3.20)$$

$$g_{m_{3B}} = \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right)_{3B} I_B \alpha (1 - \varepsilon)} \quad (3.21)$$

Los rangos y valores escogidos de los diferentes parámetros se reflejan en la tabla 3.4.

Parámetros	Valores escogidos
α	Vector de 1000 valores comprendidos entre 0.001 y 1
γ	Vector de 1000 valores comprendidos entre 0.001 y 1
R	Vector de 1000 valores comprendidos entre 1 k Ω y 1 M Ω
C_a	10 fF
C_{load}	10 pF
I_B	15 μ A
$\mu_n C_{ox}$	70e-6 μ A/V ²
$\mu_p C_{ox}$	30e-6 μ A/V ²

Tabla 3.4: Parámetros escogidos para la optimización de FoMs en inversión fuerte.

Cabe recalcar que la intensidad de polarización de la rama de salida I_B es mayor debido a que los transistores deben operar en inversión fuerte en esta optimización. Para la elección de los parámetros $\mu_n C_{ox}$ y $\mu_p C_{ox}$ se ha hecho uso de la herramienta Cadence, escogiendo un valor aproximado mediante simulación. Los resultados de la optimización en inversión fuerte se reflejan en la tabla 3.5.

Parámetros	Valores optimizados
α	0.993
R	54k Ω
γ	0.001
ε	0

Tabla 3.5: Resultados de la optimización de FoMs en inversión fuerte.

$$FoMS \text{ lograda: } 27943 \frac{MHz \cdot pF}{mA}$$

$$PM = 60^\circ$$

Como se puede observar, la FoMs es menor cuando los transistores operan en inversión fuerte, debido a que el ratio g_m/I_D es menor que en inversión débil. Además, al aumentar la corriente de polarización del circuito para que los transistores operen en inversión

fuerte, tal y como se puede observar en 3.16 el margen de fase disminuye. Debido a esto, para mantener la estabilidad del sistema es necesario disminuir el valor de las resistencias del LCMFB disminuyendo la figura de mérito de pequeña señal.

3.3.2. Optimización del ruido

Para la optimización del ruido se utiliza la expresión del ruido equivalente a la entrada (3.17) calculada previamente. El procedimiento es el mismo que en la optimización de FoMS. Los rangos y valores escogidos de los diferentes parámetros se reflejan en la tabla 3.6.

Parámetros	Valores escogidos
α	Vector de 1000 valores comprendidos entre 0.001 y 1
γ	Vector de 1000 valores comprendidos entre 0.001 y 1
R	Vector de 1000 valores comprendidos entre 1 k Ω y 1 M Ω
C_a	10 fF
C_{load}	10 pF
I_B	1 μ A
k_B	$1,3806 \cdot 10^{-23}$
T	295 K
δ	2/3
n	1.5
V_t	26 mV

Tabla 3.6: Parámetros escogidos para la optimización del ruido.

El parámetro ε no influye en la densidad de ruido del sistema tal y como se mencionó anteriormente, por lo que no será objeto de estudio en esta optimización. También se tiene en cuenta la estabilidad del amplificador, por lo que se establece que el margen de fase debe de ser como mínimo 60°. Los resultados se reflejan en la tabla 3.7.

Parámetros	Valores optimizados
α	1
R	662 k Ω
γ	1

Tabla 3.7: Resultados de la optimización del ruido.

$$\text{Ruido equivalente a la entrada} = 25,6 \frac{nV}{\sqrt{Hz}}$$

$$PM = 60,05^\circ$$

Por lo tanto, al igual que para la optimización de FoMS, la configuración CM OTA Super Clase AB ($\alpha=1$) es la óptima para lograr el menor ruido equivalente a la entrada del amplificador.

En la figura 3.4 se muestra el ruido equivalente a la entrada respecto al valor de las resistencias $R_1=R_2=R$. El resto de los parámetros son los óptimos, es decir, los valores de la tabla 3.6.

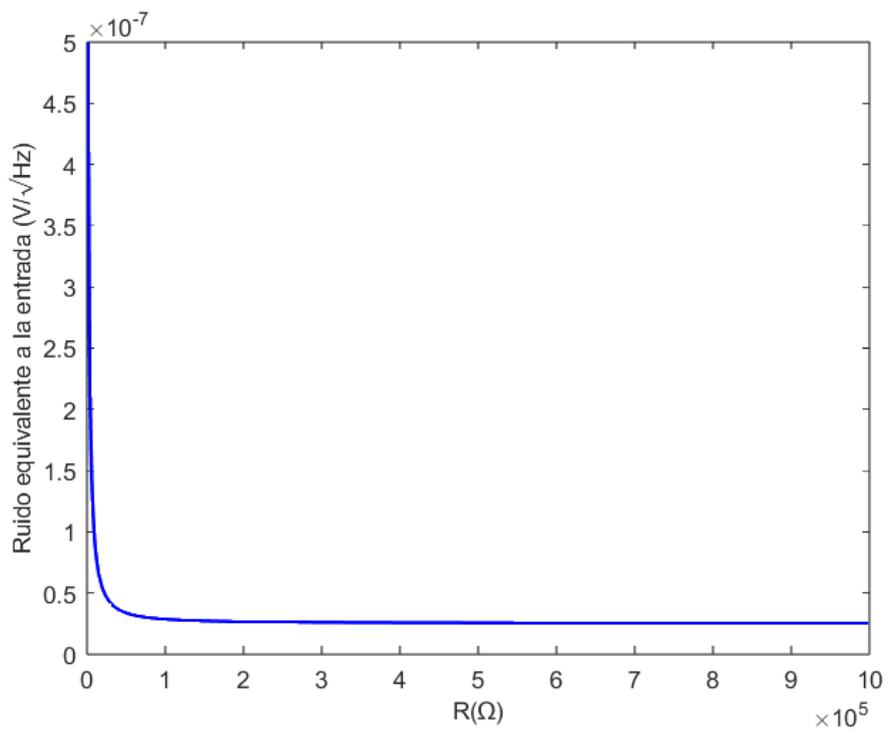


Figura 3.4: Ruido equivalente a la entrada respecto a R .

Tal y como se puede observar, el ruido equivalente a la entrada a partir de un valor de resistencias de valor 200 k Ω no varía apenas. Esto quiere decir que es posible mantener los niveles de ruido reduciendo el valor de las resistencias, logrando un sistema con mejor margen de fase y por lo tanto una mayor estabilidad.

En la figura 3.5 se muestra el ruido equivalente a la entrada respecto al valor del parámetro gamma. El resto de los parámetros son los óptimos, es decir, los valores de la tabla 3.6.

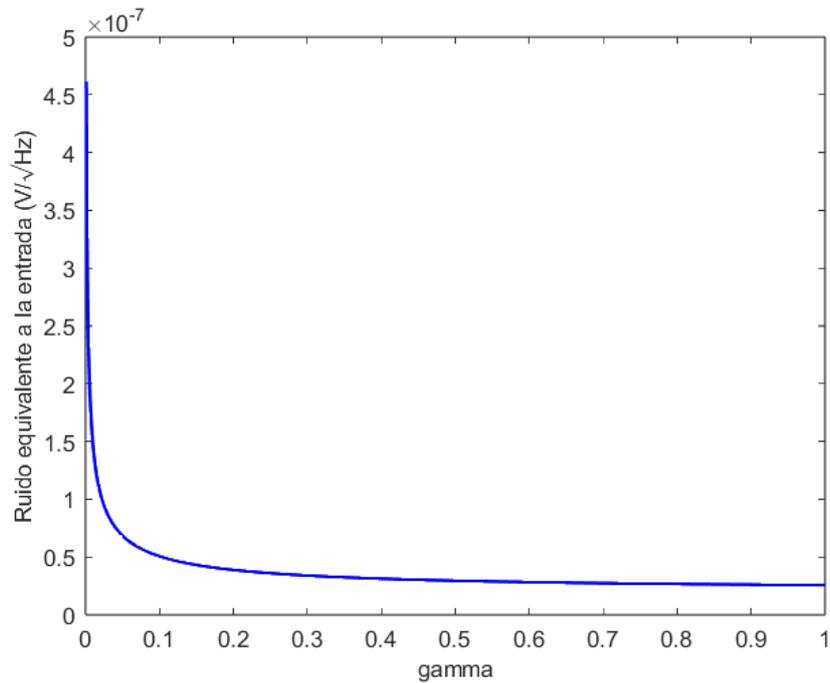


Figura 3.5: Ruido equivalente a la entrada respecto a gamma.

De la gráfica de la figura 3.5 se extraen dos conclusiones:

- El valor óptimo del parámetro gamma para el menor ruido equivalente a la entrada es 1.
- Un valor de gamma demasiado pequeño perjudica en exceso el ruido del amplificador.

Al igual que en el apartado anterior, se procede a repetir la optimización del ruido, pero esta vez operando los transistores en inversión fuerte en vez de inversión débil. Se escoge una intensidad de polarización I_B de 15 μA y las transconductancias de los diferentes transistores se calculan mediante la expresión (3.19). El resto de los parámetros son iguales que en la optimización en inversión débil, recogidos en la tabla 3.6. Los resultados de la optimización en inversión fuerte se reflejan en la tabla 3.8.

Parámetros	Valores optimizados
α	1
R	54 k Ω
γ	1

Tabla 3.8: Resultados de la optimización del ruido en inversión fuerte.

$$\text{Ruido equivalente a la entrada} = 8.06 \frac{nV}{\sqrt{Hz}}$$

$$PM = 60,45^\circ$$

Como se puede observar, el ruido equivalente a la entrada es mucho menor operando los transistores en inversión fuerte. Esto es debido a que, como se puede ver en la expresión (3.18), el ruido equivalente es inversamente proporcional a la transconductancia total del circuito G_M . Al aumentar considerablemente la intensidad de polarización de todos los transistores, aumenta la transconductancia total del circuito y debido a ellos el ruido equivalente a la entrada es menor. Como principal inconveniente, al trabajar en inversión fuerte, el consumo del amplificador es mucho mayor debido a las mayores corrientes de polarización, dejando de ser un dispositivo LVLP.

Para implementar las fuentes de corriente que polarizan el FVF (γI_B) y las que controlan la corriente de polarización de los transistores M_{3B} y M_{4B} ($\epsilon I_B/2$) se implementa un espejo de corriente cuyo diseño se puede observar en la figura 4.2.

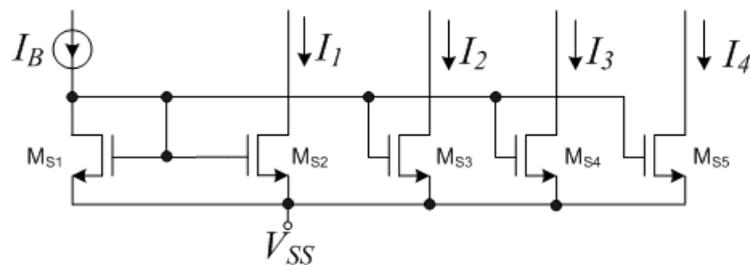


Figura 4.2: Espejo de corriente para la polarización del amplificador.

En este caso $I_1=I_2= \gamma I_B$ y $I_3=I_4= \epsilon I_B/2$. El funcionamiento es sencillo: si se requiere que el valor de I_1 y I_2 sea $I_B/2$, la relación de aspecto W/L de los transistores M_{S2} y M_{S3} debe de ser la mitad de la del transistor M_{S1} . En general se mantiene L y se escala W. En cambio, si se requiere que por ambos transistores la corriente de drenaje sea el doble que la de M_{S1} , es decir, $2I_B$, la relación de aspecto W/L de estos debe de ser la mitad de la de M_{S1} .

Influencia del parámetro ϵ

En el capítulo de optimización se ha llegado a la conclusión que para obtener la mejor figura de mérito de pequeña señal se debe escoger $\epsilon=0$, es decir, prescindir de las fuentes de corriente que controlan la corriente de polarización de los transistores M_{3B} y M_{4B} . Para comprobar dicha conclusión en simulación, se procede a comparar dos RFC super clase AB OTA, uno con $\epsilon=0.5$ y el otro excluyendo las fuentes de corriente. Los ratios W/L de los diferentes transistores se reflejan en la tabla 4.1 y el resto de los valores escogidos para la simulación se muestran en la tabla 4.2.

Transistores	Ratios W/L ($\mu\text{m}/\mu\text{m}$)	
	RFC OTA $\epsilon=0.5$	RFC OTA $\epsilon=0$
M_{1A}, M_{2A}	12/0.24	12/0.24
M_{1B}, M_{2B}	12/0.24	12/0.24
M_{1C}, M_{2C}	12/0.24	12/0.24
M_{1D}, M_{2D}	12/0.24	12/0.24
M_{3A}, M_{4A}	72/0.24	36/0.24
M_{3B}, M_{4B}	12/0.24	12/0.24
M_{3C}, M_{4C}	12/0.24	12/0.24

M ₅ , M ₆	72/0.24	36/0.24
M ₇ , M ₈	12/0.24	12/0.24
M ₉ , M ₁₀	12/0.24	12/0.24

Tabla 4.1: Ratios W/L para las dos configuraciones con diferente ϵ .

Parámetros	Valores
α	0.5
γ	0.5
R	500k Ω
I _B	1 μ A
C _L	100pF
Tensión de alimentación	± 0.75 V
V _{CN}	0V
V _{CP}	0.2V

Tabla 4.2: Parámetros escogidos para comprobar la influencia de ϵ .

Los resultados obtenidos de ambas configuraciones se muestran en la tabla 4.3 junto a los correspondientes resultados teóricos calculados utilizando las expresiones 3.12, 3.16 y 3.17.

	RFC OTA $\epsilon=0.5$	RFC OTA $\epsilon=0.5$ Teórico	RFC OTA $\epsilon=0$	RFC OTA $\epsilon=0$ Teórico
FoMS (MHz·pF/mA)	16553	16512	19064	16512
PM (°)	42.2	81.15	58.4	85.6
Ruido equivalente a la entrada (nV/ $\sqrt{\text{Hz}}$)	23.34	35.8	22.62	35.8

Tabla 4.3: Resultados de la influencia de ϵ

Respecto a los resultados de la tabla 4.3 se llegan a las siguientes conclusiones:

- Teóricamente el parámetro ϵ no afecta a la FoMS, pero en simulación se puede observar que la figura de mérito mejora en cuanto disminuye dicho parámetro.
- En simulación el ruido se mantiene en valores similares al modificar ϵ , lo cuál concuerda con la expresión teórica del ruido en (3.17), la cual no depende de ϵ . También se observa que el ruido equivalente es menor en simulación, lo cual se debe a que la transconductancia total del OTA en simulación es mayor a la calculada teóricamente en 3.5.
- El margen de fase empeora en cuanto usamos un ϵ mayor, efecto que se demuestra en teoría.

La diferencia de valores entre los cálculos teóricos y los resultados en simulación del margen de fase puede ser debido a que el análisis teórico solo considera el polo dominante y el no dominante, no incluyendo el efecto de otros polos y ceros que también contribuyen a reducir el margen de fase. Además, la capacidad parásita de los nodos está probablemente subestimada en el análisis teórico, y quizás las diferencias entre las g_m teóricas y calculadas también influya.

Una vez comprobada en simulación la influencia negativa de un ϵ mayor a 0 en el OTA super clase AB, para las siguientes simulaciones se prescinde de las fuentes de corriente que controlan dicho parámetro, es decir, se escoge $\epsilon=0$ para las siguientes configuraciones.

Influencia del parámetro γ

En la optimización teórica se ha llegado a la conclusión de que aumentando el factor γ se reduce el ruido equivalente a la entrada del OTA, pero también disminuye la figura de mérito de pequeña señal FoMS. Para comprobar dichos resultados se procede a simular en Cadence cuatro configuraciones diferentes de RFC OTAs super clase AB con cuatro valores diferentes del parámetro γ : 1, 0.5, 0.25 y 0.1. Las ratios W/L de los diferentes transistores se reflejan en la tabla 4.4 y el resto de los valores escogidos para la simulación se muestran en la tabla 4.5.

Transistores	Ratios W/L ($\mu\text{m}/\mu\text{m}$)			
	RFC OTA $\gamma = 1$	RFC OTA $\gamma = 0.5$	RFC OTA $\gamma = 0.25$	RFC OTA $\gamma = 0.1$
M _{1A} , M _{2A}	12/0.24	12/0.24	12/0.24	12/0.24
M _{1B} , M _{2B}	12/0.24	12/0.24	12/0.24	12/0.24
M _{1C} , M _{2C}	24/0.24	12/0.24	6/0.24	2.4/0.24
M _{1D} , M _{2D}	12/0.24	12/0.24	12/0.24	12/0.24
M _{3A} , M _{4A}	36/0.24	36/0.24	36/0.24	36/0.24
M _{3B} , M _{4B}	12/0.24	12/0.24	12/0.24	12/0.24
M _{3C} , M _{4C}	12/0.24	12/0.24	12/0.24	12/0.24
M ₅ , M ₆	36/0.24	36/0.24	36/0.24	36/0.24
M ₇ , M ₈	12/0.24	12/0.24	12/0.24	12/0.24
M ₉ , M ₁₀	12/0.24	12/0.24	12/0.24	12/0.24

Tabla 4.4: Ratios W/L para las dos configuraciones con diferente γ .

Parámetros	Valores
α	0.5

ϵ	0
R	500k Ω
I_B	1 μ A
C_L	100pF
Tensión de alimentación	± 0.75 V
V_{CN}	0V
V_{CP}	0.2V

Tabla 4.5: Parámetros escogidos para comprobar la influencia de γ .

Los resultados obtenidos de las diferentes configuraciones se recogen en la tabla 4.6 junto a los correspondientes resultados teóricos.

	RFC OTA $\gamma = 1$	RFC OTA $\gamma = 1$ Teórico	RFC OTA $\gamma = 0.5$	RFC OTA $\gamma = 0.5$ Teórico	RFC OTA $\gamma = 0.25$	RFC OTA $\gamma = 0.25$ Teórico	RFC OTA $\gamma = 0.1$	RFC OTA $\gamma = 0.1$ Teórico
FoMS (MHz·pF/mA)	16499	13760	19152	16512	20580	18347	21844	19657
PM (°)	59.1	85.55	58.3	85.55	57.5	85.55	52.9	85.55
Ruido equivalente a la entrada (nV/ $\sqrt{\text{Hz}}$)	20.3	32.8	23.34	35.8	28.13	41.3	35.57	54.8

Tabla 4.6: Resultados de la influencia de γ .

Respecto a los resultados de la tabla 4.6 se llegan a las siguientes conclusiones:

- Al igual que ocurre en los resultados teóricos, una disminución del parámetro γ conlleva a una mejora de la FoMS.
- La tendencia de un menor ruido equivalente a la entrada del OTA con el aumento de γ también se cumple al igual que en la teoría. La mejora de resultados en el análisis en simulador respecto tanto en FoMS como en ruido se debe a que la transconductancia total del amplificador es mayor a la calculada en teoría, tal y como se ha mencionado anteriormente.
- El margen de fase no varía apenas entre los valores 1 y 0.25 de γ , pero utilizando un γ menor disminuye significativamente. Teóricamente, dicho parámetro no debería afectar al margen de fase del amplificador.

Teóricamente, como el parámetro γ no afecta a la estabilidad, se puede reducir dicho parámetro a un valor muy pequeño con el objetivo de optimizar la FoMS, pero en

simulación se observa que reducir a un valor muy pequeño degrada el margen de fase, por lo que para que el sistema mantenga la estabilidad es necesario bajar el valor de las resistencias del LCMFB, lo cual degrada la figura de mérito. Es decir, un efecto anula al otro, manteniendo una FoM_S similar o peor y además aumentando significativamente el ruido equivalente a la entrada. Debido a esto, en términos de optimización de FoM_S no es ventajoso usar una γ de un valor muy pequeño.

RFC óptimo en términos de FoMS y FoML

Una vez comprobados los efectos de ϵ y γ en el amplificador mediante la simulación en Cadence, se procede a diseñar un RFC super clase AB OTA óptimo en términos de las figuras de mérito de pequeña y gran señal con el objetivo de compararlo posteriormente con los resultados en simulación del CM super clase AB. Como parámetro de referencia para tener en cuenta las dos figuras de mérito se hará uso de FoM_{AVG}, el cual se trata de la media geométrica de FoM_S y FoM_L cuya expresión es

$$FoM_{AVG} = \sqrt{FoM_S \cdot FoM_L} \quad (3.1)$$

De acuerdo con los resultados anteriores, se escoge $\epsilon=0$ y $\gamma=1/4$. Tras analizar el límite de un valor pequeño de γ , se ha llegado a la conclusión de escoger este valor, ya que un valor menor incluso empeora ligeramente la FoMS y empeora el ruido. Mediante simulación, se llega a la conclusión que el mayor valor de las resistencias manteniendo el amplificador estable, es decir, un mínimo margen de fase de 60°, es de 470k Ω , por lo que se escoge este valor. Los ratios W/L de los diferentes transistores se reflejan en la tabla 4.7 y el resto de valores escogidos para la simulación se muestran en la tabla 4.8.

Transistores	Ratios W/L ($\mu\text{m}/\mu\text{m}$)
M _{1A} , M _{2A}	12/0.24
M _{1B} , M _{2B}	12/0.24
M _{1C} , M _{2C}	6/0.24
M _{1D} , M _{2D}	12/0.24
M _{3A} , M _{4A}	36/0.24
M _{3B} , M _{4B}	12/0.24
M _{3C} , M _{4C}	12/0.24
M ₅ , M ₆	36/0.24
M ₇ , M ₈	12/0.24
M ₉ , M ₁₀	12/0.24

Tabla 4.7: Ratios W/L escogidos.

Parámetros	Valores
α	0.5
ϵ	0
γ	0.25
R	470k Ω
I_B	1 μ A
C_L	100pF
Tensión de alimentación	\pm 0.75V
V_{CN}	0V
V_{CP}	0.2V

Tabla 4.8: Parámetros escogidos.

Los resultados obtenidos se recogen en la tabla 4.9.

Parámetros	Resultados
SR+ (V/ μ s)	2.57
SR- (V/ μ s)	-5.84
Ganancia en DC (dB)	80.65
PM ($^\circ$)	60.4
GBW (MHz)	2.09
Ruido equivalente a la entrada (nV/ $\sqrt{\text{Hz}}$)	28.15
I_{supply} (μ A)	10.51
Potencia (μ W)	15.77
FoM _L (μ A/ μ A)	39.96
FoM _S (MHz·pF/mA)	19886
FoM _{AVG}	891.42

Tabla 4.9: Resultados obtenidos del RFC OTA super clase AB.

Este valor de FoM_S se corresponde con el mayor valor logrado en simulación para un RFC OTA super clase AB teniendo en cuenta un margen de fase mínimo de 60°. Teóricamente con estos parámetros escogidos la FoM_S es 17300.

Con el objetivo de mejorar la FoM_{AVG}, se han implementado cascodos en los espejos de corriente de la figura 4.2, los cuales se observan en la figura 4.3.

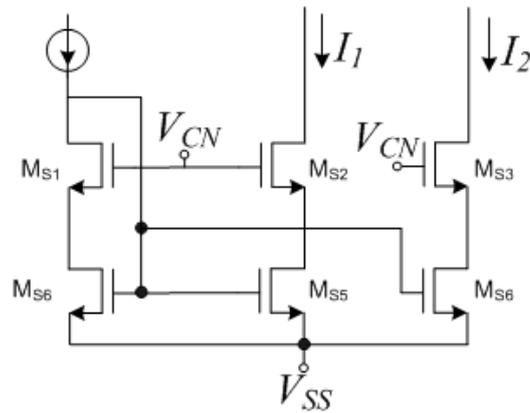


Figura 4.3: Espejo de corriente para la polarización del amplificador haciendo uso de transistores cascodos.

El objetivo de esta implementación es escalar de manera más exacta las corrientes que polarizan el FVF y con ello reducir la I_{supply} , mejorando con ello las dos figuras de mérito. El resultado de esta implementación se muestra en la tabla 4.10.

Parámetros	Resultados
SR+ (V/ μ s)	2.57
SR- (V/ μ s)	-4.76
Ganancia en DC (dB)	83
PM ($^{\circ}$)	60.3
GBW (MHz)	1.33
CMRR (dB)	
Ruido equivalente a la entrada (nV/ $\sqrt{\text{Hz}}$)	32.6
I_{supply} (μ A)	7.1
Potencia (μ W)	10.5
FoM _L (μ A/ μ A)	52
FoM _S (MHz·pF/mA)	18838
FoM _{AVG}	990

Tabla 4.10: Resultados obtenidos del RFC OTA super clase AB tras añadir cascodos al espejo de corriente

Una vez vistos los resultados en simulación, se llega a la conclusión de que los cascodos no mejoran la FoM_S. Es verdad que disminuye la corriente de alimentación total, pero por ese mismo efecto disminuye a su vez el producto de ganancia por ancho de banda, por lo que no mejora la figura de mérito de pequeña señal. Por el contrario, los niveles de Slew Rate se mantienen similares por lo que al bajar la I_{supply} mejora la figura de mérito de gran señal considerablemente y con ello la FoM_{AVG}. También mejora la potencia estática del amplificador, disminuyendo 5 μ W.

La última implementación de cara a optimizar la FoM_{AVG} consiste en el uso de la técnica QFG previamente mencionada para la polarización adaptativa de los transistores cascodo del OTA, intentando que la V_{DS} de los transistores que generan largas corrientes dinámicas no se vea limitada por tales transistores cascodo. El diseño anterior añadiendo la implementación se observa en la figura 4.4.

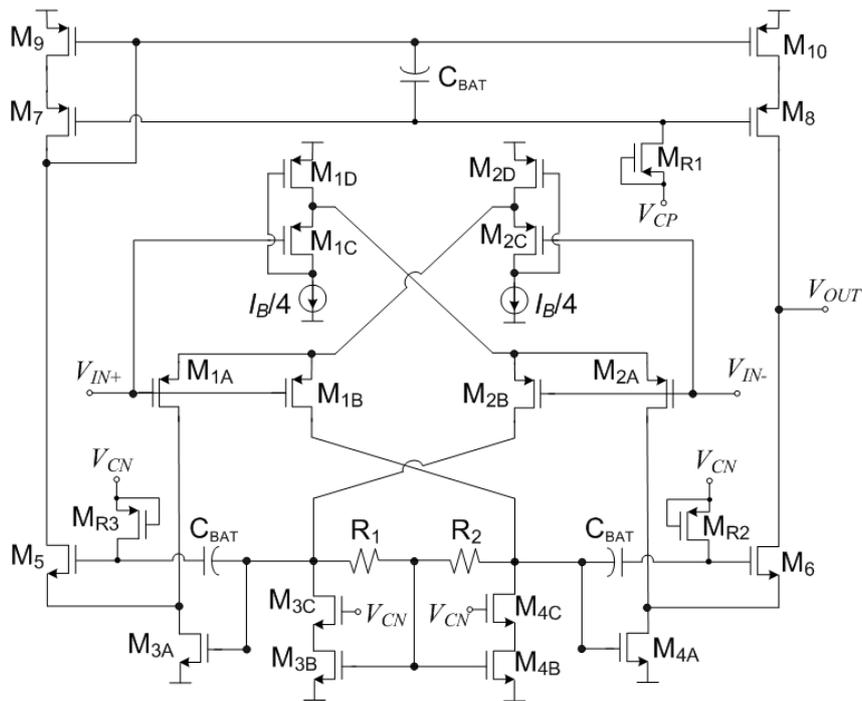


Figura 4.4: Implementación RFC OTA super clase AB con técnica QFG para los transistores cascodos.

Los ratios W/L de M_{R1} , M_{R2} y M_{R3} es $1\mu\text{m}/0.18\mu\text{m}$ y el valor de C_{BAT} es de 1pF . El resto de los valores son los mismos que los de las tablas 4.7 y 4.8. Con esta implementación se pretende mejorar el Slew Rate y con ello la FoM_L sin perjudicar teóricamente en gran medida a la FoM_S . Los resultados se recogen en la tabla 4.11.

Parámetros	Resultados
SR+ ($\text{V}/\mu\text{s}$)	3.8
SR- ($\text{V}/\mu\text{s}$)	-3.82
Ganancia en DC (dB)	81.7
PM ($^\circ$)	60.1
GBW (MHz)	1.15
Ruido equivalente a la entrada ($\text{nV}/\sqrt{\text{Hz}}$)	32.7
I_{supply} (μA)	7.1

Potencia (μW)	10.5
FoM _L ($\mu\text{A}/\mu\text{A}$)	54
FoM _S ($\text{MHz}\cdot\text{pF}/\text{mA}$)	16289
FoM _{AVG}	937

Tabla 4.11: Resultados obtenidos del RFC OTA super clase AB tras añadir la técnica QFG

Una vez visto los resultados en simulación se puede observar que la FoM_L mejora ligeramente, pero la FoM_S disminuye, de tal manera que la FoM_{AVG} disminuye al usar la técnica QFG, por lo que no es conveniente implementarla a la hora de optimizar las figuras de mérito de pequeña y gran señal del RFC super clase AB.

Por lo tanto, las conclusiones para lograr la configuración óptima en simulación en términos de FoM_{AVG} para el RFC OTA super clase AB son las siguientes:

- Hay que prescindir de las fuentes de corriente que controlan la corriente de polarización de los transistores M_{3B} y M_{4B}, es decir, escoger $\epsilon=0$.
- No conviene utilizar un valor del parámetro γ muy bajo tal y como indican los cálculos teóricos, siendo $\gamma=1/4$ el valor que logra los resultados más eficientes para el amplificador.
- Emplear cascodos en el espejo de corriente que genera las fuentes de corriente que polarizan al sistema aumenta FoM_{AVG} además de conseguir que el OTA tenga un consumo menor, es decir, más cercano al teórico.
- No es conveniente implementar la técnica QFG en general para polarización dinámica de los transistores cascado debido a que en términos de FoM_{AVG} empeoran los resultados.
- La mayor FoM_{AVG} para el RFC OTA super clase AB lograda es 990, con FoM_S=18838 y FoM_L=52.

4.2. Simulación CM OTA super clase AB

Se ha comprobado que la influencia de los diferentes parámetros de la implementación genérica propuesta es la misma para las dos configuraciones por lo que se escogen los valores óptimos $\epsilon=0$ y $\gamma=1/4$ sin necesidad de repetir el mismo procedimiento del apartado anterior. En la figura 4.5 se muestra el diseño del CM OTA Super Clase AB.

Parámetros	Valores
α	1
ϵ	0
γ	0.25
R	880k Ω
I_B	1 μ A
C_L	100pF
Tensión de alimentación	± 0.75 V
V_{CN}	0V
V_{CP}	0.2V

Tabla 4.13: Parámetros escogido para simular el CM OTA super clase AB.

Cabe recalcar que se ha escogido un valor mayor de resistencias debido a que el margen de fase utilizando resistencias de 470k Ω en esta configuración es bastante mayor al límite impuesto de 60°, por lo que las aumentamos con el objetivo de optimizar las figuras de mérito de pequeña y gran señal. Los resultados obtenidos se recogen en la tabla 4.14.

Parámetros	Resultados
SR+ (V/ μ s)	2.2
SR- (V/ μ s)	-3.2
Ganancia en DC (dB)	88.1
PM (°)	60.4
GBW (MHz)	1.77
Ruido equivalente a la entrada (nV/ $\sqrt{\text{Hz}}$)	30.38
I_{supply} (μ A)	6.9
Potencia (μ W)	10.35
FoM _L (μ A/ μ A)	39
FoM _S (MHz·pF/mA)	25652
FoM _{AVG}	1000.2

Tabla 4.14: Resultados del CM OTA super clase AB.

Una vez vistos los resultados se obtienen las siguientes conclusiones:

- La FoM_S lograda es mayor que la obtenida con el RFC OTA super clase AB, lo cual concuerda con la optimización teórica. Por el contrario, empeora el Slew Rate y con ello la figura de mérito de gran señal.
- El CM super clase AB es la configuración óptima en términos de FoM_{AVG}, superando al RFC super clase AB, aunque con menos diferencia que la esperada según los cálculos teóricos.
- El resto de los parámetros contemplados son similares en las dos configuraciones excepto la ganancia en DC, la cual en el CM OTA super clase AB es 7dBs mayor.

En la figura 4.6 se representan gráficamente los resultados obtenidos del RFC OTA super clase AB y del CM OTA super clase AB, comparándolos con los resultados de otros trabajos. Destaca sobre todo el elevado valor de la FoMS obtenida comparado con otras propuestas. La FoML más alta se obtiene con el amplificador en [10], pero se consigue al no corresponder a una configuración cascode y por tanto tener mejor slew rate a expensas de una ganancia en DC muy limitada.

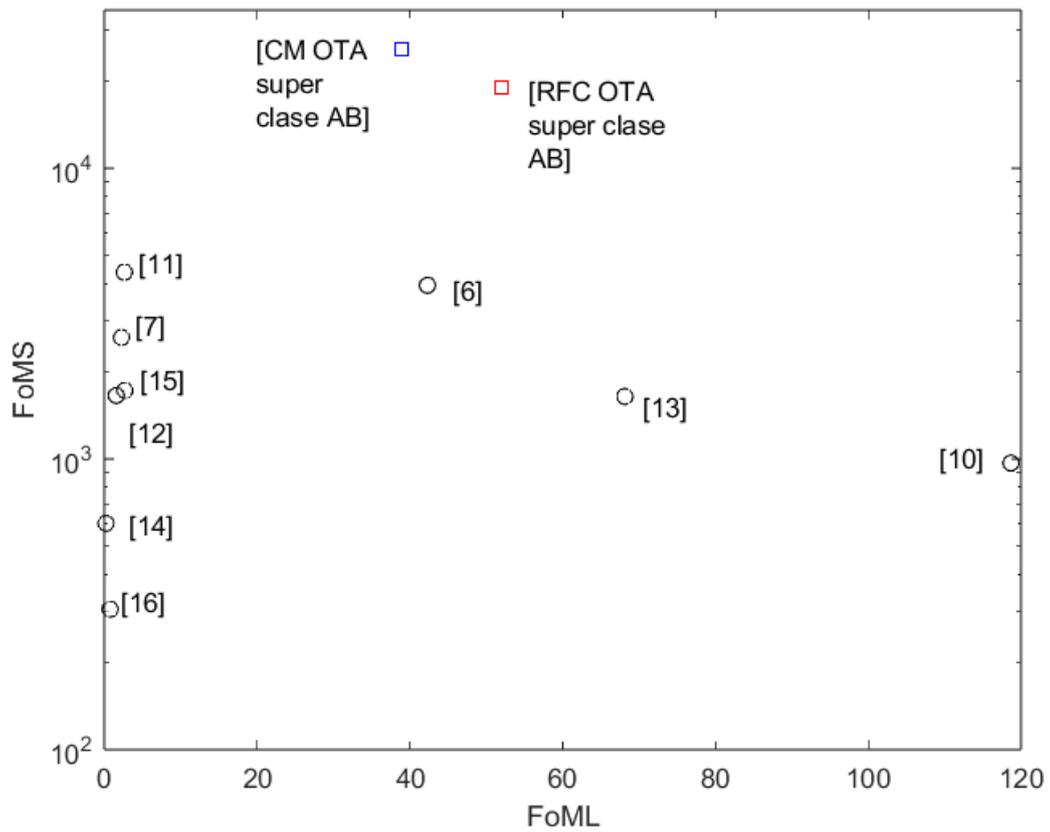


Figura 4.6: Comparativa de las figuras de mérito obtenidas respecto a otros trabajos.

Capítulo 5 Layouts

Una vez tenemos los valores de todos los parámetros de las dos configuraciones del OTA superclase AB, el siguiente paso consiste en el diseño de los respectivos layouts. La tecnología utilizada para realizar los layouts es de 180nm de UMC, siendo de pozo N o sustrato P. Debido a esto, los transistores NMOS se implementan directamente sobre el sustrato mientras que los PMOS deben fabricarse en el interior de un pozo tipo N.

5.1. Técnicas de layout

En primer lugar, antes de empezar a colocar los diferentes componentes para comenzar la realización del diseño del layout es importante detectar cuáles deben ser iguales entre sí. Un ejemplo claro es el de un espejo de corriente o el de dos resistencias que tienen el mismo valor.

Un aspecto clave para que dos componentes que hemos detectado que tienen que ser iguales se comporten de la manera más similar posible consiste en que ambos elementos deben estar juntos, tener el mismo entorno y orientación. Para lograr la misma disposición entre componentes iguales se colocarán lo más próximos entre sí y rodeados del mismo contorno. Cabe recalcar que a la hora de realizar el layout no hay que colocar necesariamente los elementos con la misma disposición que en el esquemático, por lo que dos transistores que estén alejados en el esquemático pueden estar próximos en el layout si es conveniente.

Una técnica utilizada en los layouts realizados es la de interdigitado, que nos permite mejorar considerablemente el matching entre distintos componentes. Consiste en dividir los componentes a los que se le va a aplicar dicha técnica (normalmente transistores o resistencias) en varios trozos o componentes más pequeños, de tal forma que luego se entrelacen los trozos de un componente con los trozos de otro al que tiene que ser igual, mejorando la homogeneidad entre los mismos.

Otra técnica utilizada ha sido el uso de componentes dummy. Los transistores o resistencias dummy, a pesar de incorporarlos al esquemático, no influyen en el funcionamiento del OTA ya que están cortocircuitados. En el diseño del layout, al colocar por ejemplo dos transistores iguales y utilizar la técnica de interdigitación tenemos que todos los transistores del bloque (trozos de los transistores iguales que

queremos colocar) están rodeados tanto por la izquierda como por la derecha por un transistor igual a él menos los dos de los extremos, en los cuales un lado se queda libre. Esto puede ocasionar que el comportamiento de los transistores que se encuentran en los extremos del bloque sea diferente al de los demás transistores. Para evitarlo se colocan en los extremos dos transistores dummy del mismo tamaño que los transistores del bloque para que así todos los transistores del bloque estén rodeados del mismo entorno. Cabe recalcar que la técnica dummy se puede emplear tanto con transistores, como con resistencias o condensadores.

La última técnica realizada en los layout consiste en rodear todos los componentes por una serie de conexiones a sustrato de forma que todos tengan alguna próxima, ya que éstas van a actuar como protección frente a corrientes conducidas por el sustrato, y van a fijar con más exactitud la tensión del terminal de bulk en el caso de los transistores nMOS.

5.2. Layouts realizados

Haciendo uso de las técnicas expuestas en el apartado anterior, se procede a realizar el diseño del layout de los dos OTAs analizados en simulación en el capítulo 4: el RFC OTA super clase AB y el CM OTA super clase AB.

El diseño es muy similar para ambos, con la diferencia de las conexiones de los transistores de entrada M_{1A} y M_{2A} (es decir, el valor del parámetro α) y de los ratios W/L de algunos transistores debido al factor K del espejo diferencial no lineal tal y como se puede ver en las tablas 4.7 y 4.12.

En las figuras 5.1 y 5.2 se muestran los layout del RFC OTA super clase AB y el CM OTA super clase A, respectivamente.

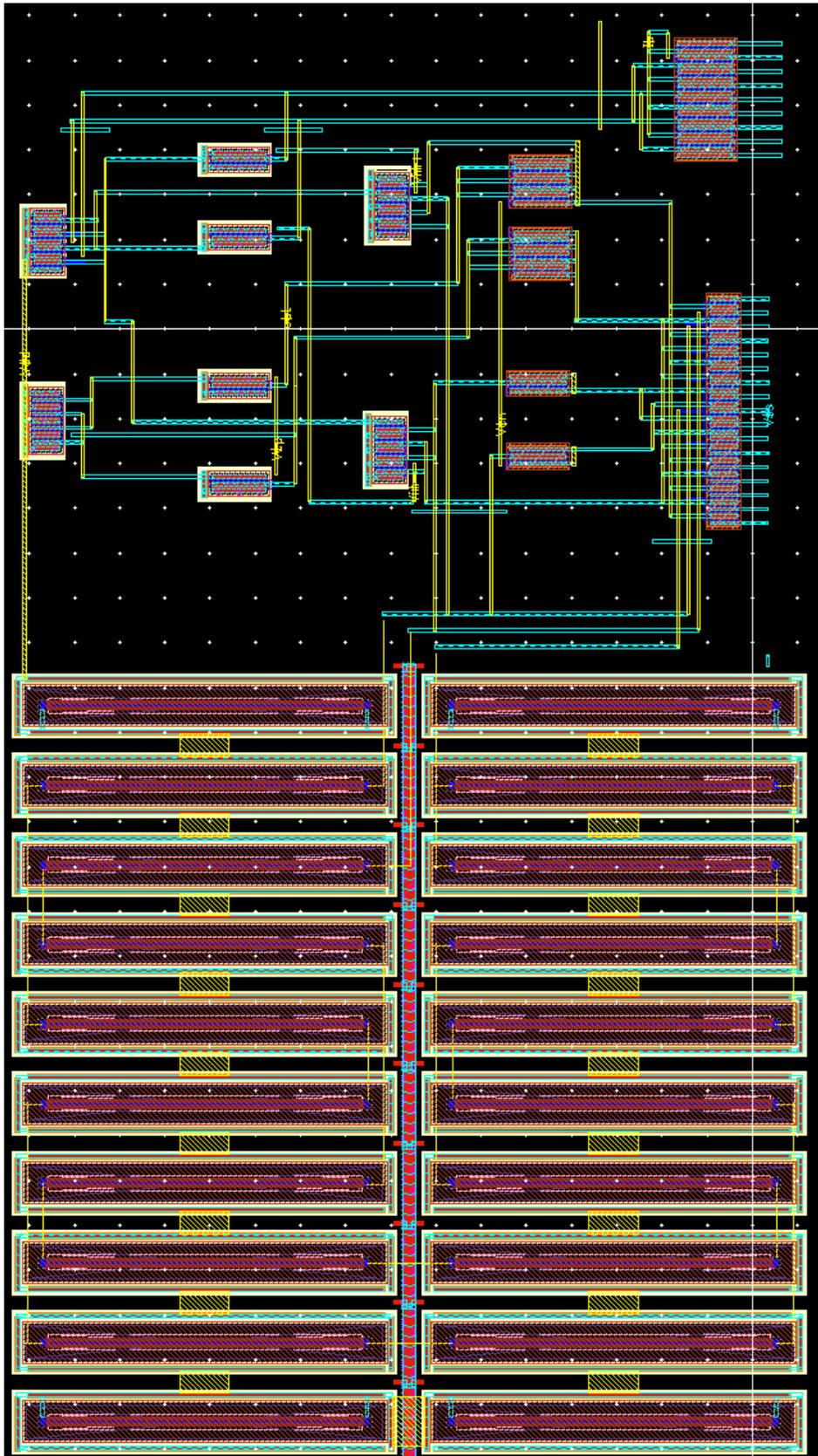


Figura 5.1: Layout del RFC OTA super clase AB.

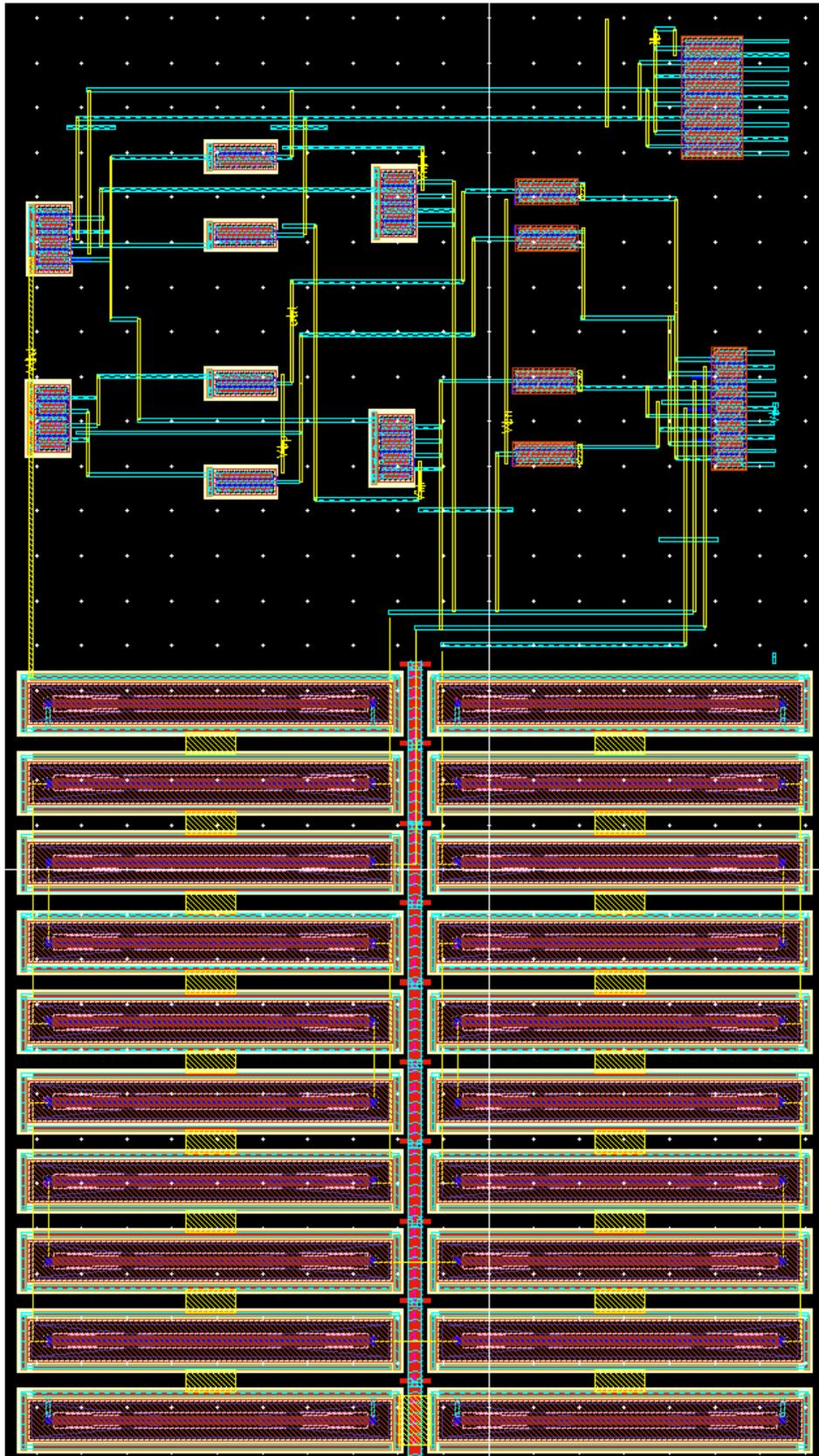


Figura 5.2: Layout del CM OTA super clase AB.

5.3. Líneas futuras

La continuación más inmediata consiste en enviar a fabricar los diseños que se han realizado y medir el chip resultante, comprobando si los resultados experimentales coinciden con los que se han obtenido en simulación durante el desarrollo del trabajo.

Una tarea para desarrollar es la implementación de nuevas técnicas dentro de la configuración genérica del OTA super clase AB propuesta con el objetivo de mejorar los resultados obtenidos en el presente trabajo, tanto a nivel de figuras de mérito como de ruido equivalente a la entrada del amplificador. Por otro lado, la optimización se podría extender a otras características relevantes del OTA como son el CMRR o el PSRR.

Otra continuación posible al trabajo consiste en trasladar el diseño a una tecnología CMOS más moderna, como es el caso de 65nm. Una vez trasladado el diseño el siguiente paso consiste en analizar las diferencias encontradas en la nueva tecnología y hacer un nuevo estudio y optimización.

Anexo A

El ruido térmico del transistor en saturación se puede modelar como una fuente de tensión de ruido en la puerta del transistor con valor cuadrático medio

$$\overline{v_n^2} = \frac{4k_B T \delta}{g_m} \Delta f \quad (A.1)$$

Por otro lado, las resistencias generan una corriente de ruido con valor cuadrático medio

$$\overline{i_n^2} = \frac{4k_B T \Delta f}{R} \quad (A.2)$$

Se procede a calcular el valor cuadrático medio de la corriente de ruido de salida del amplificador. Para ello, se considera independientemente cada fuente de ruido de cada transistor y resistencia quitando las de todos los demás, calculando su ganancia en pequeña señal desde esa fuente hasta el nodo de salida. Se multiplica el valor de la fuente por esa ganancia y se tiene así la contribución al ruido de salida de esa fuente en concreto. Esto se repite para todos los dispositivos que generan ruido térmico. Las diferentes fuentes de ruido son incorreladas, por lo que a la salida se suman los valores cuadráticos medios de las contribuciones de ruido de cada transistor, es decir, se suman de forma incoherente. Debido a que el circuito es completamente diferencial, solamente es necesario analizar la mitad del circuito.

M₉

Se realiza el cálculo en pequeña señal de la intensidad de salida cuando tenemos la tensión de ruido v_n en la puerta del transistor M₉. Una vez calculada, elevando al cuadrado y usando la expresión (A.1) obtenemos la corriente de ruido a la salida con un valor cuadrático medio en un ancho de banda Δf que genera dicho transistor. En este caso la intensidad de salida viene dada por

$$i_{out} = g_{m9} v_n \quad (A.3)$$

Por lo que a la salida aparecerá una corriente de ruido con valor cuadrático medio

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f g_{m9} \quad (A.4)$$

Para el resto de los transistores y resistencias se realiza el mismo procedimiento.

M_{3A}

$$i_{out} = g_{m3A}v_n \quad (A.5)$$

Teniendo en cuenta que $g_{m3A}=Kg_{m3B}$, la expresión de la corriente de ruido con valor cuadrático medio es

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f K g_{m3B} \quad (A.6)$$

M_{1A}

$$i_{out} = g_{m1A}v_n \quad (A.7)$$

Teniendo en cuenta que $g_{m1A}=(1-\alpha)g_{m1}$ la expresión de la corriente de ruido con valor cuadrático medio es

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f (1 - \alpha) g_{m1} \quad (A.8)$$

M_{1B}

$$i_{out} = g_{m1B}g_{m4A}Rv_n \quad (A.9)$$

Teniendo en cuenta que $g_{m1B}=\alpha g_{m1}$ y $g_{m4A}=g_{m3A}$ la expresión de la corriente de ruido con valor cuadrático medio es

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f \alpha g_{m1} (Kg_{m3B}R)^2 \quad (A.10)$$

M_{1c}

$$i_{out} = g_{m1A}v_n + g_{m1B}g_{m3A}Rv_n \quad (A.11)$$

$$\begin{aligned} \overline{i_{n,o}^2} \\ = 4k_B T \delta \Delta f \frac{g_{m1}^2 [\alpha (Kg_{m3B}R - 1) + 1]^2}{g_{m1C}} \end{aligned} \quad (A.12)$$

M_{3B}

$$i_{out} = g_{m3B}g_{m3A}Rv_n \quad (A.13)$$

Teniendo en cuenta que $g_{m1B}=\alpha g_{m1}$ y $g_{m4A}=g_{m3A}$ la expresión de la corriente de ruido con valor cuadrático medio es

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f g_{m3B}^3 (KR)^2 \quad (A.14)$$

M_{3D}

La nomenclatura M_{3D} ha sido asignada al transistor que hace la función de la fuente de corriente con valor $\epsilon \alpha I_B$ que controla la corriente de polarización de los transistores M_{3B} y M_{4B}.

$$i_{out} = g_{m3D}g_{m3A}Rv_n \quad (A.15)$$

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f g_{m3D} (Kg_{m3B}R)^2 \quad (A.16)$$

R₁

$$i_{out} = g_{m3A}v_n \quad (A.17)$$

$$\overline{i_{n,o}^2} = 4k_B T \delta \Delta f \frac{R}{\delta} (Kg_{m3B})^2 \quad (A.18)$$

Los transistores M₅, M₇ y M_{3C} son transistores cascos, por lo que su aportación al ruido se considera despreciable. Esto es debido a que la tensión de ruido v_n en la puerta de un transistor cascos se copia a su terminal de fuente actuando como un seguidor de

fuerza, por lo que solo varía la corriente de ruido a la salida debido al efecto de modulación de longitud de canal, el cual es despreciable.

Tras realizar los correspondientes cálculos en pequeña señal, se ha llegado a la conclusión que la aportación de ruido tanto del transistor M_{1D} como del transistor que polariza el FVF es despreciable.

La densidad de ruido a la salida es la suma de todas las contribuciones calculadas multiplicada por dos, debido a que solo se ha analizado la mitad del circuito. Por lo tanto, la densidad de ruido a la salida es

$$\begin{aligned} \overline{\frac{i_{N,out}^2}{\Delta f}} \approx 8k_B\delta T\Delta f \left\{ g_{m9} + Kg_{m3B} + (1 - \alpha)g_{m1} + \alpha g_{m1}(Kg_{m3B}R)^2 \right. \\ \left. + \frac{R}{\gamma}(Kg_{m3B})^2 + g_{m3D}(Kg_{m3B}R)^2 \right. \\ \left. + \frac{g_{m1}^2[\alpha(Kg_{m3B}R - 1) + 1]^2}{g_{m1C}} + g_{m3B}^2(KR)^2 \right\} \end{aligned} \quad (A.19)$$

Anexo B

El código del programa de MATLAB creado para la optimización de la figura de mérito de pequeña señal es el siguiente:

```
%Establecemos los vectores de los diferentes parámetros
alpha = 0.001:0.001:1;
epsilon = 0.001:0.001:1;
gamma = 0.001:0.001:0.1;
R = 1000:1000:1000e3;

Ib = 1e-6;
n = 1.5;
Vt = 0.026;
Cload = 10e-12;
Ca = 10e-15;

%Parametros para la inversion fuerte
ucox_pmos=30e-6;
ucox_nmos=70e-6;
wl=100;

%Inicializamos las variables
FOM_S_MAX=0;
alpha_optimizada=0;
epsilon_optimizada=0;
R_optimizada=0;
PM_optimizado=0;
gamma_opt=0;

for i=alpha
    for j= R
        for z= epsilon
            for g=gamma

                %INVERSION DEBIL
                gm1=Ib*(n*Vt)^-1;
                gm3b=Ib*i*(1-z)*(n*Vt)^-1;

%En caso de querer optimizar con inversión fuerte comentar las expresiones
%de inversión débil y descomentar las expresiones de gm1 y gm3b en
%inversión fuerte

                %INVERSION FUERTE
                %gm1=(2*ucox_pmos*wl*Ib)^0.5;
                %gm3b=(2*ucox_nmos*wl*0.5*Ib*i*(1-z))^0.5;

                K = (2 - i)*(i)^-1*(1-z)^-1;

                FOM_S = (2*pi)^-1*(2+g)^-1*(Ib)^-1*(gm1*(i*K*gm3b*j-i+1));
                PM = 90 - atand(2*gm1*j.*(i*K*gm3b*j-i+1)*(Ca*K)/Cload);

%NOS QUEDAMOS CON EL MAYOR VALOR DE FOMS Y QUE RESPETE EL PM
                if FOM_S > FOM_S_MAX
```

```

        if PM >= 60
            FOM_S_MAX=FOM_S;
            PM_optimizado = PM;
            alpha_optimizada=i;
            R_optimizada=j;
            epsilon_optimizada=z;
            gamma_opt=g;
        end
    end
end
end
end
end
end

disp("Alpha optimizada:"+alpha_optimizada);
disp("Epsilon optimizada:"+epsilon_optimizada);
disp("R optimizada:"+R_optimizada);
disp("gamma_opt:"+gamma_opt);
disp("FoMs:"+FOM_S_MAX);
disp("PM:"+ PM_optimizado);

```

El código del programa creado para la optimización del ruido es el siguiente:

```

%Establecemos los vectores de los diferentes parámetros
alpha = 0.001:0.001:1;
gamma= 1;
R = 1000:1000:1e6;
epsilon= 0; %epsilon no influye en el ruido, pero hay que establecerle un
valor para que no haya errores de compilación

kb=1.380649e-23;
T=295;
gamma_ruido=2/3;
C=4*kb*T*gamma_ruido;
n = 1.5;
Vt = 0.026;
Cload = 10e-12;
Ca = 10e-15;
Ib=1e-6;

%Parametros para la inversion fuerte
ucox_pmos=30e-6;
ucox_nmos=70e-6;
wl=100;

%Inicializamos las variables
densidad_entrada_optimizada=100; %Establecemos esta variable con un valor
alto, ya que la optimización consiste en tener el valor más pequeño posible
de esta variable
alpha_optimizada=0;
epsilon_optimizado=0;
gamma_optimizado=0;
R_optimizado=0;

```

```
PM_optimizado=0;
```

```
for i=alpha
    for j=R
        for z=epsilon
            for g=gamma
```

```
%INVERSION DEBIL
gm9=Ib*(n*Vt)^-1;
gm1=Ib*(n*Vt)^-1;
gm3b=Ib*i*(1-z)*(n*Vt)^-1;
gm1c=Ib*g*(n*Vt)^-1;
gm3d=Ib*i*z*(n*Vt)^-1;
```

```
%En caso de querer optimizar con inversión fuerte comentar las expresiones
%de inversión débil y descomentar las expresiones de gm1 y gm3b en
%inversión fuerte
```

```
%INVERSION FUERTE
```

```
gm9=(2*ucox_pmos*w1*0.5*Ib)^0.5;
gm1=(2*ucox_pmos*w1*Ib)^0.5;
gm3b=(2*ucox_nmos*w1*0.5*Ib*i*(1-z))^0.5;
gm1c=g*(2*ucox_pmos*w1*0.5*Ib)^0.5;
gm3d=(2*ucox_nmos*w1*0.5*Ib*i*z)^0.5;
```

```
K = (2 - i)*(i)^-1*(1-z)^-1;
```

```
%M9
i9=C*gm9;
```

```
%M3A
i3a=C*K*gm3b;
```

```
%M1A
i1a= C*(1-i)*gm1;
```

```
%M1B
i1b=C*i*gm1*(K*gm3b*j)^2;
```

```
%M1C
i1c=C*(gm1)^2*(i*(K*gm3b*j-1)+1)^2*(gm1c)^-1;
```

```
%M3B
i3b=C*gm3b^3*(K*j)^2;
```

```
%R
iR=C*j*(gamma_ruido)^-1*(K*gm3b)^2;
```

```
%M3D
i3d=C*gm3d*(K*gm3b*j)^2;
```

```
%DENSIDAD DE RUIDO A LA SALIDA
densidad_salida= 2*(i9+i3a+i1a+i1b+i1c+i3b+iR+i3d);
```

```

%TRANSCONDUCTANCIA DEL OTA
GM=2*gm1*(i*(K*gm3b*j-1)+1);

%DENSIDAD DE RUIDO LA ENTRADA
densidad_entrada = (densidad_salida)^0.5 * GM^-1;

%CALCULO PM
PM = 90 - atand(2*gm1*j.*(i*K*gm3b*j-i+1)*(Ca*K)/Cload);

%NOS QUEDAMOS CON EL MENOR VALOR DE DENSIDAD DE RUIDO Y QUE RESPETE EL PM
    if densidad_entrada < densidad_entrada_optimizada
        if PM >= 60
            densidad_entrada_optimizada=densidad_entrada;
            alpha_optimizada=i;
            R_optimizado=j;
            epsilon_optimizado=z;
            gamma_optimizado=g;
            PM_optimizado = PM;
        end
    end
end
end
end

end

disp("Alpha optimizada:"+alpha_optimizada);
disp("Epsilon optimizado:"+epsilon_optimizado);
disp("Gamma optimizado:"+gamma_optimizado);
disp("R optimizada:"+R_optimizado);
disp("Densidad optimizada:"+densidad_entrada_optimizada);
disp("PM:"+ PM_optimizado);

```

Bibliografía

- [1] E. Vittoz and J. Fellrath, "CMOS analog integrated circuits based on weak inversion operations," in *IEEE Journal of Solid-State Circuits*, vol. 12, no. 3, pp. 224-231, June 1977.
- [2] J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal and F. M. Chavero, "Very low-voltage analog signal processing based on quasi-floating gate transistors," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 3, pp. 434-442, March 2004.
- [3] R. G. Carvajal et al., "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 7, pp. 1276- 1291, July 2005.
- [4] Libin Yao, M. S. J. Steyaert and W. Sansen, "A 1-V 140- μ W 88-dB audio sigma-delta modulator in 90-nm CMOS," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 11, pp. 1809-1818, Nov. 2004
- [5] J. Ramirez-Angulo and M. Holmes, "Simple technique using local CMFB to enhance slew rate and bandwidth of one-stage CMOS op-amps," in *Electronics Letters*, vol. 38, no. 23, pp. 1409-1411, 7 Nov. 2002
- [6] J. A. Galan, A. J. Lopez-Martin, R. G. Carvajal, J. Ramirez-Angulo, and C. Rubia-Marcos, "Super class-AB OTAs with adaptive biasing and dynamic output current scaling," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 3, pp. 449–457, Mar. 2007.
- [7] Sutula, M. Dei, L. Terés, and F. Serra-Graells, "Variable-mirror amplifier: A new family of processindependent class-AB single-stage OTAs for low-power SC circuits," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 63, no. 8, pp. 1101–1110, Aug. 2016.
- [8] J. Yan, Y. Wang, and L. Dong, "A nonlinear current mirror method for improving the slew rate of subthreshold current recycling OTAs," *Int. J. Electron.*, vol. 109, no. 8, pp. 1374–1391, Aug. 2022.
- [9] J. Ramirez-Angulo, R. G. Carvajal, J. A. Galan and A. Lopez-Martin, "A free but efficient low-voltage class-AB two-stage operational amplifier," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 7, pp. 568-571, July 2006.
- [10] R. S. Assaad and J. Silva-Martinez, "The Recycling Folded Cascode: A general enhancement of the folded cascode amplifier," *IEEE J. Solid State Cir.*, vol. 44, no. 9, pp. 2535-2542, Sept. 2009.
- [11] A. D. Sundararajan and S. M. R. Hasan, "Quadruply split cross-driven doubly recycled gm-doubling recycled folded cascode for microsensor instrumentation amplifiers," *IEEE Trans. Circuits Syst. II*, vol. 53, no. 6, pp. 543-547, Jun. 2016.

- [12] E. Cabrera-Bernal, S. Pennisi, A.D. Grasso, A. Torralba and R.G. Carvajal, "0.7V three-stage class-AB CMOS Operational Transconductance Amplifier", *IEEE Trans. Cir. Syst. I*, vol. 63, no. 11, pp. 1807-1815, Nov. 2016
- [13] S. Pourashraf, J. Ramirez-Angulo, A. Lopez-Martin and R. G. Carvajal, "A super class-AB OTA with high output current and no open loop gain degradation", *IEEE 60th Int. Midw. Symp. Circ. Syst. (MWSCAS)*, Boston (USA), 6-9 Aug. 2017.
- [14] M. H. Naderi, S. Prakash and J. Silva-Martinez, "Operational transconductance amplifier with Class-B slew-rate boosting for fast highperformance switched-capacitor circuits," *IEEE Trans. Cir. Syst. I*, vol. 65, no. 11, pp. 3769-3779, Nov. 2018.
- [15] F. Centurelli, P. Monsurrò, G. Parisi, P. Tommasino and A. Trifiletti, "A topology of fully differential Class-AB symmetrical OTA with improved CMRR," *IEEE Trans. Circ. Syst. II*, vol. 65, no. 11, pp. 1504-1508, 2018.
- [16] M. R. Valero Bernal, S. Celma, N. Medrano and B. Calvo, "An ultralowpower low-voltage class-AB fully differential OpAmp for long-life autonomous portable equipment," *IEEE Trans. Cir. Syst. II*, vol. 59, no. 10, pp. 643-647, Oct. 2012.