



UNIVERSIDAD PÚBLICA DE NAVARRA

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE
TELECOMUNICACION

TRABAJO FIN DE MASTER

Diseño de circuitos integrados analógicos usando la
terminal de body en transistores MOS

Departamento de Ingeniería Eléctrica y Electrónica

Alumno: Gonzalo Thomas Erviti

Director: Carlos Aristóteles de La Cruz Blas

Master en Comunicaciones

ÍNDICE

1. OBJETIVO	4
2. INTRODUCCIÓN	5
3. TRANSISTOR MOS	7
4. ESTADO DEL ARTE	12
4.1 <i>CIRCUITOS DE POLARIZACIÓN</i>	13
4.2 <i>MÍNIMA ALIMENTACIÓN EN UNA ETAPA DIFERENCIAL</i>	15
4.3 <i>BODY DRIVEN GAIN BOOSTING</i>	17
4.4 <i>CONTROL DE LA CORRIENTE EN REPOSO DE UNA ETAPA DE SALIDA DE CLASE AB</i>	19
4.5 <i>MEJORA DE LA LINEALIDAD EN UN TRANSCONDUCTOR</i>	20
5. TRANSCONDUCTORES (usando técnicas bulk-driven)	23
5.1 <i>MODELO ALTERNATIVO DE UN TRANSISTOR MOS (ALL REGION MODEL)</i> ...	23
5.2 <i>ANÁLISIS DE DISTORSIÓN</i>	25
5.2.1 <i>DISTORSIÓN EN TRANSCONDUCTORES</i>	27
5.3 <i>ANÁLISIS DE LOS TRANSCONDUCTORES</i>	29
5.3.1 <i>PAR DIFERENCIAL</i>	30
5.3.2 <i>PAR DIFERENCIAL CON DEGENERACIÓN RESISTIVA</i>	33
5.3.3 <i>PAR DIFERENCIAL CON DEGENERACIÓN RESISTIVA Y USO DE BULK</i> ...	35
5.3.4 <i>CASCADE OTA</i>	38
5.3.5 <i>CASCADE OTA CON DEGENERACION DE FUENTE Y USO DE BULK</i>	43
5.4 <i>MULTIPLICADOR</i>	47
6. CONCLUSIONES	52
7. LÍNEAS FUTURAS	53
8. REFERENCIAS	54
9. ANEXO 1 CÓDIGO MATLAB	58

1. OBJETIVO

El objetivo del presente TFM es el diseño analógico de circuitos integrados CMOS usando la terminal de body en los transistores MOS. Así, se realizará una revisión de las técnicas modernas de diseño, caracterización y análisis, así como la posterior aplicación a diversos sistemas usando estos dispositivos como elemento. Se propondrán nuevas celdas usando esta técnica, las cuales son validadas por resultados de simulación, análisis teóricos y resultados experimentales.

2. INTRODUCCIÓN

En la actualidad el diseño analógico de circuitos integrados CMOS está inmerso en una reducción progresiva de sus dispositivos para poder fabricar sistemas más completos en la menor área posible. Esta tendencia trae como consecuencia que los campos eléctricos en el interior de los dispositivos aumente considerablemente, por lo que para que sigan funcionando correctamente la fuente de alimentación debe ser reducida. En este escenario las técnicas de diseño tradicional tienen que ser revisitadas o adaptadas para desarrollar circuitos y sistemas fiables de alto rendimiento. Varias soluciones han sido propuestas en la literatura y la industria para hacer frente a este reto, tales como, floating-gates, quasifloating gates, bulk-driven, entre otras [1-3]. En este TFM centraremos la atención a la técnica basada en usar el body de los transistores MOS (bulk-driven) como una terminal activa por ser uno de las metodologías más prometedoras en el diseño de circuitos integrados.

En el diseño analógico de circuitos integrados CMOS el terminal de body de un transistor MOS ha sido conectado tradicionalmente al terminal de fuente, debido a que de esta manera se evitan cambios en el voltaje de umbral del transistor. El terminal de bulk en los transistores MOS había sido considerado como una fuente de efectos de segundo orden indeseados, sin embargo los diseñadores digitales han conseguido explotar satisfactoriamente este terminal, además de representar una gran oportunidad para el desarrollo de circuitos analógicos con fuentes de alimentación reducidas. En estas técnicas, el bulk es el terminal activo y la puerta es usada como un elemento complementario, dando lugar a una gran variedad y flexibilidad en varios campos del diseño analógico. Se han diseñado y probado múltiples prototipos usando transistores bulk-driven, que demuestran que estas técnicas son prometedoras para la mejora del diseño de circuitos integrados analógicos en escalas nanométricas.

La presente memoria del trabajo de fin de master consta de varias secciones. La primera de ellas es la sección Transistor MOS, en esta sección se abordarán las características más importantes de este dispositivo y se explicará su principal funcionamiento, para dotar al lector de los conceptos básicos que más tarde serán puestos en práctica. Se abordarán temas como las diferentes regiones de funcionamiento de un transistor, ecuaciones en gran señal, su modelado en pequeña señal, así como definiciones de los parámetros más relevantes de este dispositivo.

Posteriormente se realiza una revisión exhaustiva del estado del arte centrada en la técnica que se basa en el uso del terminal de body de forma activa. Los conceptos adquiridos en esta sección serán de gran importancia para la consecución del posterior trabajo. Se mostrarán diferentes circuitos cada uno de ellos con diferente aplicación, y se analizarán para comprender el funcionamiento de cada uno de estos dispositivos.

Una vez revisado el estado del arte se pasará a la sección de análisis de transconductores, la cual consta de varias partes. En la primera de ellas se analizará un modelo que describe la operación de un transistor MOS, diferente al usado comúnmente, ya que este aportará ventajas en el estudio posterior de varios dispositivos, debido a la simetría con la que este modelo trata al transistor MOS. En la siguiente sección, cuyo objetivo es análisis y caracterización de un transconductor propuesto, se realizará el análisis de varios transconductores hasta llegar al análisis del transconductor propuesto. Este análisis de distorsión se realizará de una manera innovadora, y que nunca ha sido realizada con anterioridad. Los resultados obtenidos son igual de fidedignos pero el cálculo matemático se ve reducido, lo cual favorece el análisis y caracterización para las topologías más complejas. La caracterización teórica de los dispositivos se comparará con los resultados obtenidos mediante simulación, y con los resultados medidos experimentalmente.

Acabado el análisis y caracterización de estos dispositivos se pasará al análisis de un multiplicador/divisor que de igual manera utilizará el terminal de bulk de forma activa.

La memoria termina con las secciones de Conclusiones y Líneas Futuras generales del TFM donde se abordarán los aspectos más importantes tratados a lo largo de la memoria.

3. TRANSISTOR MOS

En esta sección se va a explicar el funcionamiento básico de un transistor MOS. Se describirán las diferentes regiones de operación de este, saturación y triodo. Las ecuaciones en gran señal serán expuestas, así como el análisis en pequeña señal y sus parámetros más importantes. Todos los conceptos abordados en esta sección serán de gran importancia para el desarrollo de la memoria.

La tecnología más usada a la hora de diseñar y fabricar circuitos integrados es CMOS, esta tecnología hace uso de transistores MOS (metal-oxide semiconductor), se utilizan dos tipos de transistores complementarios, tipo “n” y tipo “p”, los tipo “n” conducen corriente mediante electrones mientras que los tipo p conducen corriente usando huecos. En la figura 3.1 se muestra una sección transversal de un transistor MOS tipo “n”. Como puede observarse consta de cuatro puertos, drenaje (*Drain*), puerta (*Gate*), fuente (*Source*) y *bulk* o *body*. Se emplean diferentes materiales aparte de semiconductores, como son el Aluminio para establecer contacto con el material semiconductor de la fuente y drenaje, dióxido de Silicio como material aislante, y polisilicio altamente dopada, en la puerta, lo que permite que la fabricación del transistor sea más exacta que si se usase metal en la puerta.

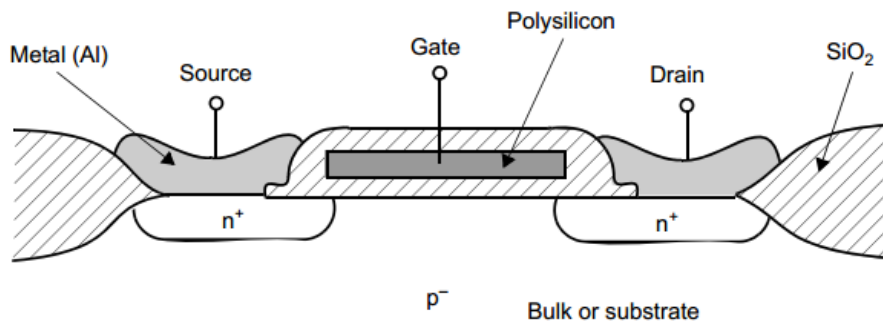


Figura 3.1. Sección transversal de un transistor MOS tipo n.

En la figura 3.2 se muestran los símbolos más utilizados para los transistores utilizados en la tecnología CMOS.

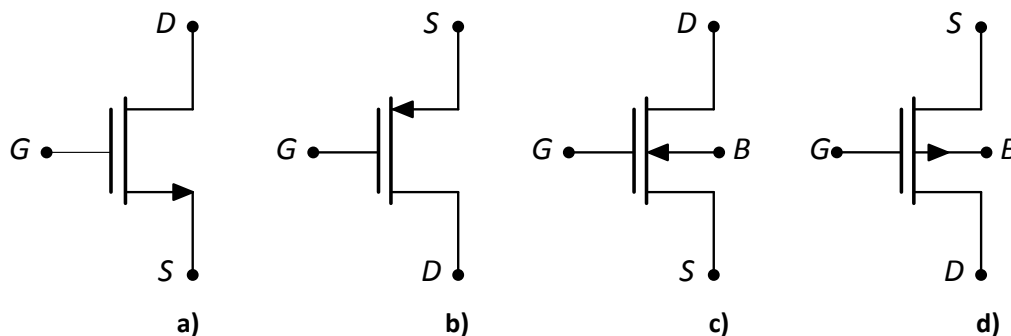


Figura 3.2. Símbolos de un transistores MOS, a) y c) corresponden a un transistor MOS tipo n, y b) y d) a un transistor MOS tipo p.

Para los casos a) y b), los transistores MOS es representado mediante únicamente tres terminales, puerta, drenaje y fuente, ya que se asume que el terminal de bulk está conectado a la fuente, por lo que puede obviarse. En los casos c) y d) su representación se realizada mediante cuatro terminales, esta vez incluyendo el terminal de bulk. Cabe resaltar dos aspectos importantes de

estas representaciones, el primero de esos es que la puerta se representa con una separación respecto a los demás terminales, lo que significa que están “aislados” prácticamente, lo que se traduce en que no circula corriente a través del terminal de puerta, por lo que su impedancia es muy alta. El segundo aspecto es la dirección de la corriente que atraviesa el transistor, que viene representada mediante una flecha, que en los casos *a)* y *b)* está situada en el terminal de fuente, mientras que en los casos *c)* y *d)* aparece en el terminal de bulk.

A continuación se procede a explicar el funcionamiento de estos dispositivos, en concreto para un transistor tipo “*n*”, cabe notar que el funcionamiento para un transistor tipo “*p*” es similar, pero con el cambio apropiado en el signo de los voltajes aplicados. En la figura 3.3 se muestra una sección transversal de un transistor tipo “*n*”, al cual se le aplica un voltaje positivo en la puerta, mientras que todos los demás terminales están conectados a tierra, esto provoca que las cargas positivas debidas a la tensión positiva en la puerta atraigan cargas negativas del drenaje y la fuente, lo cual da lugar a lo que se llama el canal, formado en este caso por electrones. Si se sigue aumentando el voltaje aplicado en la puerta, llega un punto en el que se igualan los electrones en el canal formado justo debajo de la compuerta a los huecos existentes en el substrato *p*, a este voltaje se le llama Voltaje Umbral (V_T).

Como aproximación se postula que no fluye la corriente entre el drenaje y la fuente cuando en la puerta se aplica un voltaje menor que el voltaje de umbral, aunque realmente existe una corriente de fuga.

Posteriormente se aplica un voltaje positivo al drenaje, lo que hace que la densidad de carga no sea constante a lo largo del canal, sino que esta disminuye conforme se acerca al terminal de drenaje. En este caso la corriente que atraviesa el canal depende claramente de la diferencia de voltaje entre el drenaje y la fuente, V_{DS} . Si se sigue aumentando el voltaje aplicado al terminal de drenaje hasta que $V_{DS}=V_{GS}-V_T$ el canal está “*pinched-off*”, y se elimina la dependencia de la diferencia del voltaje entre drenaje y fuente, y ahora la corriente depende principalmente en la diferencia del voltaje entre la puerta y la fuente.

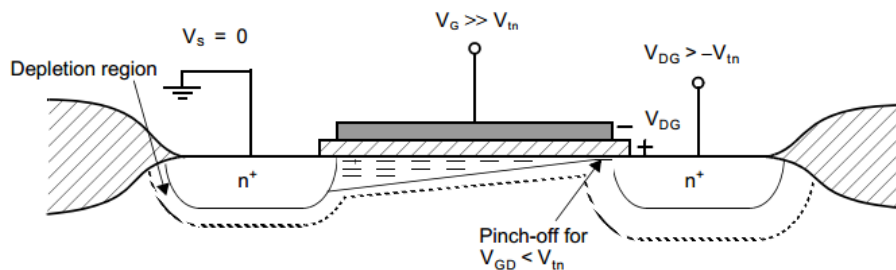


Figura 3.3. Sección transversal con $V_{DS} > V_{GS} - V_T$.

Con esto se pueden diferenciar dos modos de operación de un transistor MOS, la región *triado* y la región de *saturación* (o *Active Region*), en la gráfica 3.4 se muestra la dependencia de la corriente frente al voltaje V_{DS} en los regiones de operación, como puede observarse en la región de saturación no existe dependencia de V_{DS} , en una primera aproximación.

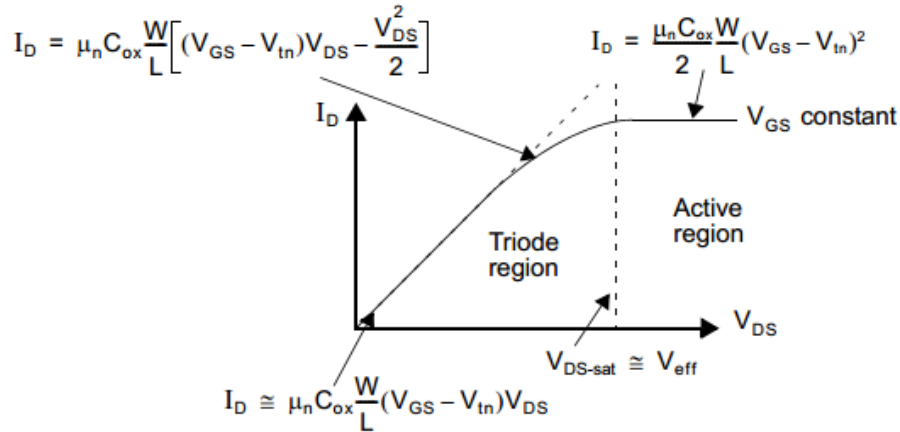


Figura 3.4. Corriente frente a voltaje V_{DS} , y las dos regiones de operación de un transistor.

Las ecuaciones que definen la corriente para estas dos regiones son:

Triodo:

$$I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (3.1)$$

Saturación:

$$I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 \quad (3.2)$$

Siendo μ_n la movilidad de los electrones y C_{ox} la capacitancia de la puerta

Para ambas regiones de operación el voltaje de umbral se define como:

$$V_T = V_{T0} + \gamma \left(\sqrt{2\phi_F - v_{BS}} - \sqrt{2\phi_F} \right) \quad (3.3)$$

Donde V_{T0} es el “zero-bias threshold”, ϕ_F es el potencial de Fermi y γ el parámetro correspondiente al “body effect”, todos ellos son dependientes de la tecnología.

Destacar que el voltaje entre el drenaje y la fuente, V_{DS} en la región de triodo es $V_{DS} < V_{GS} - V_T$ y para la región de saturación $V_{DS} \geq V_{GS} - V_T$.

Estas ecuaciones corresponden a la llamada “Ley Cuadrática” que es el modelo más extendido para describir la operación de un transistor MOS. Al uso de estas ecuaciones para el cálculo de las corrientes que atraviesan un transistor se le conoce como análisis en gran señal, y son capaces de describir con gran precisión la operación de un transistor. Sin embargo para el cálculo de parámetros tales como la ganancia, impedancia de salida etc. se define el análisis en pequeña señal. El análisis en pequeña señal es usado para describir el comportamiento de un dispositivo no lineal mediante ecuaciones lineales, se realiza linealizando alrededor del punto de polarización en DC del transistor. Esta aproximación es válida para un determinado rango de valores cercanos a ese punto por lo que los circuitos con transistores se pueden representar por sistemas lineales. Es de gran importancia la definición de las transconductancias “g”, en este análisis, la cual se define como la variación de la corriente que atraviesa el transistor, respecto a los voltajes involucrados en la definición de esta corriente. En el caso de un transistor operando en la región de saturación, únicamente existirían dos transconductancias, la de la puerta g_m , y la del bulk g_b , y se definen como:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (3.4)$$

$$g_{m_b} = \frac{\partial I_D}{\partial V_{SB}} \quad (3.5)$$

Una vez definida la tranconductancia, se muestra en la figura 3.5 el circuito equivalente en pequeña señal de un transistor MOS operando en saturación.

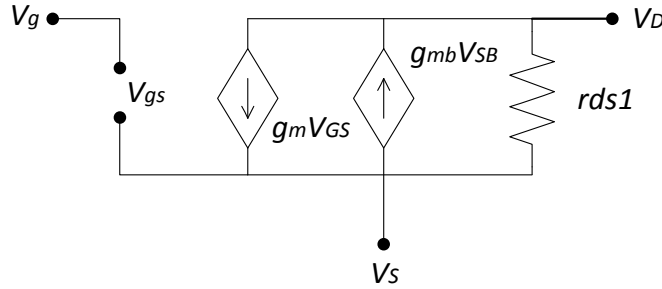


Figura 3.5. Modelo equivalente de un transistor en saturación en pequeña señal.

Los parámetros más importantes son las fuentes de corriente controladas por voltaje. Destacar que la transconductancia g_{mb} , se tiene en cuenta únicamente cuando el terminal de body y la fuente no están conectados, lo que implica una diferencia de potencial entre estos dos terminales. Cuando $V_S = V_B$, su diferencia de potencial es cero que al ser multiplicado por g_{mb} , da un aporte nulo de corriente.

En gran señal al conectar el terminal de body con la fuente, la diferencia de potencial entre estos es cero, por lo que $V_T = V_{TO}$, sin embargo al existir una diferencia de potencial entre estos dos terminales significa que $V_T \neq V_{TO}$. Tiene limitaciones ya que nunca puede ser mayor la diferencia de potencial entre los dos terminales que dos veces el potencial de Fermi. En la ecuación 3.3 se aprecia como si el voltaje V_{SB} es mayor que dos veces el potencial de Fermi, quedaría como resultado la raíz de un número negativo, lo que significa que el diodo formado por la unión n-p de la fuente y el body es polarizado en inversa hasta llegar al punto de ruptura, lo que rompería el transistor. De igual manera si el voltaje V_{SB} es negativo, y se supera la tensión umbral correspondiente al diodo formado por la fuente y el terminal de body se polarizaría en directa lo que daría lugar a una gran cantidad de corriente circulando entre esta unión lo que daría lugar a la ruptura del dispositivo igualmente.

Una de las técnicas más usada, en el bulk-driven, consiste en aplicar un voltaje en dc a la puerta para activar el transistor y utilizar el terminal de bulk para introducir la señal. Como se comentó anteriormente al utilizar el terminal de bulk de forma activa, se crea una diferencia de potencial entre este terminal y la fuente, lo que supone que en el análisis en pequeña señal, exista otra fuente de corriente controlada por voltaje, siendo este voltaje la diferencia de tensión entre el terminal de body y la fuente, V_{SB} . La transconductancia correspondiente tiene un valor aproximado de hasta un orden de magnitud menor que la transconductancia de la puerta. En teoría la transconductancia del transistor bulk driven, g_{mb} , puede llegar a ser mayor que la transconductancia de la puerta:

$$g_{mb} = \frac{\partial I_D}{\partial V_{SB}} = \frac{\gamma g_m}{2\sqrt{2\phi_F - V_{BS}}} \quad (3.6)$$

La transconductancia de un transistor bulk-driven, puede exceder g_m si:

$$V_{BS} \geq 2\phi_F - 0.25\gamma^2 \approx 0.5 V$$

De darse esta situación se asume que existirá una corriente significativa entre la unión $p-n$ del sustrato y la fuente, por lo que debe tenerse cuidado para no quemar el dispositivo controlando el rango de voltaje de entrada que tendrá que ser muy reducido.

Otra desventaja es la capacitancia de entrada en esta topología [4]. Considerando el caso más típico de que la señal de entrada se aplique al terminal de puerta, el ancho de banda del dispositivo viene descrito por la frecuencia de transición f_T :

$$f_{T,gate-driven} \approx \frac{g_m}{2\pi C_{gs}} \quad (3.7)$$

Donde C_{gs} es la capacitancia de puerta-fuente. Para frecuencias mayores que f_T , la respuesta en frecuencia del transistor deja de ser plana, y pasa a sufrir una caída de varios dB por octava. Para el caso de un MOSFET, bulk-driven, la frecuencia de transición viene descrita por:

$$f_{T,bulk-driven-driven} \approx \frac{g_{mb}}{2\pi(C_{bs}+C_{bsub})} \quad (3.8)$$

Donde C_{bs} es la capacitancia entre-bulk-fuente, y C_{bsub} , es la capacitancia entre el bulk y el sustrato. Sabiendo que la capacitancia C_{bs} puede ser comparable a C_{gs} , y que C_{bsub} depende de factores tales como densidad de dopado, área del sustrato, área del terminal de bulk etc. se puede llegar a una aproximación que relaciona ambas frecuencia de transición:

$$f_{T,bulk-driven} \approx \frac{\eta}{3.8} f_{T,gate-driven} \quad (3.9)$$

Siendo η , el cociente entre g_{mb} y g_m , con un rango de valores típico entre 0.2 y 0.4. El ancho de banda puede reducirse en un orden de magnitud, sin embargo tiene una dependencia clara de la tecnología que se use. Con tecnologías futuras que permitan un menor escalado de los circuitos, la dependencia del C_{bsub} con el área disminuirá considerablemente, por lo que el ancho de banda no ha de ser un inconveniente a la hora de usar esta técnica.

Así en este TFM, se pretende dar el estado de arte de la técnica como también intentar dar alguna nueva propuesta enfatizando tanto sus puntos fuertes como los débiles.

4. ESTADO DEL ARTE

En este apartado se revisaran las aplicaciones más reseñables que ponen en práctica el uso del terminal de bulk de forma activa. El objetivo de esta revisión es el análisis exhaustivo de estas aplicaciones.

Unos de los dispositivos más usados en el diseño analógico y discreto es el amplificador operacional, el cual tiene como características ideales, una impedancia infinita de entrada, ganancia infinita, impedancia nula de salida y ancho de banda infinito, pese a que esto es imposible de conseguir de forma práctica sí que existen amplificadores operacionales, con características apropiadas. En la figura 4.1 se muestra el diagrama de bloques correspondiente al diseño típico de un amplificador operacional de dos etapas con compensación en frecuencia.

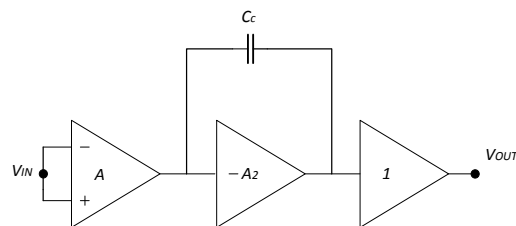


Figura 4.1 Diagrama de bloques opamp.

Las cuatro etapas mostradas en la figura 4.1 son, la etapa de entrada, etapa de ganancia, buffer de salida y la etapa que genera la corriente de bias. A continuación se muestra esta misma topología de un amplificador operacional pero a nivel de transistor, figura 4.2.

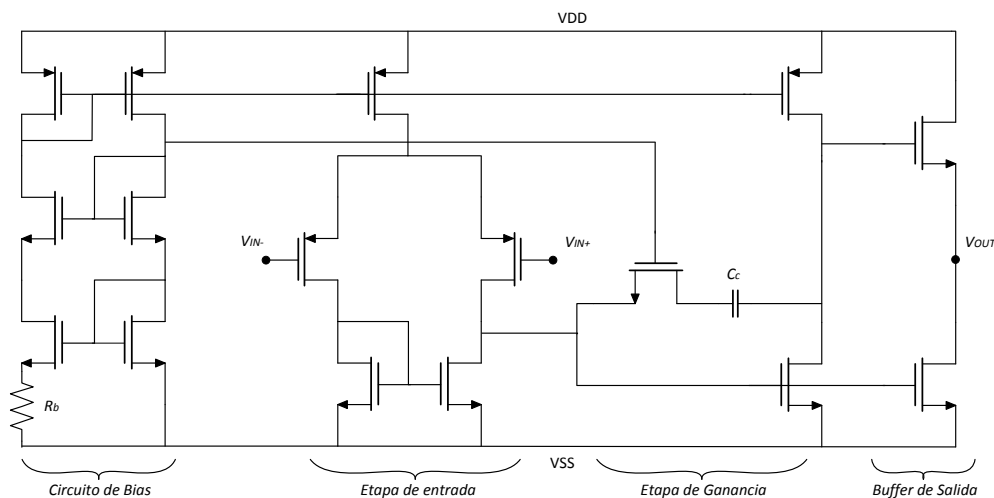


Figura 4.2. Etapas de un amplificador operacional.

En la figura 4.2 se muestra con más detalle el amplificador operacional, y se muestran sus diferentes etapas. La primera de ellas, el circuito de bias, compuesto por espejos de corriente, los cuales se encargan de generar la corriente de polarización necesaria para cada etapa. La etapa de entrada diferencial con un espejo de corriente como carga activa, una tercera etapa con un amplificador de fuente común y la compensación en frecuencia mediante el condensador C_c , y por ultimo un seguidor para conseguir una impedancia a la salida baja. Estos elementos son utilizados habitualmente en lazo cerrado, de hecho en el diseño de amplificadores operacionales, se tienen en cuenta este hecho para conseguir la estabilidad necesaria.

Otro elemento muy arraigado en el diseño de circuitos integrados es el OTA (Amplificador Operacional de Transconductancia), los OTAs ideales se consideran como una fuente de corriente controlada por voltaje, con ancho de banda, impedancia de entrada y salida infinitos. Volviendo a la figura 4.1, se observa como la etapa de entrada de un amplificador operacional puede ser vista como un OTA, ya que es una fuente de corriente controlada por voltaje. Esta corriente de salida se traslada a la etapa de ganancia y posteriormente a la etapa de salida, por lo que se puede ver la idea básica de un amplificador operacional como un OTA más una etapa de salida, para que la impedancia de salida sea baja, y se realice la conversión a voltaje.

Los OTAs pueden ser usados en lazo cerrado o lazo abierto, dependiendo de la aplicación que se vaya a llevar a cabo. En la figura 4.3 se muestra el símbolo de un OTA, y su modelo equivalente respectivamente.

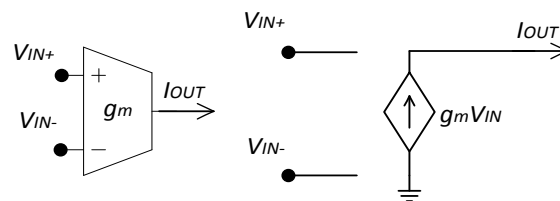


Figura 4.3. Símbolos OTA.

La principal limitación de los OTAs es su rango dinámico, ya que si la señal de entrada es muy grande se produce mucha distorsión. Existe una investigación abierta al respecto, para mejorar el rango dinámico de entrada de estos dispositivos [5-21]. El OTA más sencillo es el utilizado para la etapa de entrada del amplificador operacional en la figura 4.1, su rango dinámico de entrada es muy bajo ya que para señales de entrada por encima de 0.5 V, la distorsión armónica empieza a ser notable. Existen varios OTAs, así como técnicas para mejorar este rango dinámico, y es aquí donde el uso del terminal de bulk de forma activa puede ser una solución a estos problemas.

A continuación se exponen varios circuitos donde se ha utilizado el terminal de bulk de forma activa [22], se empezará por etapas del amplificador operacional siguiendo el orden de polarización, par diferencial, etapas de salida y compensación. Posteriormente se tratará con los OTAs y las diferentes formas de obtener mejor linealidad. Por último un nuevo OTA será propuesto y se mostrará como mediante el uso del terminal de bulk se puede mejorar las prestaciones de este.

4.1 CIRCUITOS DE POLARIZACIÓN

Una de las etapas presentes en todo tipo de circuito analógico es la de bias, formada por espejos de corriente, que son los encargados de proporcionar la corriente necesaria a cada etapa del circuito. Existen numerosas topologías de espejos de corriente, sin embargo de nuevo se puede utilizar el bulk para mejorar las prestaciones de estos espejos de corriente. Uno de los espejos de corriente más usados en la actualidad es el HSC-CM (High-Swing Cascode Current Mirror), su topología es mostrada en la figura 4.4. El BE-HSC (Body Enhanced High Swing Cascode) se muestra en la figura 4.5, su topología es idéntica al HSC pero se introduce un amplificador diferencial, que sensa los voltajes de drenaje de M_1 y M_2 y ajusta los voltajes en el terminal de body en los transistores M_3 - M_4 . La estructura del amplificador diferencial se muestra en la figura 4.6. Las características son similares entre el HSC y BE-HSC salvo que aumenta la resistencia de salida:

$$R_{O-HSC} = \frac{g_{d4} + g_{d2} + g_{m4}}{g_{d2}g_{d4}} \quad (4.1)$$

$$R_{O-BEHSC} = \frac{g_{m4}(2AX + X + 1)}{g_{d2}g_{d4}} \quad (4.2)$$

$$R_{O-RBD} = A \frac{g_{m3}}{g_{d3}g_{d2} \left(1 + \frac{g_{m4}g_{d6}}{g_{d2}(g_{m4} + g_{d6})} \right)} \quad (4.3)$$

Donde A y X son :

$$A = \frac{g_{m5}}{g_{d6} + g_{d8}} \quad (4.4)$$

$$X = \frac{g_{mb4}}{g_{m4}} \quad (4.5)$$

Evaluando las expresiones (4.1-3) con valores típicos de transconductancias, se obtiene una resistencia de salida mucho mayor para el espejo de corriente BE-HSC.

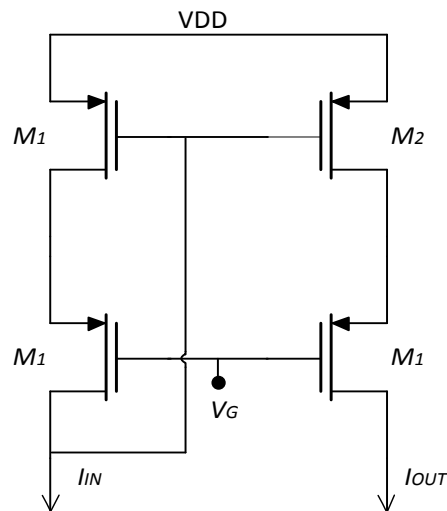


Figura 4.4. HSC-CM (High-Swing Cascode Current Mirror)

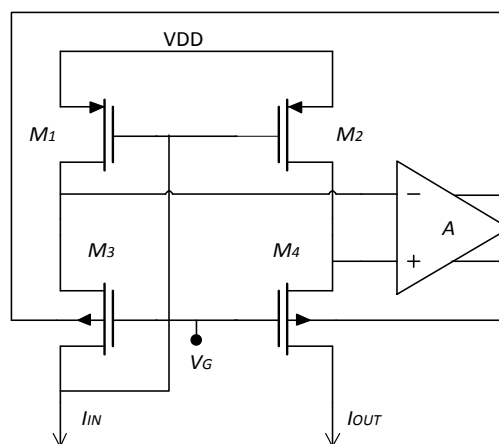


Figura 4.5. BEHSC-CM (Body Enhanced High-Swing Cascode Current Mirror)

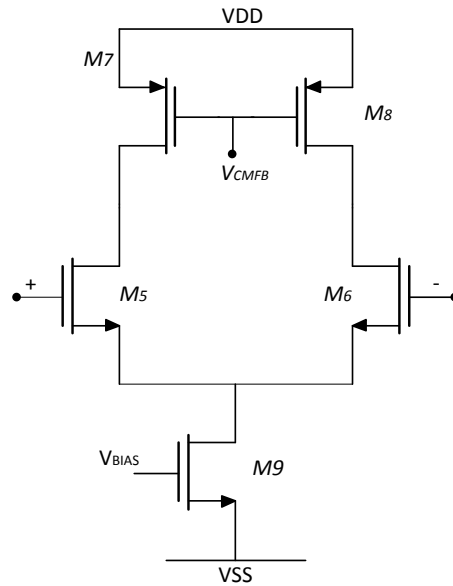


Figura 4.6. Amplificador diferencial

Otra topología usando el terminal de body de forma activa para implementar espejos de corriente es RBD (Regulated Body-Driven), se muestra en la figura 4.7.

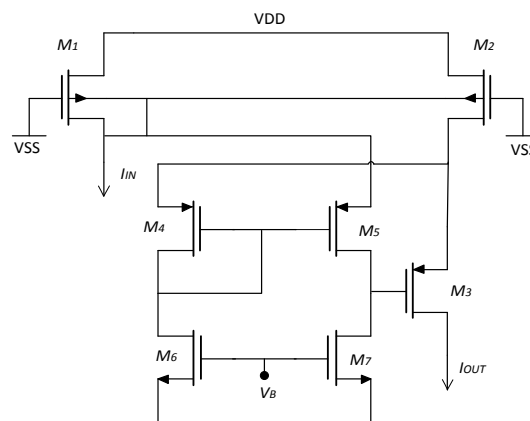


Figura 4.7. RBD (Regulated Body-Driven)

4.2 MÍNIMA ALIMENTACIÓN EN UNA ETAPA DIFERENCIAL

El par diferencial mostrado en la en la figura 4.8 puede ser usado como OTA y como entrada de un amplificador operacional. Es un par diferencial al cual se le ha quitado la corriente de bias, y se han añadido las resistencias R_{CM} que proporcionan control sobre el voltaje de modo común a la salida. Cabe notar que los transistores M_{2a-b} esta conectados como diodo para entrada de modo común.

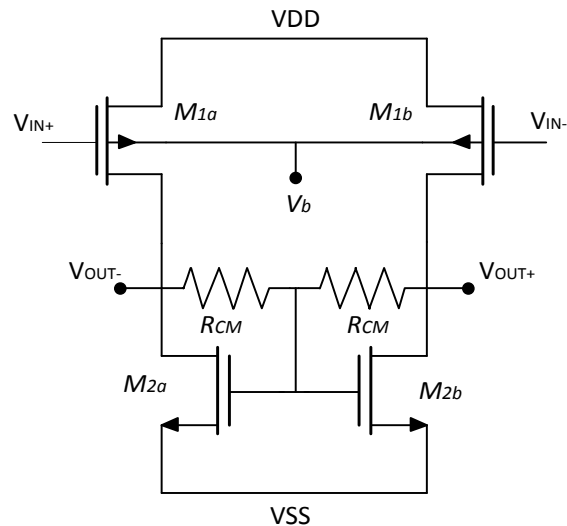


Figura 4.8. Par diferencial con control de modo común.

Asumiendo en primer lugar que el voltaje del terminal de body en los transistores M_{1a} y M_{1b} es constante se obtienen las siguientes ganancias para modo común y diferencial.

$$A_{dm} = \frac{V_{out}}{V_{in,dm}} \approx -\frac{1}{2} g_{m1} R_{CM} \quad (4.6)$$

$$A_{cm} = \frac{V_{out}}{V_{in,cm}} = -\frac{g_{m1}}{g_{m2}} \quad (4.7)$$

Debido a la inexistencia de corriente de bias en la cola, se reduce la alimentación en un voltaje de saturación. A costa de esto la corriente en reposo depende de la temperatura, voltaje de alimentación, y variaciones en el modo común de entrada. Esto se traduce en que si esta etapa fuera a ser usada como etapa de entrada en un amplificador operacional, cuyas principales características son la ganancia, ancho de banda... estarían mal controladas.

Para solucionar estos problemas se utiliza la terminal de body en los transistores M_{1a-b} . El voltaje V_b de estos será controlado mediante el circuito mostrado en la figura 4.9.

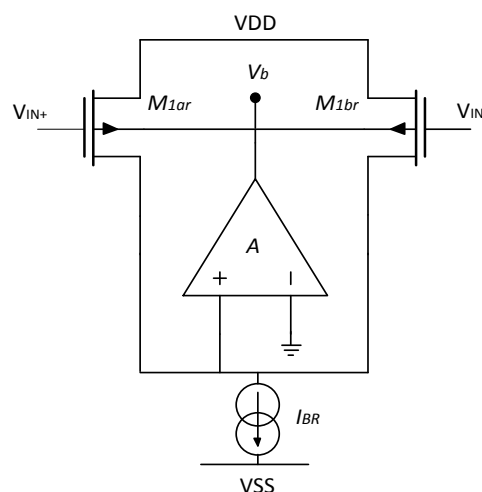


Figura 4.9. Circuito de control de V_b .

M_{1ar} - M_{1br} son réplicas de los transistores M_{1a-b} , como en el caso anterior el amplificador A tiene conectada su entrada negativa a tierra analógica, lo que fuerza a los drenajes de ambos

transistores a ese mismo voltaje modificando el voltaje V_b , además la corriente que atraviesa cada transistor es $I_{BR}/2$.

M_{1a-b} y sus réplicas tiene el mismo V_{GS} y V_{BS} por lo que la corriente en el par diferencial original estará forzada a ser un múltiplo de I_{BR} .

Con este circuito complementario la ganancia de modo diferencial es aproximadamente igual a (4.6), sin embargo la ganancia de modo común ahora viene dada por:

$$\begin{aligned}
 A_{cm} &= \frac{V_{out}}{V_{in,cm}} = -\frac{g_{m1}(1 + 2Ag_{mb1}r_{BR}) - 2Ag_{m1}g_{mb1}r_{BR}}{g_{m2}(1 + 2Ag_{mb1}r_{BR})} \\
 &= \frac{g_{m1}}{(1 + 2Ag_{mb1}r_{BR})g_{m2}} + \frac{g_{m1}g_{mb1}r_{BR} - g_{m1}g_{mb1}}{g_{mb1}g_{m2}} \quad (4.8)
 \end{aligned}$$

Siendo A , la ganancia del amplificador y r_{BR} la resistencia de salida del generador de corriente. Suponiendo que las dimensiones de los transistores M_{1a-b} y M_{1a-br} son las mismas, $g_{m1}g_{mb1} = g_{m1}g_{mb1r}$, por lo que la ganancia de modo común se reduce en un factor de $2Ag_{mb1}r_{BR}$ respecto a (4.7).

Las técnicas que implican el uso del terminal de bulk de forma activa no se reducen únicamente a su aplicación en OTAs o etapas de entrada de amplificadores, sino que puede aplicarse a varias posibles etapas, como una etapa de ganancia. A continuación se explica cómo puede aprovecharse el terminal de bulk para solventar alguno de los problemas que las etapas de ganancia implican.

4.3 BODY DRIVEN GAIN BOOSTING

La ganancia de voltaje intrínseca de un transistor MOS en tecnologías casi nanométricas se ve desafortunadamente reducida. Al aumentar la dimensión del canal L para así aumentar la resistencia de salida del propio transistor tiene como consecuencia una reducción en el ancho de banda de este. Un posible remedio es usar amplificador con varias etapas en cascada, mediante etapas de ganancia de bajo voltaje. El requerimiento de mínima alimentación puede mantenerse, y la ganancia aumenta, sin embargo un amplificador con más de dos etapas de ganancias se vuelve inestable por lo que necesita corregirse su ancho de banda.

Una técnica para aumentar la ganancia y no tener que reducir el ancho de banda considerablemente es poner los transistores en cascodo, sin embargo esto conlleva un aumento en la alimentación, por lo que varias variantes de estas técnicas han sido propuestas.

A continuación se presenta el amplificador “gain boosted” en la figura 4.10. El transistor M_1 es un amplificador de fuente común, y M_2 el transistor en cascodo siendo M_3 la etapa auxiliar de “boosting”. Las dos fuentes de corriente, I_a y I_m han de ser implementadas para este tipo de aplicación sino la ganancia se vería afectada.

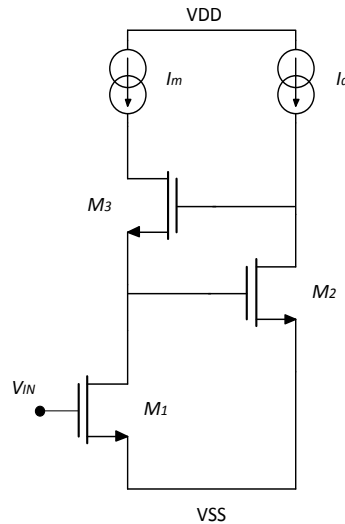


Figura 4.10. Amplificador “gain-boosted”.

Para calcular la ganancia de este sistema se recurre a un análisis en pequeña señal, y se obtiene que la ganancia total es igual a:

$$A = -g_{m1}g_{m2}g_{m3}r_{d1}r_{d2}r_{03} \tag{4.9}$$

Siendo el r_{03} la resistencia total en el drenaje del transistor M_3 , y $g_{m3}r_{03}$ el factor que aporta el transistor M_3 .

Es fácil ver que en este circuito la mínima alimentación necesaria es $2V_T+3V_{DSSat}$, por lo que es difícil alcanzar alimentaciones por debajo de 1V, ni siquiera suponiendo voltajes de umbral de 0.3 V. Para bajar la alimentación se utiliza el terminal de bulk de forma activa, y se muestra en la figura 4.11. El circuito es similar al de la figura 3.6 únicamente que el transistor M_3 utiliza el bulk como entrada y la puerta de forma pasiva, manteniéndola a un voltaje constante V_{Nrepl} .

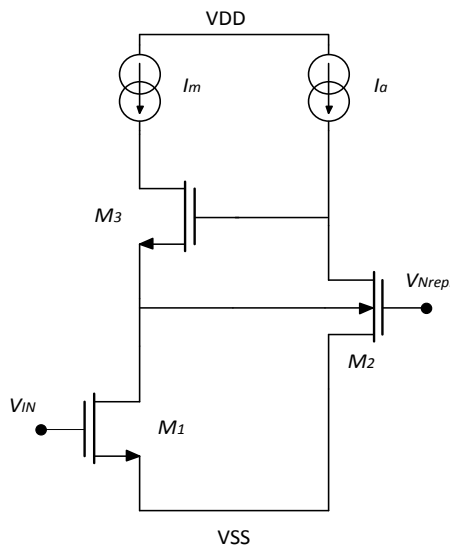


Figura 4.11. Amplificador “gain-boosted” con baja alimentación.

Al igual que en el circuito anterior se recurre a un análisis en pequeña señal del circuito para averiguar su ganancia, y el resultado es este:

$$A = -g_{m1}g_{m2}g_{mb3}r_{d1}r_{d2}r_{03} \tag{4.10}$$

El único cambio es el de g_{mb3} siendo la transconductancia de body-fuente, que es típicamente un orden de magnitud menor que g_{m3} , la transconductancia de compuerta-fuente.

La alimentación mínima necesaria con esta topología es igual a $V_T + 3V_{DSsat}$, se disminuye un voltaje de umbral aunque se pierde ganancia, debido a que la ganancia en la etapa de boosting proporcionada por M_3 es dependiente de g_{mb3} y no de g_{m3} .

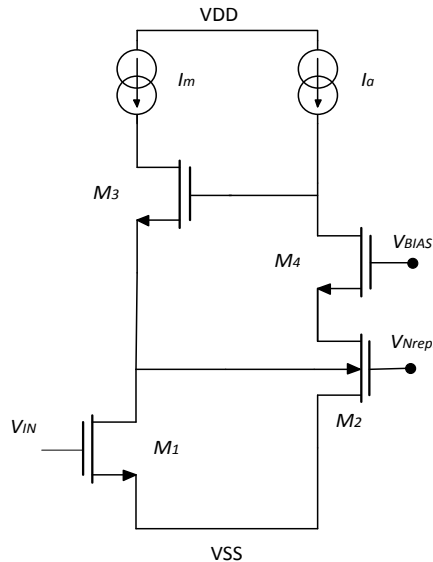


Figura 4.12. Amplificador “gain-boosted” con dos transistores en cascode.

A este último circuito se puede añadir otra simple modificación mostrada en la figura 4.12. Se implementa M_4 como un transistor en cascode lo que aumenta la alimentación en un V_T , además la corriente de bias, I_a , ha de ser implementada teniendo en cuenta eso, sin embargo la expresión de la ganancia obtenida con un análisis en pequeña señal es de esta forma:

$$A = -g_{m1}g_{m2}g_{mb3}g_{m4}r_{d1}r_{d2}r_{d3}r_{04} \quad (4.11)$$

De esta manera la ganancia aumenta adquiriendo dependencia de la transconductancia de M_4 y la resistencia total vista en su drenaje.

4.4 CONTROL DE LA CORRIENTE EN REPOSO DE UNA ETAPA DE SALIDA DE CLASE AB

Se considera el amplificador operacional Miller de dos etapas, mostrado en la figura 4.13. Está formado por una etapa de entrada que consta de un par diferencial (M_1 - M_2) el cual se sirve de la corriente de bias proporcionada por M_7 , y M_3 - M_4 que forman un espejo de corriente a su vez funcionando como carga. La siguiente etapa está formada por M_5 y M_6 siendo estos transistores de tipo n y p respectivamente. Sus puertas están conectadas directamente a la salida de la primera etapa, al igual que el condensador de compensación frecuencial C_c , esto permite una operación de tipo AB a la salida, ya que la máxima de corriente alcanzable en las transiciones negativa y positiva es independiente de la corriente en reposo de los transistores M_5 y M_6 , pero está determinada por el máximo y mínimo voltaje a la salida de la primera etapa y por las dimensiones de estos. La principal desventaja de este circuito es la mala definición en la etapa de salida de la corriente en reposo, ya que depende fuertemente de las dimensiones correctamente diseñadas de M_5 y M_6 , ya que poseen diferente tipo de canal, del voltaje en reposo proporcionada por la primera

etapa y de los voltajes de alimentación, lo que impide el correcto diseño de esta corriente. Sin embargo utilizando la técnica de “body-biasing” se puede usar el terminal de body del transistor M_5 para contralar esta corriente. El circuito que permite controlar esta corriente se muestra en la figura 4.14.

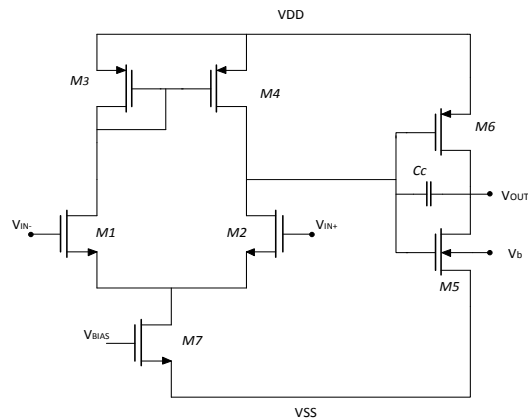


Figura 4.13. Amplificador operacional Miller de dos etapas.

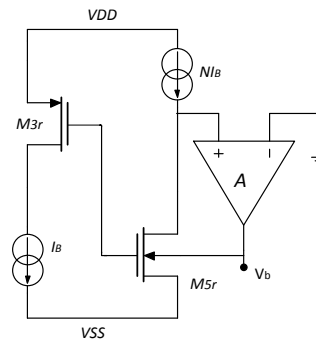


Figura 4.14. Circuito de control de corriente.

Los transistores M_{3r} y M_{5r} son una réplica de M_3 y M_5 y la corriente I_B es la mitad de la corriente proporcionada por M_7 , además se asume que la corriente deseada para alimentar a M_5 y M_6 es N veces I_B , lo que se traduce en que las dimensiones de M_6 han de ser N veces las de M_3 - M_4 , de otra manera debido a las diferencias de corrientes se produciría un offset no deseado. Como resultado el voltaje V_{GS} de M_5 y M_{5r} es el mismo, destacar que el amplificador a que la corriente que atraviesa M_{5r} sea igual a $N I_B$ ya que la entrada negativa está conectada a tierra analógica $(V_{DD}+V_{SS})/2$, por lo tanto el drenaje de M_{5r} se forzará a tierra analógica modificando su voltaje en V_b . Este mismo voltaje V_b es utilizado para controlar el terminal de body de M_5 que tiene la misma corriente en reposo que M_{5r}

4.5 MEJORA DE LA LINEALIDAD EN UN TRANSCONDUCTOR

Con la linealidad se hace referencia a la distorsión armónica total (Total Harmonic Distortion THD) que es su forma natural de medirlo. Como se ha comentado en secciones anteriores un transistor es un dispositivo no lineal, por lo que la conversión de voltaje a corriente en estos dispositivos no es lineal. Esta no linealidad se traduce en que en la corriente generada por el transistor aparecen componentes frecuenciales inexistentes en el voltaje de entrada que provocan la deformación de la forma de onda original. Para la obtención de la THD, se asume una entrada de voltaje sinusoidal haciendo una análisis en el dominio frecuencial se analizan las

amplitudes de las componentes superiores a la frecuencia fundamental del voltaje de entrada causadas por la no linealidad del dispositivo.

La linealidad en transconductores usados en filtros de tiempo continuo, o de etapas de entrada en un amplificador operacional, es uno de los aspectos más críticos y es por eso por lo que varios transconductores han sido propuestos a lo largo del tiempo, sin embargo una de las técnicas más usadas a la hora de diseñar un transconductor es la degeneración resistiva de fuente, tal y como se muestra en la figura 4.15. Con esta técnica la linealidad depende prácticamente de las propiedades lineales de una resistencia y de los buffer hechos con transistores.

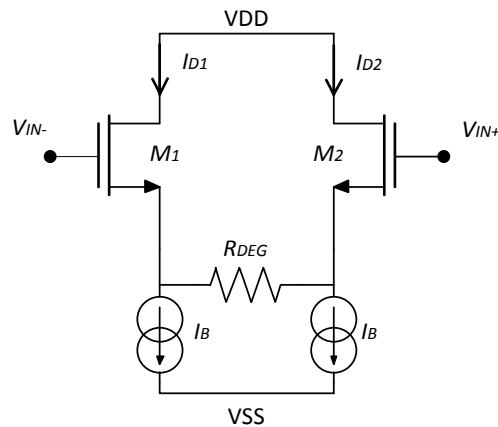


Figura 4.15. Transconductor con degeneración de fuente.

De nuevo se puede utilizar el terminal de body de forma activa para mejorar la linealidad de este transconductor [23], la topología se muestra en la figura 4.16. Los voltajes de control conectados al terminal de body de cada uno de los transistores del par principal M_1, M_2 se obtienen mediante un par diferencial replicado en el cual la resistencia degenerativa se divide en tres resistencias. La condición que ha de tener este par diferencial replicado es un escalado, tanto en sus dimensiones como en las resistencias de degeneración, siendo, $m = (W/L)_1 / (W/L)_3$ y $mR_{DEG} = R_2 + 2R_1$.

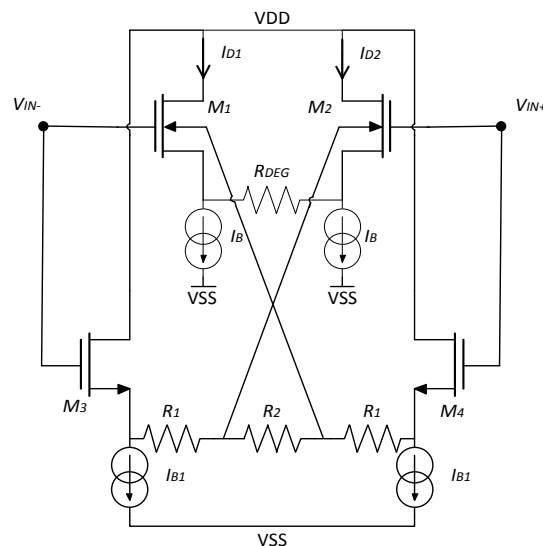


Figura 4.16. Transconductor usando el terminal de body de forma activa.

Con esta técnica se pueden conseguir mejoras en la distorsión armónica total de hasta aproximadamente 10 dB en el mejor de los casos, sin pérdidas apreciables en el ancho de banda del transconductor.

Ha sido publicado recientemente otro artículo [24] en el que basándose en el transconductor de la figura 4.15, y utilizando el terminal de body de los transistores se consigue una mejora significativa en la THD de este. El transconductor se muestra en la figura 4.17.

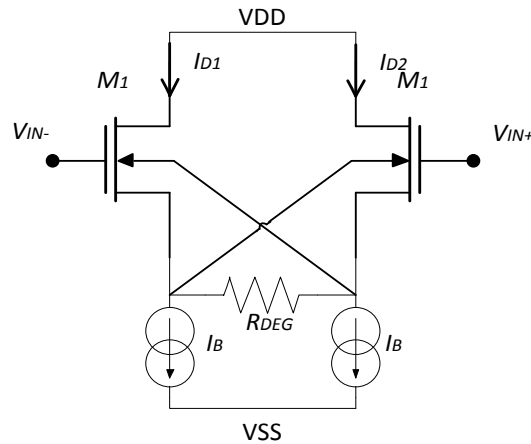


Figura 4.17. Transconductor usando el terminal de bulk de forma activa.

Para probar la mejora de linealidad de este transconductor se recurre a un análisis en pequeña señal de los transconductores de las figuras 4.15 y 4.17, y se obtienen las siguientes transconductancias:

$$G_{mR} = \frac{g_{m1}}{(1+g_{m1}R)} \quad (4.12)$$

$$G_{mRB} = \frac{g_{m1}}{(1+(2n-1)g_{m1}R)} \quad (4.13)$$

Siendo G_{mR} la transconductancia del circuito mostrado en la figura 3.17 y G_{mRB} la del mostrado en la figura 4.17. El término “ n ” se define como el “*slope factor*” y toma valores entre 1.1 y 1.6, por lo que la transconductancia G_{mRB} es menor que G_{mR} y por tanto mejora su linealidad.

5. TRANSCONDUCTORES (usando técnicas bulk-driven)

Como consecuencia de un estudio exhaustivo del estado del arte sobre las diferentes aplicaciones en las que puede usarse de manera satisfactoria el terminal de body de un transistor MOS, se procede a aplicar las técnicas comentadas en el diseño de OTAs, primeramente para el aumento de linealidad y posteriormente para realizar bloques no lineales. Esto consta de varias partes, en la primera de ellas se procede a explicar un modelo de caracterización de un transistor MOS, diferente al comúnmente usado, ya que será beneficioso para ciertos análisis que implican topologías más complejas. El siguiente paso es explicar la técnica utilizada para el cálculo de la distorsión producida por los transconductores. Posteriormente se pasará al análisis y caracterización de varios transconductores hasta llegar a un transconductor propuesto y nuevo que mejorará la linealidad gracias al uso del terminal de bulk de forma activa. Para acabar se mostrará otro circuito, en este caso un multiplicador/divisor que de igual manera usará el terminal de bulk de forma activa usando una estructura novedosa.

5.1 MODELO ALTERNATIVO DE UN TRANSISTOR MOS (ALL REGION MODEL)

En la actualidad existen diversos modelos que describen con mayor o menor precisión la corriente que atraviesa un transistor. Como se ha comentado en capítulos anteriores el más usado es la “Ley Cuadrática”, sin embargo implica una gran complejidad matemática en cuanto el terminal de bulk es usado de forma activa. Es por eso por lo que se estudió otro modelo en el cual se describiesen las corrientes que atraviesan un transistor de manera fidedigna y a su vez que el uso del terminal de bulk de forma activa no introdujese gran complejidad matemática.

Es un modelo derivado del modelo EKV [25], llamado All Region Model [26]. La principal característica es que a excepción de la Ley Cuadrática explota la simetría inherente del transistor referenciando todos los voltajes al terminal de bulk, tal y como se muestra en la figura 5.1.1. En este modelo la inversión de carga es controlada por $V_p - V_{ch}$, donde V_{ch} es el voltaje del canal definido como la diferencia de los potenciales de Fermi entre las portadoras, V_p es el llamado *pinch-off voltage*, y se define como el valor particular de V_{ch} para el cual la inversión de carga en el canal es cero para un determinado voltaje aplicado en la puerta. Este último depende únicamente del voltaje en la puerta y puede ser interpretado como el efecto equivalente del voltaje aplicado en la puerta referido al canal.

El modelo persigue una mejor definición de las corrientes en diseños microelectrónicos de bajo voltaje, ya que la Ley Cuadrática no ofrece tanta precisión para este tipo de diseños.

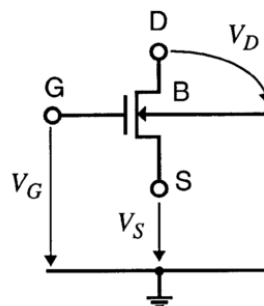


Figura 5.1.1. Voltajes en un transistor MOS.

Si se asume que el sustrato ha sido dopado uniformemente se puede definir la corriente que atraviesa el transistor como la diferencia entre dos corrientes (*forward* y *reverse*). El modelo obtiene las ecuaciones correspondientes para una operación en inversión débil, y las correspondientes a una operación en inversión fuerte, y posteriormente interpola ambas ecuaciones para obtener una definición que satisfaga las tres posibles operaciones, débil, moderada y fuerte. Las ecuaciones que describen la corriente:

$$I_D = I_F - I_R \quad (5.1.1)$$

$$I_{F(R)} = \frac{\beta}{2n} (V_{GB} - nV_{SB(DB)} - V_{T0})^2 \quad (5.1.2)$$

Siendo $\beta = \mu_x C_{ox} (W/L)$, y n el *slope factor* [27].

En el caso de que el transistor operase en saturación:

$$V_{DB} = \frac{V_{GB} - V_{T0}}{n} \quad (5.1.3)$$

Por lo que la corriente I_R se haría cero y solo existiría corriente I_F .

Este modelo también comparte muchas similitudes con la Ley Cuadrática, de hecho las formulas descritas en la Ley Cuadrática se pueden obtener a partir de las expuestas anteriormente, únicamente en el caso de que el terminal de body esté conectado a la fuente.

Las ecuaciones expuestas serían las correspondientes a un análisis en gran señal, sin embargo existe un análisis en pequeña señal para este modelo, el cual es de gran utilidad. A diferencia de la Ley Cuadrática, en este modelo se describen cuatro transconductancias [28-29], una por cada terminal del transistor, a continuación se definen:

$$g_{mg} = \frac{\partial I_D}{\partial V_G} \quad (5.1.4)$$

$$g_{ms} = -\frac{\partial I_D}{\partial V_S} \quad (5.1.5)$$

$$g_{md} = \frac{\partial I_D}{\partial V_D} \quad (5.1.6)$$

$$g_{mb} = \frac{\partial I_D}{\partial V_B} \quad (5.1.7)$$

Además pueden ser relacionadas de dos maneras:

$$g_{mg} + g_{md} + g_{mb} = g_{ms} \quad (5.1.8)$$

$$g_{mg} = \frac{g_{ms} - g_{md}}{n} \quad (5.1.9)$$

El circuito equivalente en pequeña señal para un transistor en saturación se muestra en la figura 5.1.2.

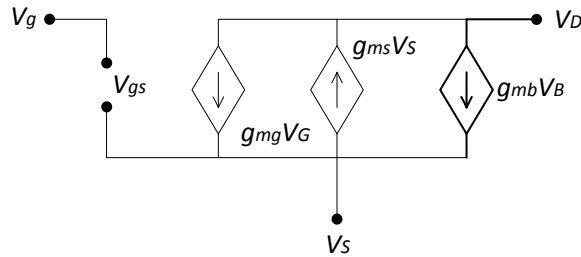


Figura 5.1.2. Modelo en pequeña señal de un transistor en saturación.

Gracias a estas definiciones de las transconductancias y al modelo equivalente en pequeña señal de un transistor descrito por este modelo, los cálculos pueden simplificarse y obtener resultados más claros, para variables que puedan ser descritas mediante un análisis en pequeña señal y hechas a mano.

El estudio de este modelo es justificado ya que, como se ha comentado con anterioridad, trata al transistor como un dispositivo simétrico, lo que es favorable para el cálculo de parámetros, ya sea en pequeña o gran señal, de topologías que usan el terminal de body de forma activa.

5.2 ANÁLISIS DE DISTORSIÓN

Cuando se está diseñando OTAs una característica importante es saber que tan lineal se comporta, así una técnica para medir esta cualidad se encuentra en el análisis de distorsión que se introduce en esta sección. El objetivo de esta sección es exponer la técnica usada para realizar los cálculos teóricos de distorsión armónica que producen los transconductores para poder compararlos y saber las técnicas más convenientes. Algunos de estos transconductores tienen una topología compleja de analizar, ya que cuentan con transistores en cascodo que operan en la región de triodo y en la región de saturación, además de utilizar el bulk de forma activa, lo que resulta en resolución de ecuaciones simbólicas implícitas y que proporcionan poca información al diseñador. Para mejorar la resolución de las ecuaciones implícitas se propondrá un método alternativo para calcular los coeficientes de la series de Taylor como se verá más adelante.

Para realizar el análisis de distorsión se utilizado típicamente un desarrollo en Series de Taylor [30-42] lo que proporciona una buena aproximación para el cálculo de distorsiones armónicas de diferente orden y en consecuencia la distorsión armónica total. Las series de Taylor se definen de la siguiente manera para una función no lineal $f(x)$:

$$f(x) = \sum_{n=0}^{\infty} \frac{f^{(n)}(a)}{n!} (x - a)^n \quad (5.2.1)$$

El cálculo diferencial de las Series de Taylor, se ha de efectuar respecto a un punto de referencia, “ a ”, de la función, siendo $f^{(n)}$ es la derivada n -ésima. El primer término que se obtiene en el desarrollo es una constante ($f(a)$), el siguiente de grado uno, equivale a una recta tangente a la función a aproximar en el punto “ a ”, y sucesivamente la función se aproxima mediante parábolas de grado creciente.

Un punto importante a considerar cuando se usan las series de potencia es su radio de convergencia para saber hasta cuando es válida la aproximación, así según el teorema de Cauchy-Hadamard, para cada serie de potencias de tipo:

$$\sum_{n=0}^{\infty} a_n (x - a_0)^n \quad (5.2.2)$$

Se da uno, y únicamente unos de estos tres casos:

1. La serie sólo converge para $x=a_0$.
2. La serie converge absolutamente para todo $x \in \mathbb{C}$.
3. Existe un número $\rho > 0$ tal que para $|x-a_0| < \rho$ la serie converge absolutamente y para $|x-a_0| > \rho$ la serie diverge.

Según el teorema se da únicamente uno de los tres casos, a continuación se tomara como ejemplo una función básica, a partir de la cual se definirán conceptos que más tarde se utilizarán.

Conviene destacar conceptos como el círculo de convergencia, que se corresponde al rango de valores de la función para los cuales el polinomio obtenido mediante el desarrollo en series de Taylor de la función, realizan una buena aproximación. Por ejemplo en el caso del cálculo de la función seno, el círculo de convergencia sería un período completo de este, fuera de este periodo los valores que se obtienen de los términos del polinomio se alejan de la función seno. Existen funciones como la raíz cuadrada que tienen un dominio restringido, únicamente valores positivos. Tomando el ejemplo de la función:

$$f(x) = \sqrt{1+x} \quad (5.2.3)$$

El dominio de esta función es $D = (-1, +\infty)$, si se aproxima esta función mediante los polinomios de Taylor, evaluados para $x=0$, únicamente se obtendrá una aproximación válida dentro del rango de valores $x = (-1, 1)$. Esto se debe a que el radio del círculo de convergencia viene marcando por el punto donde se evalúa la función, $x=0$, hasta el punto que empieza el dominio de la función, $x=-1$. Notar que siempre que se da el tercer caso en el teorema de Cauchy-Hadamard, el número ρ equivale al radio de convergencia de la serie, siendo el círculo el descrito por su centro el punto a_0 , y de radio ρ .

El objetivo final es el cálculo de la distorsión armónica utilizando las series de Taylor. Comúnmente se ha definido las distorsiones armónicas de diferente orden con expresiones que facilitan su cálculo. El orden de la distorsión armónica viene dado por el número de armónico al que se refiere, siendo así la distorsión de tercer orden la correspondiente al armónico de tercer orden. De esta manera atendiendo a las siguientes identidades trigonométricas:

$$\cos^2 \theta = \frac{1+\cos 2\theta}{2} \quad (5.2.4)$$

$$\cos^3 \theta = \frac{3 \cos \theta + \cos 3\theta}{4} \quad (5.2.5)$$

Se observa como el término de coseno al cuadrado tiene una componente equivalente al segundo armónico, y de igual manera el término coseno al cubo tiene una componente del tercer armónico. La distorsión armónica se define como la relación entre la variación producida en un armónico entre el fundamental. De esta manera se pueden obtener expresiones que determinan las distorsiones armónicas de diferente orden, atendiendo a las identidades trigonométricas correspondientes. Así, se definen la distorsión armónica de segundo y tercer orden como:

$$HD2 = \frac{1}{2} \frac{\alpha_2}{\alpha_1} X \quad (5.2.6)$$

$$HD3 = \frac{1}{4} \frac{\alpha_3}{\alpha_1} X^2 \quad (5.2.7)$$

Siendo α_2 el término que multiplica en la serie a X^2 , correspondiente al segundo armónico, α_3 el término que multiplica en la serie a X^3 , correspondiente al tercer armónico, y α_1 el término en la serie que multiplica a X , correspondiente al fundamental. El término de $\frac{1}{4}$ viene dado por la identidad trigonométrica $\cos^3 \theta$, y el término $\frac{1}{2}$ viene dado por la identidad trigonométrica del

5.2.1 DISTORSIÓN EN TRANSCONDUCTORES

En el caso que incumbe, el cálculo de la distorsión armónica de un transconductor, la función a desarrollar, se describe perfectamente mediante las curvas $V-I$. En la figura 5.2.1.1 se muestra una curva $V-I$, estas curvas son la representación gráfica de la función que describe el comportamiento de un transconductor.

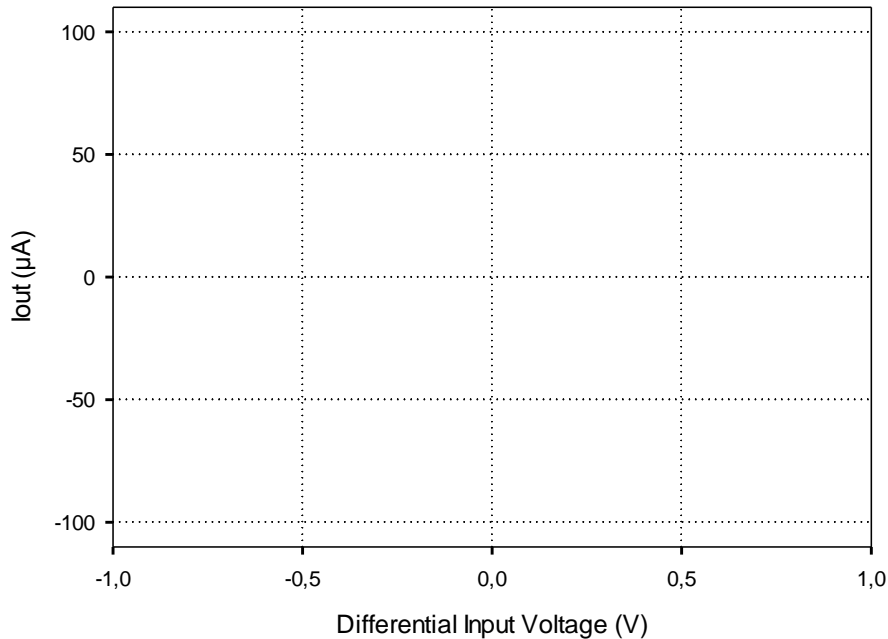


Figura 5.2.1.1. Curva $V-I$ de un transconductor.

En este caso la variable x correspondería a V_{IN} , y si se evalúan los términos obtenidos en el desarrollo de la serie en el punto $V_{IN}=0$, $I_a=I_B$, el primer término de la serie sería cero, el segundo término sería la recta tangente a la curva $V-I$, en el punto $V_{IN}=0$, lo que corresponde a la transconductancia, y posteriormente esta curva será aproximada mediante parábolas de grado creciente, según el término del desarrollo de la serie. Esta función tiene un dominio restringido igualmente, y este dominio viene dado por el rango dinámico del transconductor. Cuando se alcanza el punto máximo de corriente y esta es independiente del voltaje de entrada aplicado, es decir no incrementa su valor con el voltaje de entrada, se alcanza el máximo del rango dinámico. Para valores superiores a este voltaje la función es forzada a resolverse con números complejos, lo que indica una singularidad de la función en este punto. Recurriendo a la definición de círculo de convergencia de la función, y aplicando el teorema de Cauchy-Hadamard, al evaluar las series de Taylor obtenidas de esta función $V-I$, el círculo de convergencia viene descrito por las singularidades de los extremos de la función, cuando las series son evaluadas en el punto $V_{IN}=0$, $I_a=I_B$. Para demostrar la aplicación de este teorema al caso que concierne se expone la figura 5.2.1.2:

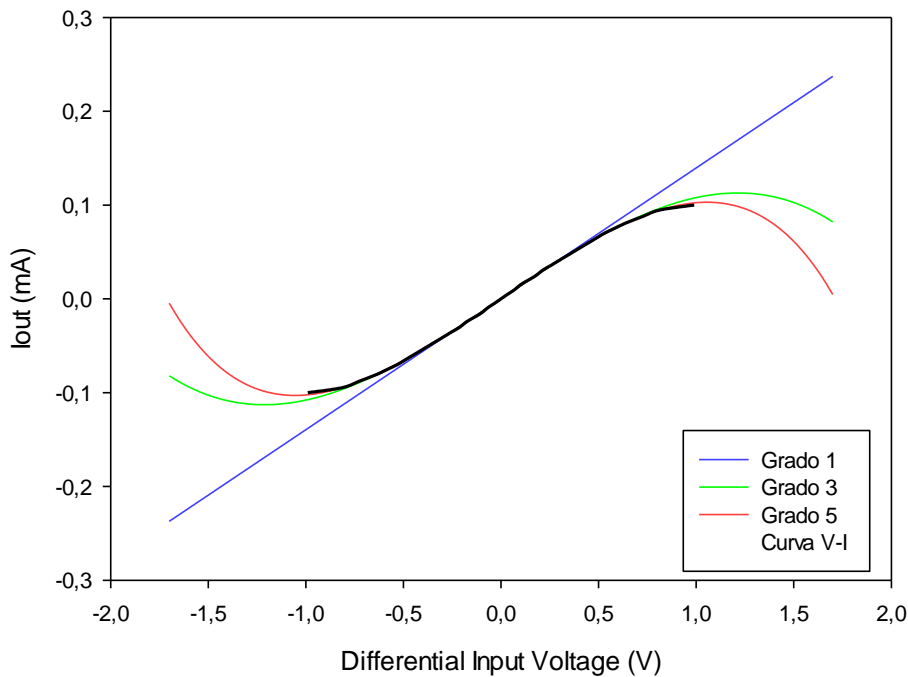


Figura 5.2.1.2. Aproximación a la curva V-I mediante Series de Taylor.

En la figura 5.2.1.2 se aprecia como el rango dinámico del transconductor equivale a (-1,1) V. La primera aproximación mediante las series de Taylor, es el término constante, que en este caso equivale a cero. La siguiente aproximación es la recta tangente al punto en el que se ha evaluado la función, $V_{IN}=0$, equivalente a la transconductancia. Posteriormente se suman las aproximación parabólicas de grado tres y cinco, y tal y como se aprecia se cumple el teorema de Cauchy-Hadamard, ya que las aproximaciones son buenas hasta que se llega a las singularidades en los extremos de la función.

Puede existir una problemática a la hora de aplicar estas series para el cálculo de la distorsión armónica y es la complejidad matemática de la función. Para poder utilizar estas series se requiere despejar de la función la diferencia de corrientes, I_{OUT} , del voltaje de entrada, V_{IN} , quedando finalmente una expresión de este tipo:

$$I_{OUT} = f(V_{IN}) \quad (5.2.1.1)$$

Al obtener este caso se aplicarían el desarrollo en series de la función, $f(V_{IN})$, y se obtendría directamente los coeficientes para el cálculo de la distorsión armónica. Sin embargo pueden darse casos que la relación I_{OUT} vs V_{IN} es implícita, por lo que el uso de las series de Taylor como se describió anteriormente queda descartado, sin embargo se pueden utilizar las series de Taylor formuladas de forma alternativa [43]. En este caso la función que se obtendría se puede convertir en:

$$F(x, y) = 0 \quad (5.2.1.2)$$

Donde $y=g(x)$, es decir una función de la variable x . Si se cambia x e y , por V_{IN} e I_{OUT} , es posible obtener las series de Taylor de una función implícita, viniendo estas descritas por:

$$y_0 + \sum_{k=1}^{\infty} \frac{F_k(x_0, y_0)}{k!} x^k \quad (5.2.1.3)$$

$$g'(x) = -\frac{\frac{\partial F}{\partial x}(x,y)}{\frac{\partial F}{\partial y}(x,y)} = F_1 \quad (5.2.1.4)$$

$$g''(x) = \frac{\partial F_1}{\partial x}(x,y) + \frac{\partial F_1}{\partial y}(x,y)F_1(x,y) = F_2 \quad (5.2.1.5)$$

$$g'''(x) = \frac{\partial F_2}{\partial x}(x,y) + \frac{\partial F_2}{\partial y}(x,y)F_2(x,y) = F_3 \quad (5.2.1.6)$$

Al igual que en las series de Taylor es necesario definir un punto alrededor de cual se realizará la aproximación en este caso es necesario tener definidos dos valores x_0 e y_0 . Con el uso de las series de Taylor de funciones implícitas es posible realizar un cálculo de distorsión de una manera menos compleja desde el punto de vista matemático, y será el procedimiento que se seguirá para realizar el análisis de distorsión. Debido a la imposibilidad de separar en la ecuación a desarrollar las variables I_{OUT} y V_{IN} , se decide realizar los cálculos para la corriente de una rama, por ejemplo I_a . Este procedimiento no afecta de ninguna manera al resultado final, ya que es equivalente al cálculo de la serie usando I_{OUT} . Esto se debe a que $I_{OUT}=I_a-I_b$, por lo que a priori sería necesario el cálculo de las series para la corriente I_a y posteriormente para la corriente I_b . Sin embargo las series que se obtiene son idénticas, teniendo estas como única diferencia el signo de los términos, los términos pares tiene el mismo signo y mismo valor, y los términos impares tienen el mismo valor pero signo cambiado, por lo que al realizar la resta entre ambas series para obtener la serie correspondiente a I_{OUT} , los términos pares se restan y se eliminan, mientras que los términos impares se suman. Notar que esto únicamente pasa cuando existe un matching perfecto entre los transistores, es decir cuando las dimensiones, y características de los transistores en ambas ramas son idénticas.

5.3 ANALISIS DE LOS TRANSCONDUCTORES

En esta sección se pasa a analizar la THD de varios transconductores, con diferentes topologías.

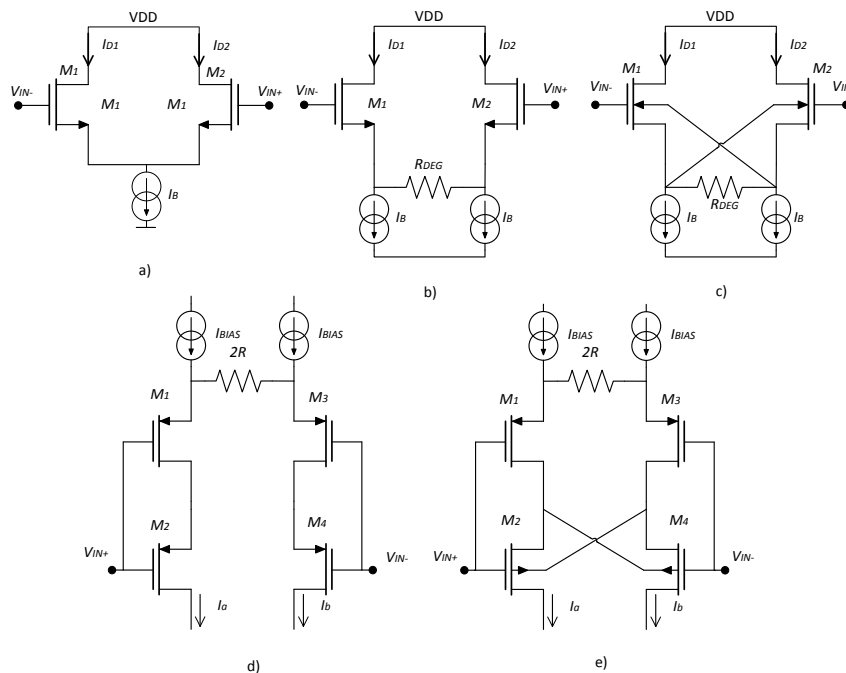


Figura 5.3.1. Transconductores a analizar.

En la figura anterior se muestran los diferentes transconductores a analizar. El primero de ellos, figura 5.3.1 a) es el par diferencial que consta únicamente de dos transistores operando en saturación. En la figura 5.3.1 b) se muestra el par diferencial con degeneración de fuente, en este caso al introducir una resistencia se mejora la linealidad ya que esta recae sobre las propiedades lineales de esta. La figura 5.3.1 c) muestra un par diferencial con degeneración de fuente y además este utiliza los terminales de bulk de forma activa para mejorar la linealidad. Los dos últimos figura 5.3.1 d) y e) son transconductores los cuales utilizan transistores en cascodo para mejorar la linealidad, aparte de degeneración resistiva de fuente. El transconductor propuesto corresponde a la figura 5.3.1 e) el cual utiliza además los terminales de bulk de forma activa para lograr una mejor linealidad.

Todos ellos excepto el último han sido propuestos con anterioridad y testeados. Se realizarán gráficas comparativas que prueban la validez de los resultados teóricos obtenidos, mediante la comparación de estos con resultados simulados y teóricos frente a los experimentales.

En todos los transconductores a analizar se seguirá el mismo procedimiento. En primer lugar se calculará su transconductancia efectiva utilizando el *All Region Model*, y posteriormente se realizará el análisis de distorsión armónica. Para el análisis de distorsión armónica, en todos los casos se calculará una función del tipo $F(I_o, V_{IN})$. Destacar que debido a la complejidad de los cálculos para el análisis de distorsión armónica, estos se llevaron a cabo utilizando la herramienta de MATLAB, MATLAB Mathematics Toolbox. Los desarrollos de las series no serán expuestos debido a la longitud de estos, sin embargo se agregan los listados de Matlab.

Con el fin de llevar a cabo un estudio más exhaustivo de diferentes transconductores, y comprobar la técnica que se usará en el cálculo de distorsión, se realizaron los análisis de distorsión y se calculó la transconductancia para diferentes transconductores. El modelo introducido, *All Region Model*, será muy útil para el cálculo de transconductancias, ya que se simplifica el circuito equivalente en pequeña señal. El análisis de distorsión se realizará con ambos modelos, *Ley Cuadrática* y *All Region Model*, en todos los transconductores. Estos resultados teóricos serán posteriormente comparados con los resultados obtenidos mediante simulación, se utilizará el programa *Cadence* el cual utiliza el simulador *Spectre* basado en el modelo BSIM. Para estas simulaciones se ha utilizado una librería con una tecnología de 0.5 μm . Para finalizar los resultados simulados y teóricos serán contrastados con resultados experimentales. Los resultados teóricos se obtendrán con datos propios de la tecnología de 0.5 μm .

Destacar que el cálculo de la distorsión armónica se realiza aproximando la THD mediante la distorsión armónica de tercer orden, aunque el procedimiento para el cálculo de los diferentes términos de la distorsión armónica es semejante al utilizado.

5.3.1 PAR DIFERENCIAL

Un par diferencial está formado por dos transistores enfrentados, y por una fuente de corriente. En la figura 5.3.2 se muestra la topología de este circuito. Puede ser usado como un OTA o como una etapa de entrada a un amplificador operacional. Su característica más relevante es el bajo rango dinámico de este, así como su baja linealidad, y es poco usado en el diseño de circuitos integrados, aunque su principal uso es de tipo didáctico.

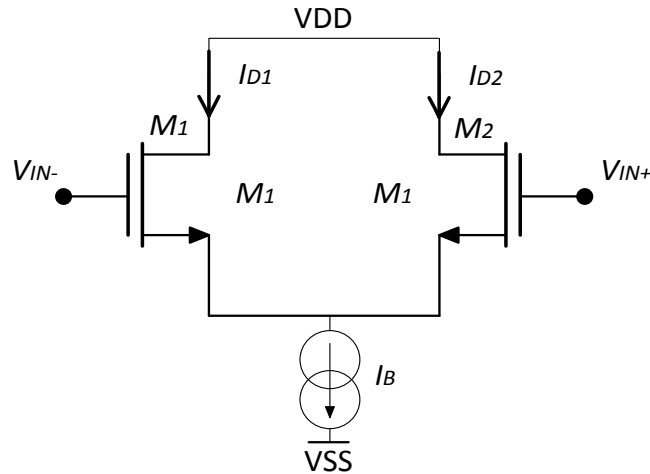


Figura 5.3.2. Par diferencial

Ambos transistores están en saturación, enfrentados entre sí, y sus fuentes comparten el mismo nodo. Para el cálculo de su transconductancia se recurriría a un modelo en pequeña señal, que en este caso no es necesario ya que la transconductancia de los transistores es g_m , y en este caso el cálculo exacto de la transconductancia puede realizarse de manera sencilla mediante su definición:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_T) \quad (5.3.1)$$

El siguiente paso es caracterizar la distorsión armónica del dispositivo, para ello empezará con la Ley cuadrática, usando la ecuación (3.2) que describe la corriente para un transistor en saturación, se pueden escribir los voltajes $V_{GS1,2}$:

$$V_{GS1} = \sqrt{\frac{2I_a}{\beta}} + V_T \quad (5.3.2)$$

$$V_{GS2} = \sqrt{\frac{2I_b}{\beta}} + V_T \quad (5.3.3)$$

Las corrientes I_a e I_b se pueden relacionar con la corriente de bias de esta manera:

$$I_a + I_b = 2IB \quad (5.3.4)$$

La ecuación de tipo $F(x,y)=0$, que se usará a la hora de aplicar las series de Taylor de estas función implícita es:

$$V_{GS1} - V_{GS2} - V_{IN} = 0 \quad (5.3.5)$$

Se desarrollan las series de Taylor de la función implícita (5.3.5), y se evalúan para el punto $V_{IN}=0$, $I_a=IB$. Posteriormente se aplica la ecuación que describe la componente de distorsión de tercer orden.

$$HD3 = \frac{\beta}{32IB} V_{IN}^2 \quad (5.3.6)$$

Esta expresión de la distorsión armónica de tercer orden se corresponde con la expresión obtenida mediante las series de MaClaurin, para este mismo par diferencial, por lo que se demuestra la validez del método aplicado para el análisis de distorsión.

El análisis realizado para la Ley Cuadrática se repite utilizando el *All Region Model*, utilizando la ecuación (5.1.2), sabiendo que los transistores están en saturación. La expresión de la función implícita en este caso es:

$$V_{GS1} - V_{GS2} - V_{IN} = 0 \quad (5.3.7)$$

$$\sqrt{\frac{2nI_a}{\beta}} - \sqrt{\frac{2n(2IB - I_a)}{\beta}} - V_{IN} = 0 \quad (5.3.8)$$

El principal cambio es el factor n , aunque el cambio no es del todo significativo ya que n , puede tomar valores entre $1.1 < n < 1.6$. Repitiendo las cuentas realizadas para la Ley Cuadrática, la distorsión armónica de tercer orden es:

$$HD3 = \frac{\beta}{32nIB} V_{IN}^2 \quad (5.3.9)$$

Como puede observarse únicamente se introduce un factor n en el denominador, este factor lo único que proporciona es un pequeño cambio en la curva descrita, por la distorsión armónica de tercer orden.

A continuación se procede a realizar la comparación entre los resultados obtenidos mediante simulación y los teóricos. Para la obtención de estos se utilizarán los siguientes valores, $\beta/2 = 15 \mu A/V$, $W/L = 50 \mu m / 10 \mu m$, $IB = 50 \mu m$ y $n = 1.15$.

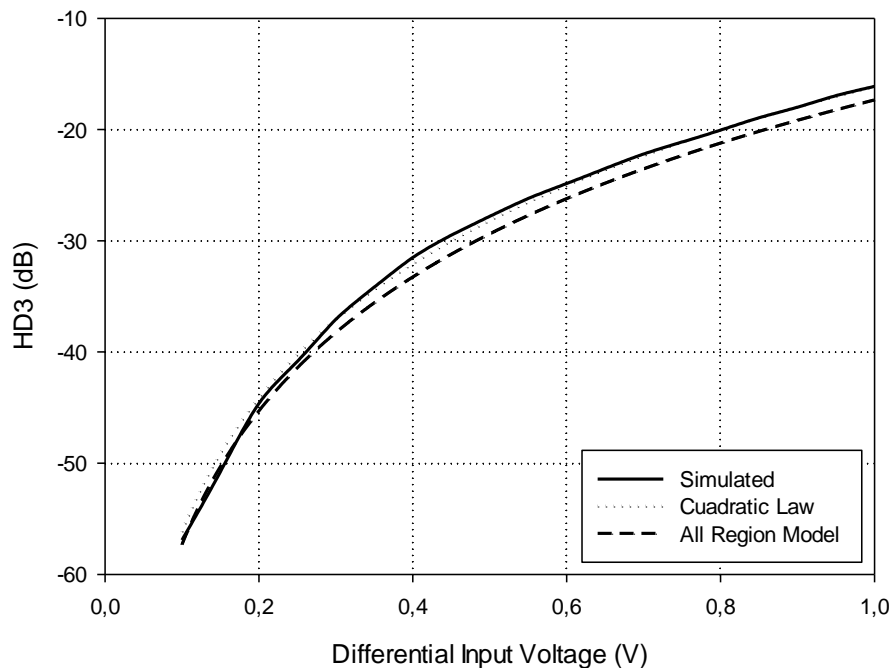


Figura 5.3.3. HD3 del par diferencial.

En la gráfica se muestran los resultados teóricos frente a los simulados. Entre ambos modelos como era de esperar existe una gran concordancia, ya que el único cambio en la caracterización de la distorsión armónica de tercer orden es el factor “ n ”. Con respecto a los resultados simulados de igual manera se aprecia gran parecido entre estos y los teóricos. Debido a esta concordancia entre resultados, se aceptan los resultados teóricos obtenidos.

5.3.2 PAR DIFERENCIAL CON DEGENERACIÓN REISTIVA

El siguiente OTA a analizar es mostrado en la figura 5.3.4. Es una de las topologías más usadas en el diseño de circuitos integrados, debido a su sencillez de diseño y a que tiene una respuesta aceptable. La principal característica de este transconductor es que la linealidad total recae sobre las propiedades lineales de la resistencia colocada entre los dos terminales de fuente de los transistores. Esto implica que la transconductancia tiene aproximadamente un factor $1/R$ como transconductancia.

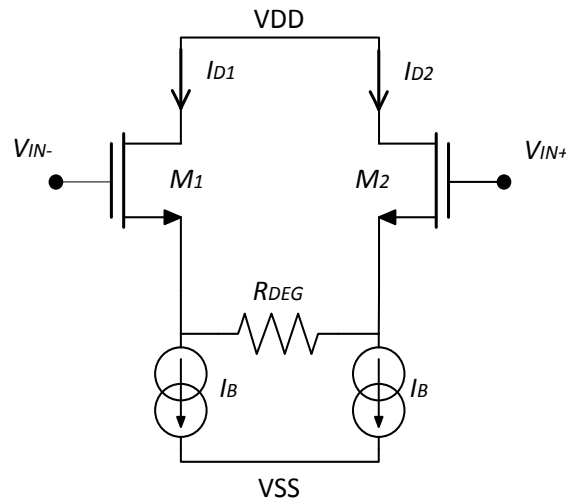


Figura 5.3.4. Par diferencial con degeneración de fuente.

En primer lugar se realizará el análisis en pequeña señal del circuito, para obtener su transconductancia. Sabiendo que ambos transistores están operando en saturación, el circuito equivalente siguiendo el *All Region Model* es el que sigue:

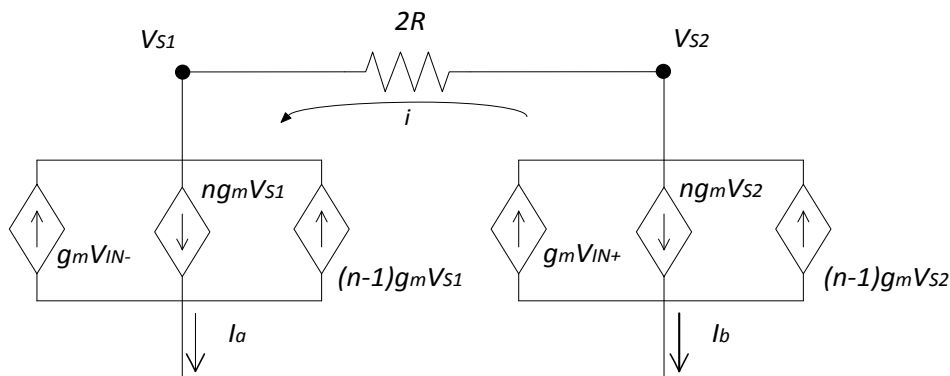


Figura 5.3.5. Circuito equivalente en pequeña señal.

Al estar los transistores operando en saturación su modelo en pequeña señal viene descrito por tres fuentes de corriente controladas por voltaje, siendo estos voltajes, el voltaje aplicado a la puerta, el voltaje en la fuente, y el voltaje en el terminal de bulk. Para simplificar el cálculo y obtener un resultado más interpretativo se asume simetría entre los transistores, por lo que la transconductancia de cada uno de ellos es idéntica. Se han utilizado las equivalencias descritas en las ecuaciones (5.1.8-9) para que el cálculo de la transconductancia efectiva este únicamente en

función de la transconductancia de la puerta, g_m . Resolviendo el circuito se obtiene que la transconductancia efectiva es igual a:

$$g_m = \frac{g_{mg1}}{(1+g_{mg1}R)} \quad (5.3.10)$$

La transconductancia efectiva tiene una fuerte dependencia de R, al aumentar el valor de R, la transconductancia disminuye. Suponiendo que $Rg_m \gg I$, la transconductancia total se puede aproximar por $g_m \approx I/R$. Con esto se demuestra como la ganancia del dispositivo se ve fuertemente afectado por la resistencia de degeneración.

El siguiente paso es el análisis de distorsión armónica. Para el análisis se seguirán los mismos pasos que con el par diferencial. En primer lugar se muestra la ecuación que definirá la función implícita a desarrollar:

$$V_{GS1} - V_{GS2} + V_B - V_{IN} = 0 \quad (5.3.11)$$

Siendo V_B la diferencia de voltaje entre los bornes de la resistencia, que puede ser definido como:

$$V_B = I * R = (I_a - I_B) * R \quad (5.3.12)$$

Sabiendo que $2I_B = I_a + I_b$, y aplicando la Ley cuadrática se obtiene la siguiente ecuación:

$$\sqrt{\frac{2I_a}{\beta}} - \sqrt{\frac{2(2I_B - I_a)}{\beta}} + (I_a - I_B) * R - V_{IN} = 0 \quad (5.3.13)$$

Se puede apreciar cómo se crea una dependencia directa con la resistencia de degeneración, siendo esta la única diferencia entre la ecuación (5.3.8) y la (5.3.13). Repitiendo los pasos realizados para el par diferencial, y evaluando de nuevo para el punto $V_{IN}=0$, $I_a=I_B$, se obtiene el término de la distorsión armónica de tercer orden:

$$HD3 = \frac{\sqrt{2}\beta}{32 I_B (\sqrt{2} + R\beta \sqrt{\frac{I_B}{\beta}})^3} V_{IN}^2 \quad (5.3.14)$$

Si se comparan las expresiones (5.1.9) y la (5.3.14) se distingue una dependencia de R para esta última, lo que hace que conforme mayor sea R menor será el término HD3, mientras que en la expresión de la distorsión armónica de tercer orden para el par diferencial, para disminuir esta distorsión es necesario aumentar la corriente de bias, I_B . En este caso para mejorar la linealidad influyen estos dos factores pudiendo llegar a un mejor compromiso entre ambos.

Utilizando ahora el *All Region Model*, se calcula la ecuación implícita siendo la diferencia entre las ecuaciones obtenidas mediante este modelo y la Ley Cuadrática el término "n", semejante al caso anterior, y posteriormente se calculan las series de esta función implícita y se obtiene el término de la distorsión armónica de tercer orden.

$$HD3 = \frac{\sqrt{2}\beta n^2}{32 I_B (\sqrt{2}n + R\beta \sqrt{\frac{I_B}{\beta}})^3} V_{IN}^2 \quad (5.3.15)$$

Al igual que en el anterior caso únicamente se crea una dependencia con el factor n, lo que no causa gran variación en el cómputo global.

Se muestra una gráfica comparativa entre los resultados teóricos obtenidos con ambos modelos, los resultados simulados y experimentales. En este caso los parámetros usados son los siguientes, $\beta/2=15 \mu A/V$, $W/L=3\mu m/3\mu m$, $I_B=50\mu m$, $R=1K\Omega$ y $n=1.15$.

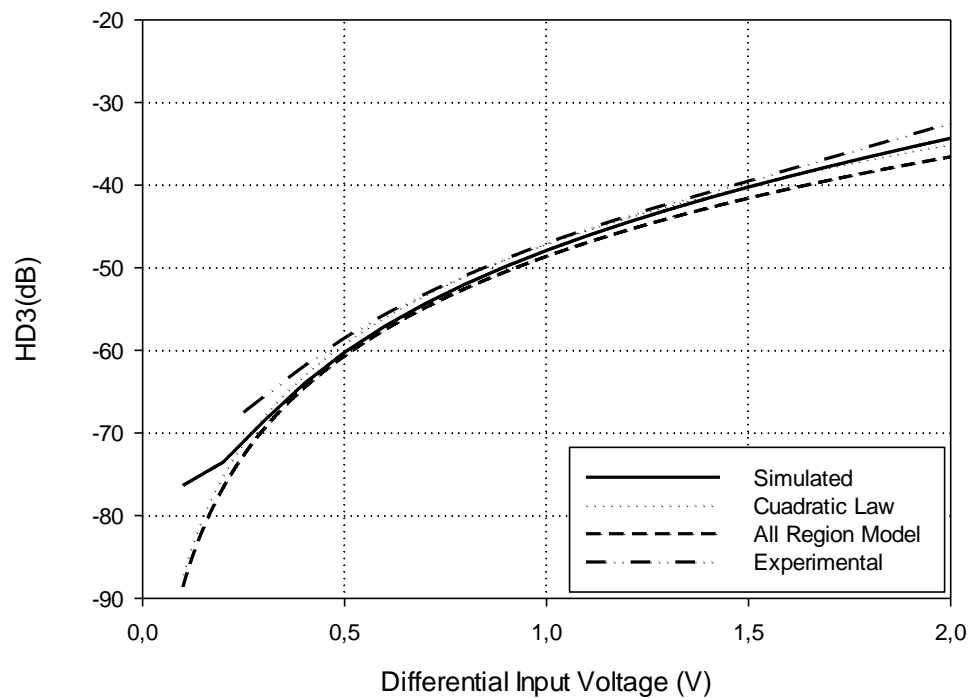


Figura 5.3.6. HD_3 para el par diferencial con degeneración resistiva de fuente.

Como puede apreciarse existe prácticamente una total concordancia entre todos los resultados, teóricos, experimentales y simulados. Para voltajes de entrada menores que 0.3 V, es donde mayor variación existe, pero cabe notar que teóricamente para un voltaje de entrada de 0 V la distorsión armónica es nula, es decir menos infinitos dB, y es por eso por lo que las curvas descritas teóricamente definen peor la distorsión para voltajes de entrada tan bajos. Los resultados experimentales, debido a los equipos y el montaje experimental necesario, no son del todo fidedignos para voltajes menores que 0.25 V.

5.3.3 PAR DIFERENCIAL CON DEGENERACIÓN RESISTIVA Y USO DE BULK

El transconductor a analizar se presenta en la figura 5.3.7. Este transconductor es similar al anterior, únicamente se le añade una conexión cruzada entre sus terminales de body, lo que produce una mejora en la distorsión armónica del OTA.

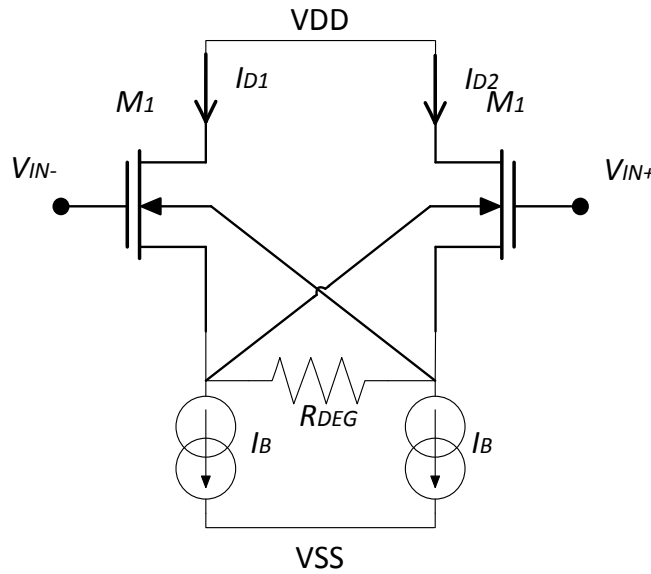


Figura 5.3.7. Par diferencial con degeneración de fuente y uso del terminal de bulk de forma activa.

En análisis en pequeña señal de este transconductor no varía prácticamente con el análisis del transconductor con degeneración de fuente, pero si lo necesario para diferenciarlos:

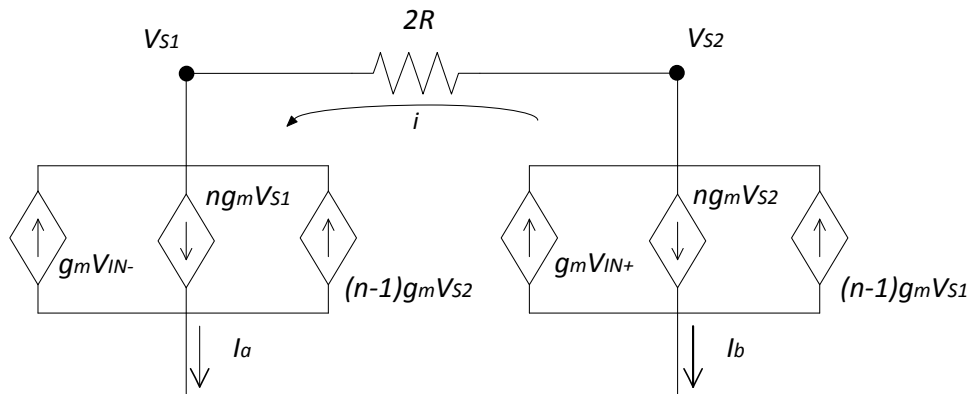


Figura 5.3.8. Circuito equivalente en pequeña señal.

Debido a conexión cruzada de los terminales de bulk de ambos transistores, la fuente de corriente correspondiente a la transconductancia del bulk, esta vez está controlada por un voltaje diferente, lo que hace que resolviendo el circuito la tranconductacia efectiva de este es igual a:

$$g_m = \frac{g_{mg1}}{(1+(2n-1)g_{mg1}R)} \tag{5.3.16}$$

Debido a esta conexión se crea un factor en el denominador de $2n-1$, sabiendo que n puede tomar valores entre 1.1 y 1.6 , queda claro que la transconductancia efectiva total del dispositivo es menor que la transconductancia efectiva del transconductor con degeneración resistiva.

En este caso se volverán a utilizar los dos modelos para el cálculo del termino HD3, empezando por la ley cuadrática. Hay que tener en cuenta que el voltaje V_{GS1-2} , tiene ahora una dependencia del voltaje de umbral según lo expuesto en la ecuación 3.3. Por tanto la función implícita en este caso es de la siguiente forma:

$$V_{GS1} + \Delta V_{T01} - V_{GS2} - \Delta V_{T02} + V_B - V_{IN} = 0 \quad (5.3.17)$$

Siendo:

$$\Delta V_{T01} = V_{T0} + \gamma(\sqrt{V_{SB1} + 2\varphi_F} - \sqrt{2\varphi_F}) \quad (5.3.18)$$

$$\Delta V_{T02} = V_{T0} + \gamma(\sqrt{V_{SB2} + 2\varphi_F} - \sqrt{2\varphi_F}) \quad (5.3.1)$$

Los voltajes V_{SB} , en este caso particular son el mismo que los voltajes en los bornes de la resistencia de degeneración, sabiendo que $I_a = I_B + I_A$, se puede expresar de la siguiente manera:

$$\Delta V_{T01} = V_{T0} + \gamma(\sqrt{(I_a - IB)R + 2\varphi_F} - \sqrt{2\varphi_F}) \quad (5.3.19)$$

$$\Delta V_{T02} = V_{T0} + \gamma(\sqrt{(IB - I_a)R + 2\varphi_F} - \sqrt{2\varphi_F}) \quad (5.3.20)$$

Sustituyendo estas expresiones y las correspondientes a los voltajes V_{GS1-2} , se obtiene finalmente:

$$\sqrt{\frac{2I_a}{\beta}} - \sqrt{\frac{2(2IB - I_a)}{\beta}} + \gamma\sqrt{(I_a - IB)R + 2\varphi_F} - \gamma\sqrt{(IB - I_a)R + 2\varphi_F} + (I_a - IB) * R - V_{IN} = 0 \quad (5.3.21)$$

Obtenida así la función implícita que describe el comportamiento de este transistor se procede al cálculo de la distorsión armónica de tercer orden, y se obtiene la siguiente expresión:

$$HD3 = \frac{\left(\frac{3\sqrt{2}}{4\beta^3 \left(\frac{IB}{\beta}\right)^{5/2} + \frac{3R^3\gamma}{4(2\varphi)^{5/2}} \right)}{24 \left(R + \frac{R\gamma}{\sqrt{2\varphi}} + \frac{\sqrt{2}}{\beta \sqrt{\frac{IB}{\beta}}} \right)^3} V_{IN}^2 \quad (5.3.22)$$

A continuación se repiten los pasos para el *All Region Model*, obteniendo así la siguiente función implícita.

$$\sqrt{\frac{2I_a}{\beta}} - \sqrt{\frac{2(2IB - I_a)}{\beta}} + (2n - 1)(I_a - IB) * R - V_{IN} = 0 \quad (5.3.23)$$

Como puede apreciarse se introduce el factor $2n-1$, en la ecuación, que es similar a la ecuación (5.3.13). Obtenida así la ecuación implícita se pasa al cálculo de la distorsión armónica, obteniéndose la siguiente expresión, para el término de tercer orden:

$$HD3 = \frac{\sqrt{2}}{32\beta^3 \left(\frac{IB}{\beta}\right)^{5/2} \left(R(2n-1) + \frac{\sqrt{2}}{\beta \sqrt{\frac{IB}{\beta}}} \right)^3} V_{IN}^2 \quad (5.3.24)$$

Una vez obtenidas las expresiones teóricas para la distorsión armónica de tercer orden, se pasa a graficar los resultados, comparando así los resultados teóricos frente a los obtenidos mediante simulación. Los parámetros utilizados para este transistor son, $\beta/2 = 15 \mu A/V$, $W/L = 15 \mu m / 1 \mu m$, $IB = 20 \mu m$, $R = 1K\Omega$ y $n = 1.15$

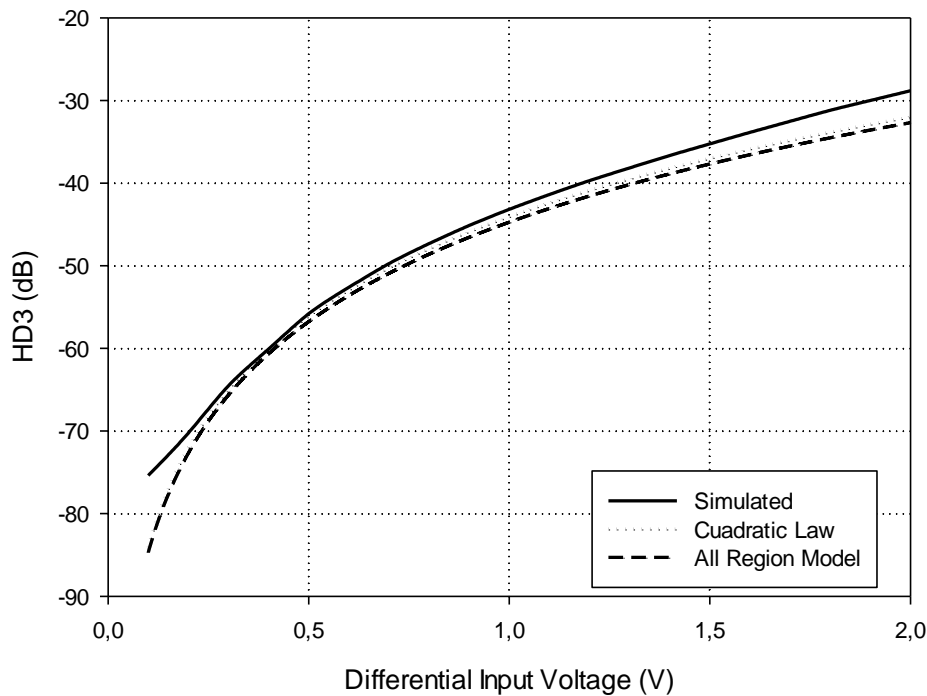


Figura 5.3.9. HD_3 para el transconductor con degeneración de fuente y uso de bulk de forma activa.

En la figura 5.3.9 se observa como los resultados teóricos se asemejan a los obtenidos mediante simulación. Entre los dos resultados obtenidos con los dos modelos, se aprecia una total concordancia, lo que pone de manifiesto la principal ventaja del All Region Model, ya que el análisis de este transconductor mediante este modelo es más sencillo que el análisis con la Ley Cuadrática.

5.3.4 CASCADE OTA

El OTA mostrado en la figura 5.3.10, es un transconductor que mejora las características del par diferencial con degeneración resistiva de fuente, utilizando dos transistores en cascodo [44]. En este caso los transistores M_1 y M_3 están operando en la región de triodo, mientras que los transistores M_2 y M_4 operan en la región de saturación. Cuenta con degeneración de fuente, lo que como en casos anteriores hace que gran parte de la respuesta del sistema recaiga sobre las propiedades lineales de la resistencia, dotando a este de una mejor respuesta.

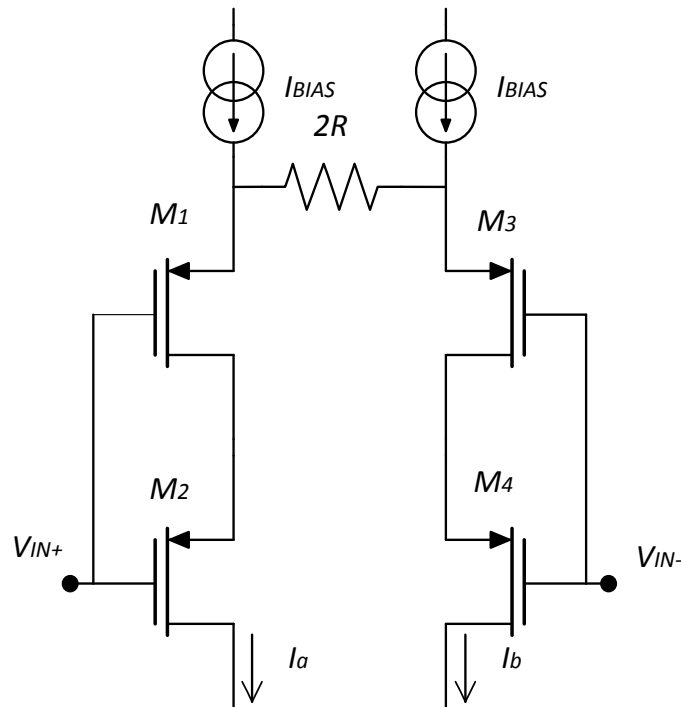


Figura 5.3.10. Cascode OTA

En primer lugar se procederá al análisis del circuito en pequeña señal, para el cálculo de su transconductancia. Para realizar este análisis se recurrirá al *All Region Model*, obtiene así el siguiente circuito equivalente:

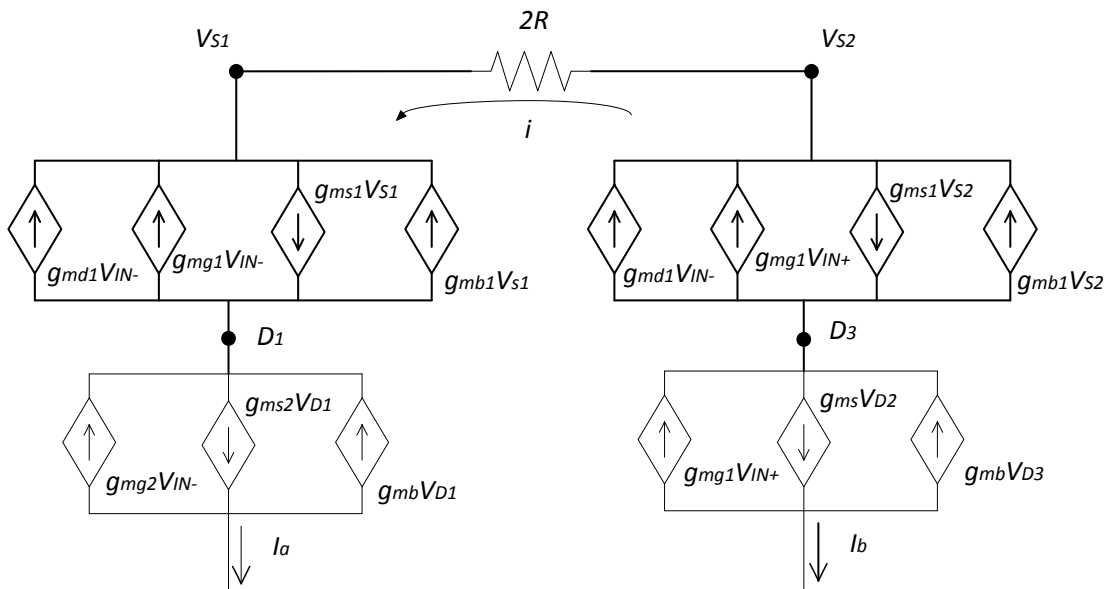


Figura 5.3.11. Circuito equivalente en pequeña señal.

Notar que se ha asumido de nuevo que las dimensiones y características de los pares de transistores M_1 - M_3 y M_2 - M_4 , son idénticas, lo que significa que sus transconductancias respectivas son las mismas, lo que facilita el cálculo. Como puede observarse los transistores que operan en la región de triodo se describen mediante cuatro fuentes de corriente controladas por voltaje, siendo estos voltajes los correspondientes a los terminales del transistor. Para los

transistores en saturación, el circuito equivalente es idéntico a los presentados con anterioridad. Resolviendo el circuito se obtiene la siguiente transconductancia:

$$g_m = \frac{g_{m2}(g_{md1} + g_{mg1})}{g_{md1} + g_{m2}[1 + R(g_{ms1} - g_{mb1})]} \quad (5.3.25)$$

La transconductancia eficaz calculada es más difícil de interpretar que en casos anteriores ya que implica varias transconductancias, sin embargo si se considera que la resistencia de degeneración es mucho mayor que las otras transconductancias si se puede realizar la aproximación de que la transconductancia, $g_m \approx 1/R$.

Una vez obtenida la transconductancia se pasa al análisis de distorsión. Al tener cuatro transistores en total, el análisis matemático de este circuito se complica, y más con transistores operando en ambas regiones, triodo y saturación. Sin embargo se puede conseguir una ecuación que defina la corriente que atraviesa dos transistores. Para ello se elige la dupla de transistores M_1 y M_2 (figura 5.3.12), por lo cuales pasa la misma corriente, I_a . El transistor M_1 opera en la región de triodo mientras que M_2 opera en la región de saturación.

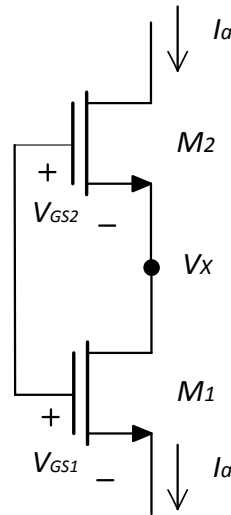


Figura 5.3.12. Dos transistores en cascodo.

El voltaje V_X , es el mismo para el drenaje de M_1 y para el terminal de fuente de M_2 . Utilizando las ecuaciones que describen la corriente para un transistor operando en la región de saturación y para la región de triodo según la Ley Cuadrática:

$$I_a = \beta_1 \left(V_{IN} - V_S - V_T - \left(\frac{V_X}{2} \right) \right) V_X \quad (5.3.26)$$

$$I_a = \frac{\beta_2}{2} (V_{IN} - V_X - V_T)^2 \quad (5.3.27)$$

Despejando el valor de V_X de la ecuación (5.3.26), y sustituyéndolo en la ecuación (5.3.27), se obtiene la siguiente ecuación:

$$I_a = \frac{\beta_2 \beta_1}{2(\beta_2 + \beta_1)} (V_{IN} - V_S - V_T)^2 \quad (5.3.28)$$

Utilizando el mismo método pero con las ecuaciones correspondientes al *All Region Model* se obtiene lo siguiente:

$$I_a = \frac{\beta_1}{2n} (V_{IN} - V_S - V_T)^2 - \frac{\beta_1}{2} (V_{IN} - (n-1)V_S - nV_X - V_T)^2 \quad (5.3.29)$$

$$I_a = \frac{\beta_2}{2n} (V_{IN} - V_X - V_T)^2 \quad (5.3.30)$$

Realizando el mismo procedimiento que para la Ley Cuadrática se obtiene una única ecuación:

$$I_a = \frac{\beta_2 n \left(\beta_1 n - \beta_1 + \sqrt{\frac{\beta_1 (2\beta_2 + \beta_1 - \beta_2)}{n}} \right)^2}{2(\beta_2 + \beta_1 n^2)^2} (V_{IN} - V_S - V_T)^2 \quad (5.3.31)$$

De estas ecuaciones se deduce que la corriente que atraviesa dos transistores en cascodo, uno de ellos operando en saturación y otro de ellos en triodo, siguiendo la topología descrita en la figura 5.3.12, depende del voltaje aplicado a la puerta de estos, y del voltaje en el terminal de fuente del transistor M_1 , y de una relación entre las dimensiones de ambos, es decir el voltaje V_X se fija para que V_{GS2} sea el necesario para que por el transistor M_2 atraviese una corriente I_a , y para que a su vez el voltaje en el drenaje de M_1 sea el necesario para que por este pase una corriente de I_a .

Mediante la descripción de la corriente que atraviesa dos transistores en cascodo, en una única ecuación, el análisis del OTA mostrado en la figura 5.3.10, se simplifica a la siguiente topología:

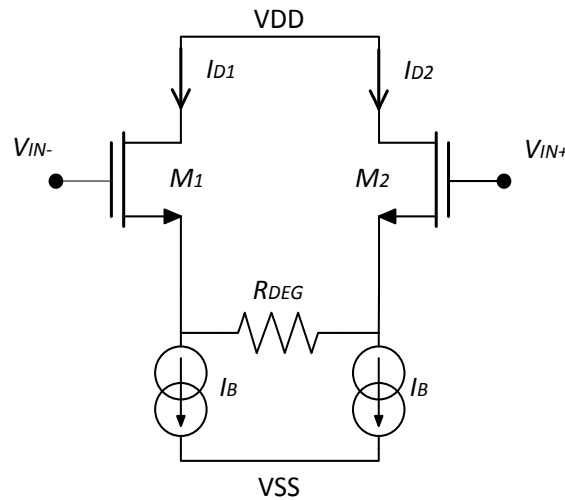


Figura 5.3.13. Circuito equivalente del Cascode OTA.

Es el mismo caso que para el par diferencial con degeneración de fuente, pero con un cambio, las dimensiones. En este caso ya no se trata de las dimensiones de un transistor sino del factor obtenido que relaciona las dimensiones de los transistores en cascodo, de esta manera se simplifica el cálculo sustancialmente, pudiendo utilizar el mismo procedimiento que el seguido para el par diferencial con degeneración de fuente de la figura 5.3.4. Notar que se evalúan las series en el punto $V_{IN}=0$, $I_a=I_B$.

En primer lugar se obtiene la distorsión armónica de tercer orden con la Ley Cuadrática. Utilizando las ecuaciones descritas anteriormente. La expresión obtenida es:

$$HD3 = \frac{\sqrt{2}\beta}{32 I_B \left(\sqrt{2} + R\beta \sqrt{\frac{I_B}{\beta}} \right)^3} V_{IN}^2 \quad (5.3.32)$$

Siendo β :

$$\beta = \frac{\beta_2 \beta_1}{2(\beta_2 + \beta_1)} \quad (5.3.29)$$

Como cabe esperar es similar a la expresión obtenida para el par diferencial con degeneración de fuente, ya que el único cambio en el análisis son las β . Sin embargo es esta relación entre β de los transistores implicados, la que hace que la distorsión armónica de tercer orden disminuya.

Para el caso del *All Region Model*, la ecuación que se obtiene es la correspondiente a la obtenida en el caso del par diferencial con degeneración de fuente:

$$HD3 = \frac{\sqrt{2}\beta n^2}{32 IB \left(\sqrt{2}n + R\beta \sqrt{\frac{IB}{\beta}} \right)^3} V_{IN}^2 \quad (5.3.33)$$

Siendo β :

$$\beta = \frac{\beta_2 n \left(\beta_1 n - \beta_1 + \sqrt{\frac{\beta_1 (2\beta_2 + \beta_1 - \beta_2)}{n}} \right)^2}{2(\beta_2 + \beta_1 n^2)^2} \quad (5.3.34)$$

A continuación se muestra una gráfica en la cual se comparan las distorsiones obtenidas mediante simulación, teóricamente con la *Ley Cuadrática* y el *All Region Model*, y experimentalmente. Los parámetros usadas en este transconductor son, $\beta/2=15 \mu A/V$, $W/L_1=1.95\mu m/1.5\mu m$, $W/L_3=3\mu m/3\mu m$, $IB=50\mu m$, $R=1K\Omega$ y $n=1.15$.

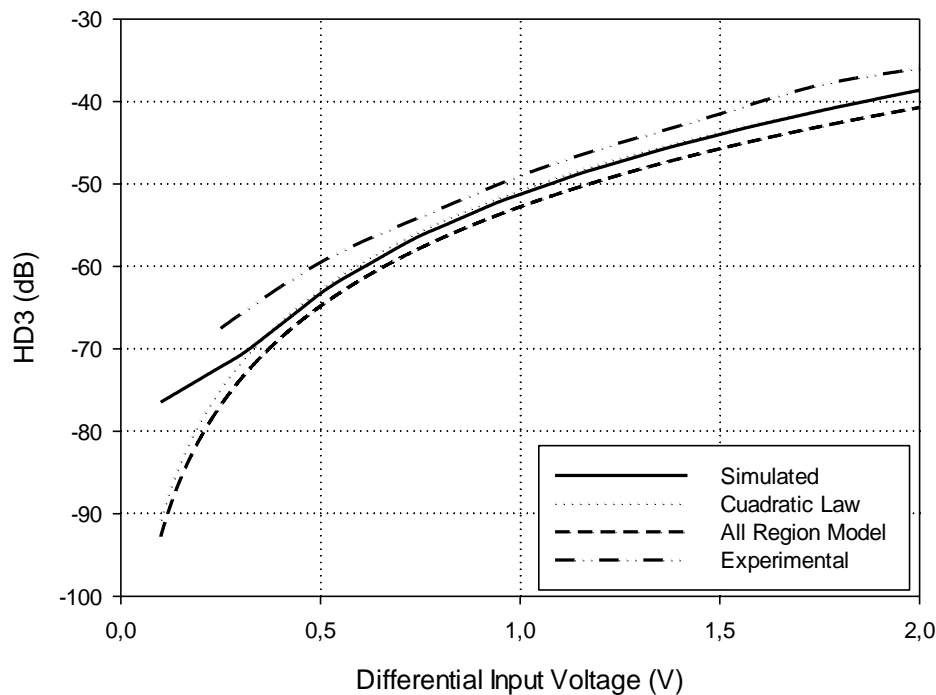


Figura 5.3.14. HD3 del cascode OTA.

Los datos obtenidos mediante simulación concuerdan a la perfección con los datos teóricos. Al igual que en el caso anterior existe la misma problemática en voltajes de entrada menores que 0.3V, pero para valores superiores, la diferencia entre los resultados simulados y los resultados obtenidos con la *Ley Cuadrática*, difieren en 1 dB, mientras que los simulados comprados con el *All Region Model*, difieren en 2 dB aproximadamente. Los resultados experimentales siguen la misma tendencia que los resultados teóricos y simulados, sin embargo la curva se sitúa aproximadamente 2 dB por encima de estas. Esto se debe a la distorsión introducida por los

componentes electrónicos utilizados para la medición, y a los *mismatches* de los transistores del transconductor. Sin embargo teniendo en cuenta estos factores e puede concluir que la caracterización teórica de la distorsión armónica de tercer orden para este transconductor queda validada a la vista de los resultados.

5.3.5 CASCODE OTA CON DEGENERACION DE FUENTE Y USO DE BULK

Se trata del transconductor nuevo propuesto, mostrado en la figura 5.3.15, el cual utiliza el bulk de forma activa para mejorar la linealidad con respecto al tranconductor del apartado anterior. La topología es prácticamente idéntica, y utiliza dos transistores en cascodo y degeneración de fuente para mejorar la linealidad, pero además se realiza una conexión cruzada de los terminales de bulk correspondiente a los transistores operando en la región de saturación.

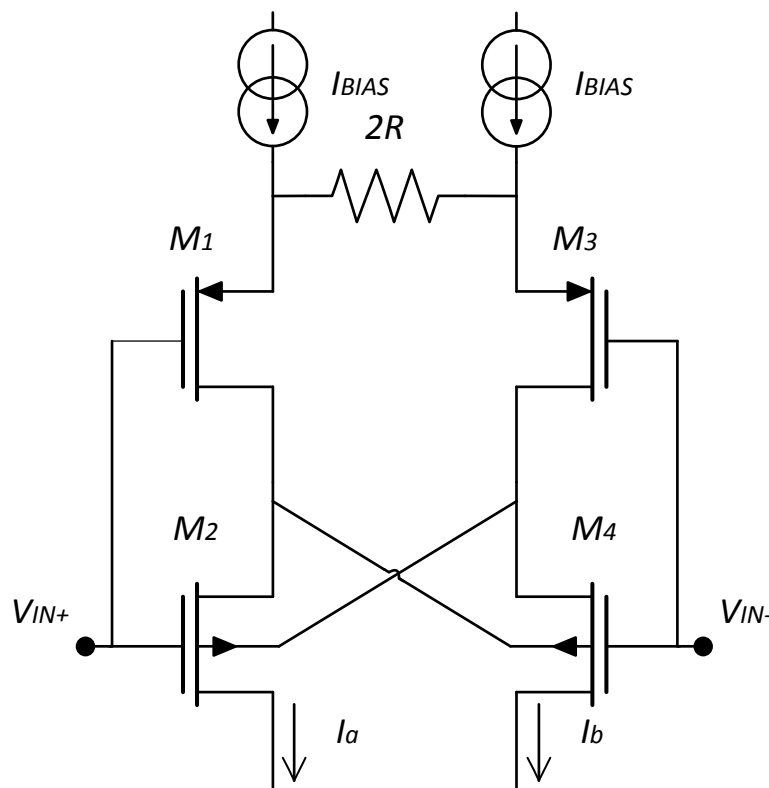


Figura 5.3.15. Transconductor propuesto

La mejora de linealidad reside en que la conexión cruzada de los terminales de bulk de los transistores M_2 y M_4 , hace que varíe el voltaje de umbral según el voltaje que se encuentra en el drenaje de los transistores M_1 y M_2 , consiguiendo así una mejora en la linealidad.

Se procede con el análisis en pequeña señal de este circuito, para encontrar su transconductancia efectiva. Como cabe esperar ha de ser muy parecido al análisis realizado en el apartado anterior, con el transconductor en cascodo y degeneración de fuente. En la figura 5.3.15 se muestra el circuito correspondiente:

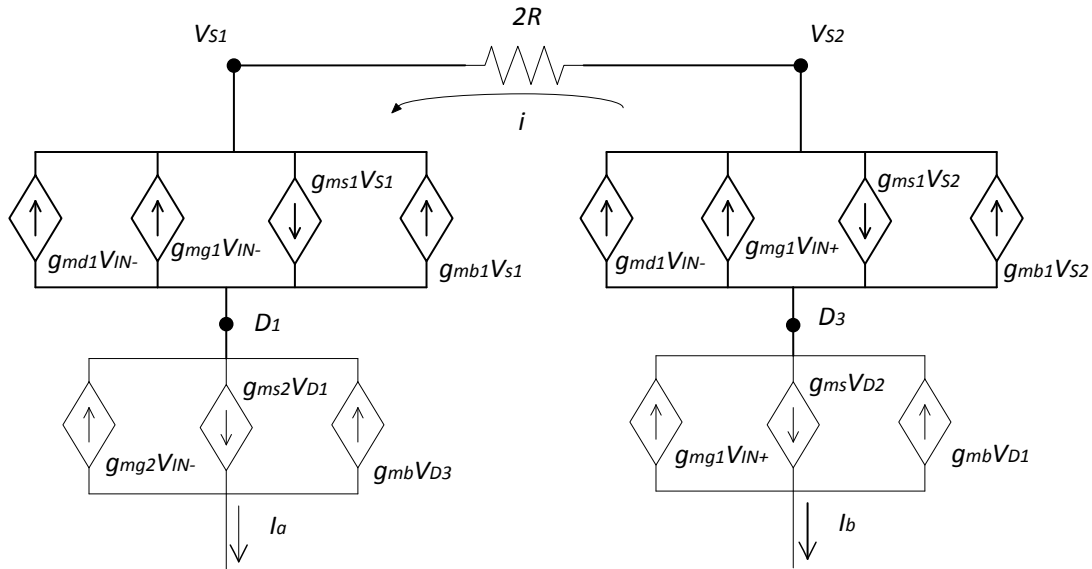


Figura 5.3.16. Circuito en pequeña señal.

Como puede observarse el único cambio es que las fuente de corriente correspondientes a la transconductancia del bulk en los transistores operando en la región de saturación, ahora son controladas por el voltaje existente en la otra rama. Por ejemplo en el caso del transistor M_2 , su fuente de corriente correspondiente a g_{mb} , es controlada por V_{D2} en vez de por V_{D1} . Esta pequeña variación, se hace notar en la transconductancia efectiva, siendo esta:

$$g_m = \frac{g_{mg2}(g_{md1} + (2n-1)g_{mg1})}{g_{md1} + g_{mg2}(2n-1)[1 + R(g_{ms1} - g_{mb1})]} \quad (5.3.35)$$

El cambio se centra en el factor $2n-1$, esto significa que al sustituir los valores típicos de la transconductancias involucradas, se obtiene una transconductancia efectiva algo menor que la obtenida para el transconductor anterior.

El siguiente paso es el análisis de distorsión armónica. En este caso, los cálculos a realizar se complican ya que están involucrados dos transistores cada uno operando en una región, degeneración de fuente y la conexión cruzada de los terminales de bulk. Así como en el caso anterior era posible la obtención de una ecuación que describiese la corriente que atraviesa los transistores en cascodo, en este caso resulta sumamente complejo, debido a la conexión cruzada de los terminales de bulk. De igual manera el cálculo de la distorsión armónica se va a realizar mediante la obtención de una función implícita de tipo $F(I_a, V_{IN})=0$.

Para la obtención de esta función se empieza por mostrar las ecuaciones que se van a utilizar, la corriente que atraviesa un transistor operando en saturación, corriente que atraviesa un transistor operando en triodo, y el voltaje umbral de un transistor:

$$I_a = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[(V_{GS1} - V_{T1})V_{DS1} - \frac{V_{DS1}^2}{2} \right] \quad (5.3.36)$$

$$I_a = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L}\right) (V_{GS2} - V_{T2})^2 \quad (5.3.37)$$

$$V_{T2} = V_{T0} + \gamma(\sqrt{2\phi_F - v_{BS2}} - \sqrt{2\phi_F}) \quad (5.3.38)$$

Notar que V_{T1} , al estar el terminal de bulk conectado con la fuente, su Voltaje umbral es equivalente al característico de la tecnología, V_{T0} .

El siguiente paso es la obtención de la diferencia de voltajes, $V_{D1}-V_{D2}$, ya que este es el voltaje equivalente a V_{SB2} , implicado en la fórmula que describe el voltaje umbral de un transistor. Para la obtención se sigue la siguiente ecuación:

$$V_{D1} - V_{D3} = -V_{GS2} + V_{GS4} + V_{IN} \quad (5.3.39)$$

Una vez despejado este voltaje se reescriben las ecuaciones correspondientes a los transistores operando en triodo, de forma que dependan únicamente de los voltajes, V_{GS1} y V_{GS2} , en el caso de M_1 , y de V_{GS3} y V_{GS4} para M_2 . La ecuación que describe la corriente que atraviesa M_1 es:

$$I_a = \mu_n C_{ox} \left(\frac{W}{L}\right) \left[(V_{GS1} - V_{T1})(-V_{GS2} + V_{GS1}) - \frac{(-V_{GS2} + V_{GS1})^2}{2} \right] \quad (5.3.40)$$

Despejando de esta manera V_{GS1} , y V_{GS2} , y sustituyendo el voltaje $V_{D1}-V_{D2}$, obtenido con anterioridad, se puede formular la ecuación implícita de forma semejante a la obtenida en apartados anteriores:

$$V_{GS1} - V_{GS3} + V_B - V_{IN} = 0 \quad (5.3.41)$$

Siendo V_B , la diferencia de voltaje entre los bornes de la resistencia de degeneración.

Obtenida así la función, se pasa al cálculo de los términos de la serie de Taylor de esta función implícita. Para el cálculo de estos se evalúa la función de nuevo en el punto $V_{IN}=0$, $I_a=I_B$. En este caso la expresión obtenida tiene una extensión muy grande, por lo que se presenta.

Para el caso del análisis de distorsión armónica con el *All Region Model*, los pasos a realizar son similar a los seguidos con la *Ley Cuadrática*, y de nuevo la expresión obtenida es muy extensa y tampoco se presenta.

Realizado el cálculo teórico se muestra a continuación en la figura 5.3.16, la comparación entre resultados simulados, teóricos, y experimentales. Los parámetros utilizados son similares a las usadas para el transistor anterior.

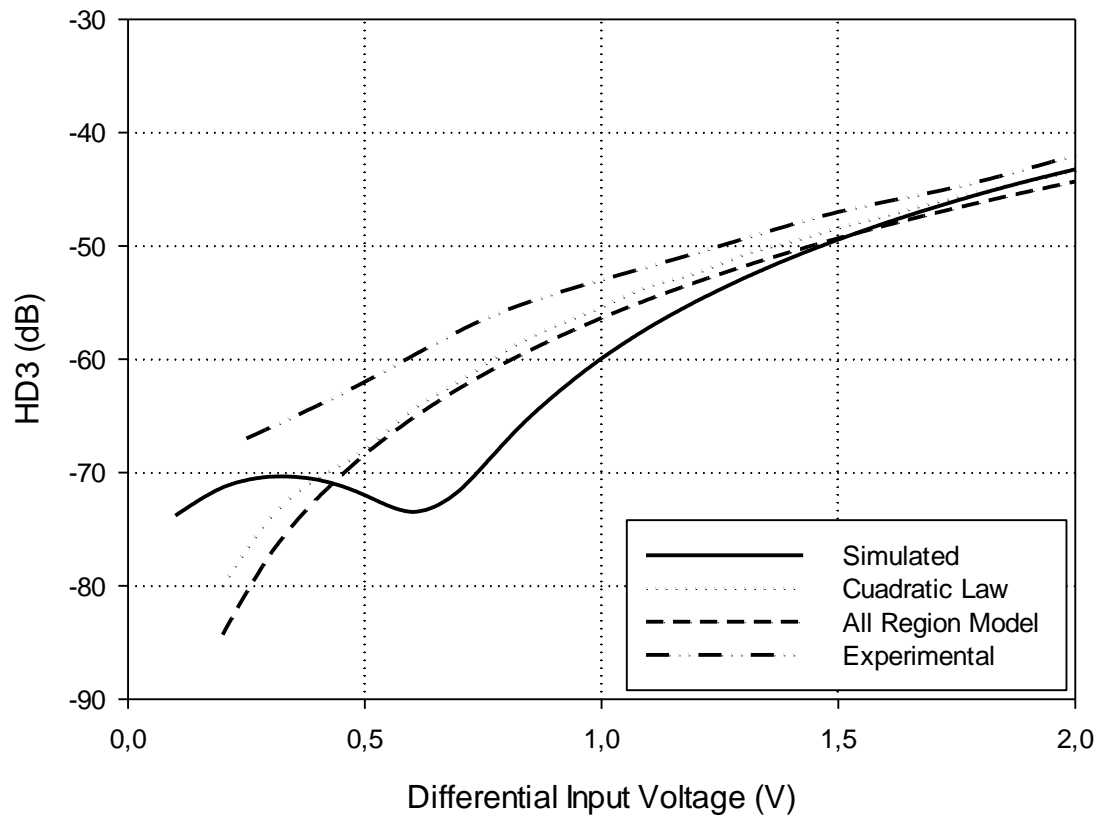


Figura 5.3.17. HD_3 del transistor propuesto.

En la gráfica se observa como existe gran concordancia entre los resultados teóricos y experimentales a partir de un voltaje de entrada de unos 0.75 V, existiendo entre estos una diferencia máxima de 3 dB. Esta diferencia se debe a los mismatches en los transistores del circuito físico, y a la instrumentación utilizada para la obtención de los datos. Al igual que en resultados anteriores, existe un gran parecido entre los resultados teóricos obtenidos con ambos modelos, siendo el análisis con el modelo *All Region Model* más sencillo que con la *Ley Cuadrática*. Los resultados simulados muestran parecido con los teóricos y simulados a partir de un voltaje diferencial de entrada mayor que 1 V, para voltajes de entrada inferiores difieren ya que existe una disminución de la distorsión armónica de tercer orden alrededor de 0.6 V de entrada, lo que cambia la curva que describe esta para valores cercanos a 0.6 V.

5.4 MULTIPLICADOR

En esta sección se va a introducir otra aplicación en la cual se saca provecho del terminal de bulk, utilizándolo de forma activa. Se realizara una comparación entre ambos circuitos, utilizando el bulk de forma activa, y sin usarlo, para ver la mejoría. Los resultados utilizados para esta comparación han sido obtenidos mediante simulación.

El uso del terminal de bulk de forma activa no se reduce únicamente a transconductores, sino que puede aplicarse a gran cantidad de circuitos, tales como espejos de corriente, moduladores... En este caso se utilizara el terminal de bulk en la mejora de un multiplicador analógico CMOS. Los multiplicadores/divisores, son usados en muchas aplicaciones como procesado de imagen, amplificadores de ganancia variable, detectores de fase... Existen diferentes topologías ya propuestas en tecnología CMOS, ya sea utilizando transistores en la región de triodo o en la región de saturación. Sin embargo ninguno de ellos permite una transición entre las regiones sin alterar la operación del circuito. El multiplicador/divisor en el que se usará el bulk de forma activa, es el que procede:

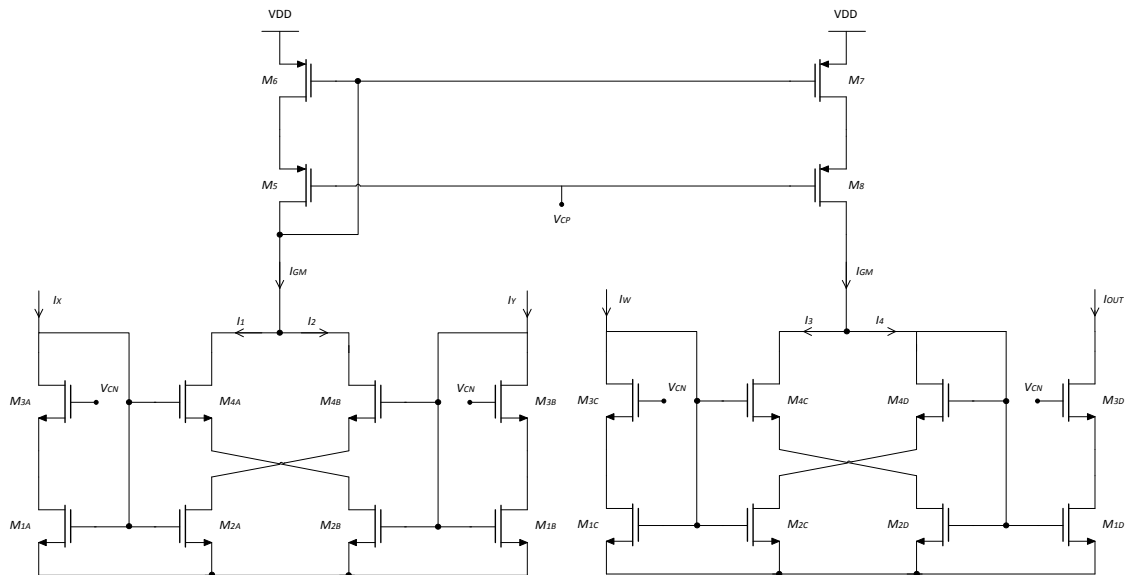


Figura 5.4.1. Multiplicador/divisor.

El multiplicador mostrado permite la transición entre las regiones de saturación y triodo entre los transistores M_{2A-D} . El circuito se compone de dos etapas conectadas en cascada, la primera de ellas es la etapa que realiza la media geométrica y la segunda de ellas es un elevador al cuadrado y divisor. La conexión en cascada se realiza mediante unos espejos de corriente que proporcionan la corriente generada en la primera etapa a la segunda etapa. La corriente de salida en la primera etapa puede aproximarse por:

$$I_{GM} = I_1 + I_2 \quad (5.41)$$

Siendo I_2 :

$$I_2 = 2\sqrt{I_X I_Y} - I_Y - \frac{I_2}{n^2} - \frac{2}{n}\sqrt{I_2}(\sqrt{I_Y} - \sqrt{I_X}) \quad (5.4.2)$$

Notar que la corriente I_1 se describe de igual manera que I_2 , y la corriente de salida del circuito se puede expresar como:

$$I_{OUT} = \frac{I_{GM}^2}{4I_W} \quad (5.4.3)$$

Estas aproximaciones son válidas únicamente si los dimensionamientos de los transistores son correctos. Los transistores M_{3A-D} y M_{4A-D} , han de tener su factores de transconductancia β , n^2 veces mayor, es decir W/L , ha de ser n^2 veces mayor que W/L de los transistores M_{1A-D} y M_{2A-D} .

La última etapa, el elevador al cuadrado/divisor es semejante a la primera etapa, pero con un cambio, se cambia una entrada por una salida.

Visto así el circuito original a continuación se muestra en la figura 5.4.2, el circuito propuesto el cual utiliza el terminal de forma activa.

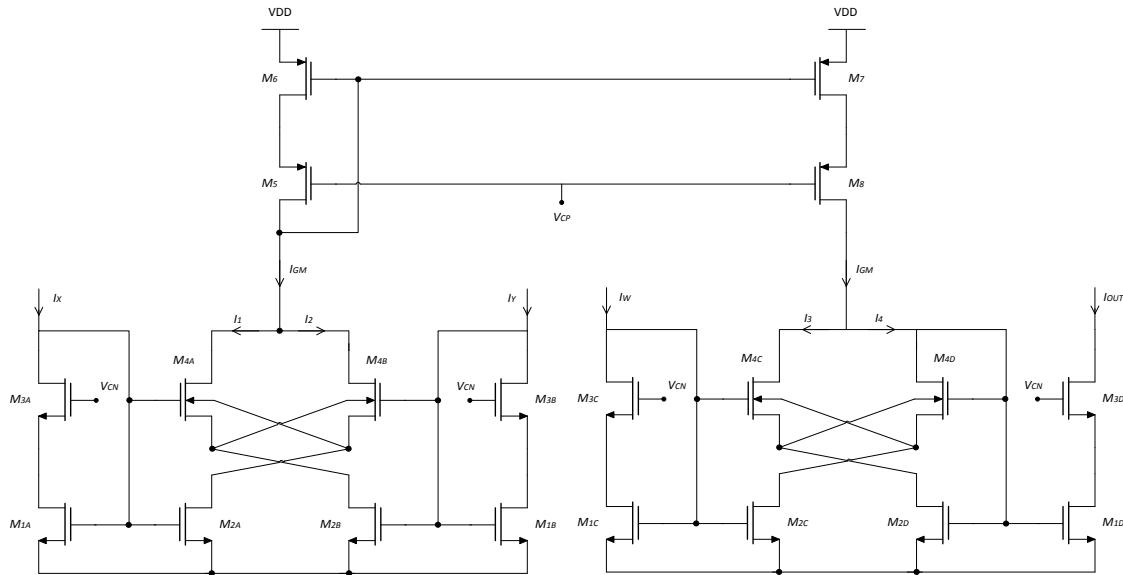


Figura 5.4.2. Multiplicador/divisor utilizando el terminal de bulk de forma activa.

Como puede observarse el cambio reside en los transistores M_{4A-D} , en los cuales se a utilizada su terminal de bulk de forma activa, mediante una conexión cruzada de este terminal y el terminal de fuente del transistor adyacente.

Al igual que en el caso de los transconductores caracterizados, aquellos en los que se utilizaba el terminal de bulk de forma activa su cálculo matemático resultaba complejo, por lo que para el análisis de este multiplicador/divisor se utilizará el *All Region Model*. A continuación se explican los pasos seguidos para la caracterización de este dispositivo. Destacar, que no es necesario caracterizar todas las corrientes en el dispositivo, ya que el comportamiento de este se puede analizar con una corriente, en este caso se elige caracterizar I_2 , ya que la caracterización de I_1 es similar.

En primer lugar se parte de que el voltaje V_{GS} en el transistor M_{1A} , es el mismo que el voltaje V_{GS} en el transistor M_{2A} , y equivalente para los transistores M_{1B} y M_{2B} , además se sabe que la corriente que atraviesa los transistores M_{1A} y M_{1B} , es I_X e I_Y , respectivamente. Notar que los transistores M_{2A} y M_{2B} operan en la región de triodo.

$$V_{G1A} = \sqrt{\frac{2nI_X}{\beta_1}} - V_T \quad (5.4.4)$$

Para resolver la ecuación queda conocer la diferencia de voltaje entre los terminales de drenaje y fuente del transistor M_{2A} . De igual manera el voltaje en la puerta del transistor M_{4A} es el mismo que el voltaje en la puerta de los transistores M_{1A} y M_{2A} , equivalente en el caso de los transistores

M_{4B} , M_{1B} y M_{2B} . Aplicando las ecuaciones y estas condiciones se obtiene que el voltaje en el terminal de fuente del transistor M_{4A} es:

$$V_{S4A} = \frac{(n-1)V_{B4A} - \sqrt{\frac{2nI_1}{\beta_4}} + \sqrt{\frac{2nI_X}{\beta_1}}}{n} \quad (5.4.5)$$

Repetiendo los pasos descritos pero para el transistor M_{4B} , se obtiene el voltaje en el terminal de fuente de este:

$$V_{S4B} = \frac{(n-1)V_{B4B} - \sqrt{\frac{2nI_2}{\beta_4}} + \sqrt{\frac{2nI_Y}{\beta_1}}}{n} \quad (5.4.6)$$

Notar que el voltaje V_{B4B} es el mismo que V_{S4A} , por lo que sustituyendo la expresión correspondiente a V_{S4A} mostrada en la ecuación (5.4.5), en la ecuación (5.4.6), se obtiene que V_{S4B} es:

$$V_{S4B} = \frac{\frac{(n-1)}{n} \left(-\sqrt{\frac{2nI_1}{\beta_4}} + \sqrt{\frac{2nI_X}{\beta_1}} \right) - \sqrt{\frac{2nI_2}{\beta_4}} + \sqrt{\frac{2nI_Y}{\beta_1}}}{n} \quad (5.4.7)$$

Habiendo obtenido este voltaje se puede aplicar la ecuación que describe la corriente en el transistor M_{2A} :

$$I_2 = \frac{\beta_2}{2n} (V_{GB} - nV_{SB} - V_T)^2 - \frac{\beta_2}{2n} (V_{GB} - nV_{DB} - V_T)^2 \quad (5.4.8)$$

Aplicando lo resuelto anteriormente la expresión finalmente queda:

$$I_2 = \frac{\beta_2}{2n} \left(\sqrt{\frac{2nI_X}{\beta_1}} \right)^2 - \frac{\beta_2}{2n} \left(\sqrt{\frac{2nI_X}{\beta_1}} - \frac{(n-1)}{n} \left(-\sqrt{\frac{2nI_1}{\beta_4}} + \sqrt{\frac{2nI_X}{\beta_1}} \right) - \sqrt{\frac{2nI_2}{\beta_4}} + \sqrt{\frac{2nI_Y}{\beta_1}} \right)^2 \quad (5.4.9)$$

Finalmente esta es la expresión que describe la corriente I_2 , y que a su vez caracteriza el comportamiento del multiplicador. El desarrollo de esta ecuación no se expone debido a su longitud, pero destacar que aparecen varios términos que relacionan las corrientes I_X , I_Y , I_1 e I_2 , y el más significativo de todos estos términos es el que pone en relación I_X e I_Y , siendo este:

$$I_2 \approx \frac{2\beta_2 n^2}{(2n-1)^2} \sqrt{I_X I_Y} (n^2 - 3n - 1) \quad (5.4.10)$$

Para dar más información de cómo se mejora el circuito, en la próxima figura se muestra resultados de simulación del error de ambos circuitos.

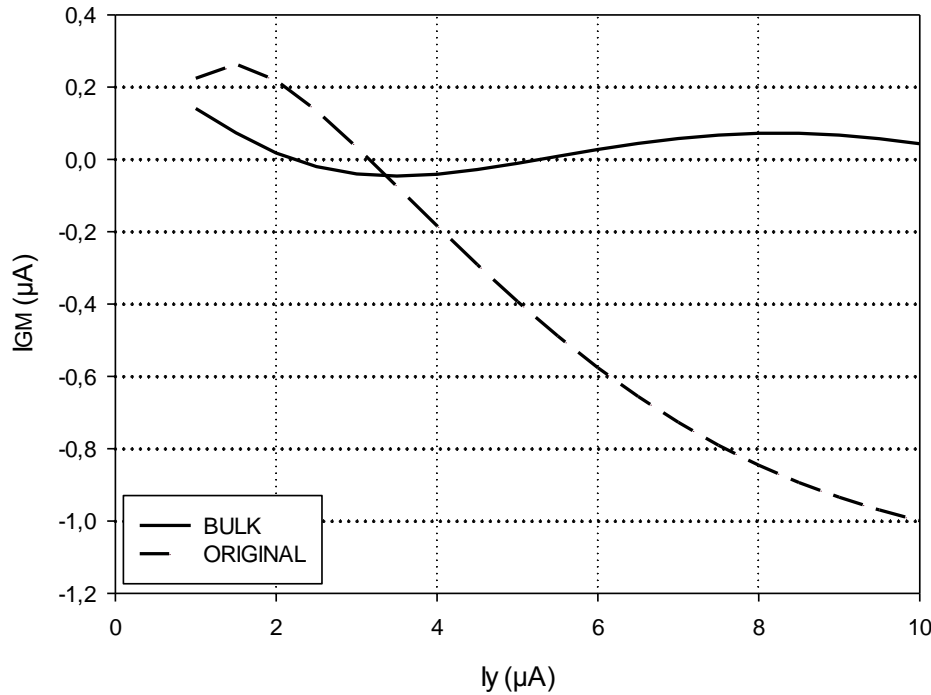


Figura 5.4.3. Comparativa entre ambos multiplicadores.

En la figura 5.4.3 se muestra una gráfica la cual representa el error de la corriente I_{GM} a la salida del multiplicador. El error ha sido calculado restando a los datos teóricos los datos simulados. Esta corriente I_{GM} ha sido calculada para un valor fijo de $I_X=10\mu$, y para una I_Y variable. Como puede observarse el multiplicador que utiliza los terminales de bulk, tiene un error que se mantiene dentro del rango de $\pm 0.1\mu A$, mientras que el multiplicador original incrementa su error conforme aumenta I_Y , hasta llegar a $1\mu A$. Como podrá observarse el uso de las terminales de bulk ayudan a mejorar la precisión del multiplicador con un cambio mínimo de la topología original.

Para comprobar si existe algún cambio significativo en el ancho de banda de ambos dispositivos se realiza un análisis en pequeña señal. Para realizar este análisis se utiliza la celda central del multiplicador/divisor, y en concreto dos de los transistores, M_{2A} y M_{4B} ya que se trata de un dispositivo simétrico. Se obtiene de esta manera la función de transferencia del multiplicador mostrado en la figura 5.4.1:

$$A_V(s) = - \frac{\frac{g_{m2}g_{m4}}{G_L g_{m4} + g_{ds2}g_{ds4}} \left(1 - \frac{s(C_{gd2} + C_{g2})}{2}\right)}{\left(1 + \frac{sC_L g_{m4}}{G_L g_{m4} + g_{ds2}g_{ds4}}\right) \left(1 + \frac{s(C_{gd2} + C_D)}{g_{m4}}\right)} \quad (5.4.11)$$

Notar que $C_{G2}=C_{GS2}+C_{GB2}$, G_L y C_L , representan la carga y las capacitancias conectadas al nodo de salida respectivamente, siendo $C_L=C_{GD4}+C_{DB4}+C_{DS4}$. La capacitancia C_D corresponde a la capacitancia vista en el terminal de drenaje de M_{2A} , siendo esta, $C_D= C_{DB2} + C_{GS4}$.

Al utilizar el terminal de bulk de forma activa, la capacitancia existente en la unión del terminal de fuente con el de bulk deja de estar cortocircuitado, esto se traduce en que en la capacitancia C_D , hay que tener en cuenta esta nueva capacitancia, quedando esta así, $C_D= C_{DB2} + C_{GS4}+C_{SB4}$.

Al ser la capacitancia C_D mayor ya que ahora tiene en cuenta la capacitancia C_{SB4} , el polo correspondiente a la suma de $C_{GD2}+C_D$, aumentará su valor lo que disminuirá levemente el ancho

de banda de la celda ya que esta capacitancia no tiene un valor elevado en comparación con las demás capacitancias.

6. CONCLUSIONES

En este TFM, se ha revisado exhaustivamente el estado del arte correspondiente a la técnica que utiliza el terminal de bulk de un transistor MOS de forma activa. Para un total entendimiento de esta técnica se llevó a cabo un estudio de las características de operación de un transistor MOS.

Posteriormente fueron caracterizados teóricamente y experimentalmente varios transconductores. La caracterización teórica se llevó a cabo con una técnica novedosa basada en funciones implícitas, lo que facilita el cálculo matemático en la mayoría de los casos. Varios transconductores fueron analizados, los resultados teóricos obtenidos se compararon con los resultados simulados y en algunos casos con los resultados experimentales. El análisis de estos transconductores sirvió para comprobar la buena aproximación a los resultados de las series de Taylor. Destacar el estudio de otro modelo de caracterización de un transistor MOS, el cual sirve de ayuda en el análisis de varios de estos circuitos, ya que reduce complejidad en las ecuaciones resultantes, haciéndolas más tratable matemáticamente y permitiendo sacar conclusiones más fácilmente.

Se ha propuesto un nuevo OTA que incrementan la linealidad. La técnica está basada en los OTAs de degeneración de fuente, a los que se les hace un cambio adecuado de los terminales de bulk. Dichos cambios tienen un impacto muy pequeño en el aumento de área y potencia cuando se compara con el tradicional.

Se ha caracterizado teóricamente una celda correspondiente a un multiplicador/divisor. Esta celda al igual que el transistor propuesto utiliza el terminal de bulk de forma activa, de tal manera que minimiza el error de la celda y el ancho de banda se ve levemente afectado.

A lo largo de este trabajo se ha comprobado como el terminal de bulk de un transistor MOS, normalmente conectado al terminal de fuente, puede aportar ciertas ventajas en el diseño de circuitos microelectrónicos analógicos. La explotación de este terminal está teniendo un gran crecimiento en la actualidad, lo que posiciona a estas técnicas como una línea de investigación con grandes oportunidades.

7. LÍNEAS FUTURAS

Como ha quedado demostrado durante el desarrollo de la memoria el uso del terminal de bulk de forma activa es una técnica con grandes posibilidades futuras en el diseño de circuitos integrados analógicos. A continuación se describen diferentes líneas futuras de investigación basadas en el OTA propuesto y el multiplicador. La primera de ellas es seguir el estudio del multiplicador/divisor, posteriormente se realizará un circuito RMS-DC, aplicando en este el multiplicador/divisor.

El primer paso a seguir es la optimización del multiplicador/divisor expuesto. Una vez caracterizado este, se trata de sacar conclusiones teóricas mediante las ecuaciones calculadas, que validen los resultados simulados. El posterior paso será su fabricación y medición para comprobar su correcto funcionamiento.

Con la fabricación y medición del multiplicador/divisor el siguiente paso lógico es la aplicación de este circuito. Se podría aplicar a un circuito RMS-DC. La conversión RMS-DC es una operación no lineal la cual tiene gran cantidad de aplicaciones, cuando se necesita el cálculo de la media de una señal. Un conversor RMS-DC puede ser implementado utilizando una celda elevadora al cuadrado, divisora, y un filtro paso bajo.

El análisis de los transconductores se ha realizado con éxito, aunque la técnica del uso del terminal de bulk de forma activa puede ser aplicada a más transconductores. Se pretende aplicar esta técnica a otros tipos de transconductores.

También podrían realizarse filtros gm-c junto con su pertinente sistema de autosintonía para corregir los errores introducidos por las variaciones de los parámetros de fabricación, la temperatura y el envejecimiento.

Otro punto a explorar es utilizar las celdas propuestas para hacer controles de modo común más eficientes en una menor área y consumo de potencia.

8. REFERENCIAS

- [1] H.-S. Kim, K.-Y. Na, N.-S. Kim, Y.-S. Kim, K.-J. Baek, and J.-M. Gim, "Analogue circuit design methodology using self-cascode structures," *Electron. Lett.*, vol. 49, no. 9, pp. 591–592, Apr. 2013.
- [2] Fried, R. and Enz, C.C.: 'Bulk driven MOST transconductor with extended linear range', *Electronics Letters*, 1996, 32, (7), pp. 638-640
- [3] E. Sánchez-Sinencio and J. Silva-Martínez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial," *IEE Proc. - Circuits, Devices Syst.*, vol. 147, no. 1, p. 3, 2000.
- [4] B. J. Blalock, P. E. Allen, and G. a. Rincon-Mora, "Designing 1-V op amps using standard digital CMOS technology," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 45, no. 7, pp. 769–780, Jul. 1998.
- [5] C. Filters, J. Silva-martinez, M. S. J. Steyaert, A. Member, W. M. C. Sansen, and S. Member, "A Large-Signal Very Low-Distortion Transconductor for High-Frequency," vol. 26, no. 7, pp. 946–955, 1991.
- [6] R. Torrance, T. Viswanathan, and J. Hanson, "CMOS voltage to current transducers," *IEEE Trans. Circuits Syst.*, vol. 32, no. 11, pp. 1097–1104, Nov. 1985.
- [7] N. Gupta, S. Singh, M. Suthar, and P. Soni, "LOW POWER LOW VOLTAGE BULK DRIVEN BALANCED OTA," vol. 2, no. 4, pp. 131–141, 2011.
- [8] E. Sánchez-Sinencio and J. Silva-Martínez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial," *IEE Proc. - Circuits, Devices Syst.*, vol. 147, no. 1, p. 3, 2000.
- [9] A. Veeravalli, S. Member, and S. Member, "Transconductance Amplifier Structures With Very Small Transconductances ;," vol. 37, no. 6, pp. 770–775, 2002.
- [10] J. M. Carrillo, G. Torelli, R. Pérez-Aloe, J. M. Valverde, and J. Francisco Duque-Carrillo, "Single-pair bulk-driven CMOS input stage: A compact low-voltage analog cell for scaled technologies," *Integr. VLSI J.*, vol. 43, no. 3, pp. 251–257, Jun. 2010.
- [11] A. Khateb, D. Bielek, and K. Novacek, "On the Design of low-voltage low-power bulk-driven CMOS Current Conveyors," *2006 29th Int. Spring Semin. Electron. Technol.*, pp. 318–321, May 2006.
- [12] F. Khateb, "Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design," *AEU - Int. J. Electron. Commun.*, vol. 68, no. 1, pp. 64–72, Jan. 2014.
- [13] F. Khateb, D. Bielek, N. Khatib, and J. Vavra, "Utilizing the Bulk-driven technique in analog circuit design," *13th IEEE Symp. Des. Diagnostics Electron. Circuits Syst.*, pp. 16–19, 2010.
- [14] F. Khateb and S. Vlassis, "Low-voltage bulk-driven rectifier for biomedical applications," *Microelectronics J.*, vol. 44, no. 8, pp. 642–648, Aug. 2013.

- [15] J. M. Carrillo, M. A. Domínguez, J. F. Duque-carrillo, and G. Torelli, "Input Common-Mode Voltage Behaviour of CMOS Bulk-Driven Differential Stages," vol. 2, no. 1, pp. 267–270, 2009.
- [16] J. M. Carrillo, J. F. Duque-carrillo, D. D. I. Eléctrica, E. Automática, G. Torelli, U. Pavia, and V. Ferrata, "Design Considerations on CMOS Bulk-Driven Differential Input Stages," pp. 85–88, 2012.
- [17] J. M. Carrillo, G. Torelli, S. Member, M. A. Domínguez, R. Pérez-aloe, J. M. Valverde, and J. F. Duque-carrillo, "A Family of Low-Voltage Bulk-Driven CMOS Continuous-Time CMFB Circuits," vol. 57, no. 11, pp. 863–867, 2010.
- [18] R. G. Carvajal, S. Member, J. Galán, A. Torralba, and S. Member, "A Tunable Pseudo-Differential OTA With 78 dB," vol. 55, no. 6, pp. 527–531, 2008.
- [19] S. K. Kar and S. Sen, "Linearity improvement of source degenerated transconductance amplifiers," *Analog Integr. Circuits Signal Process.*, vol. 74, no. 2, pp. 399–407, Sep. 2012.
- [20] S. K. Kar and S. Sen, "A highly linear CMOS transconductance amplifier in 180 nm process technology," *Analog Integr. Circuits Signal Process.*, vol. 72, no. 1, pp. 163–171, Oct. 2011.
- [21] S. Koziel and S. Szczepanski, "Design of highly linear tunable CMOS OTA for continuous-time filters," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 49, no. 2, pp. 110–122, Feb. 2002.
- [22] P. Monsurro and S. Pennisi, "Exploiting the body of MOS devices for high performance analog design," *Circuits Syst. ...*, no. November, 2011.
- [23] P. Monsurrò and S. Pennisi, "Linearization technique for source-degenerated CMOS differential transconductors," *Circuits Syst. II ...*, vol. 54, no. 10, pp. 848–852, 2007.
- [24] J. Gak, M. Miguez, and A. Arnaud, "Nanopower OTAs With Improved Linearity and Low Input Offset Using Bulk Degeneration," *ieeexplore.ieee.org*, pp. 1–10, 2013.
- [25] "An analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage an Low-Current Applications."
- [26] A. I. Ara, "An MOS Transistor Model for Analog Circuit Design," vol. 33, no. 10, pp. 1510–1519, 1998.
- [27] Y. Tsvividis, K. Suyama, and K. Vavelidis, "Simple 'reconciliation' MOSFET model valid in all regions," *Electron. Lett.*, vol. 31, no. 6, pp. 506–508, 1995.
- [28] E. Gadjeva, V. Durev, and M. Hristov, "Extraction of model parameters of the small-signal EKV MOSFET model using Cadence PSpice," pp. 100–103.
- [29] M. Bucher and D. Kazazis, "Analysis of transconductances at all levels of inversion in deep submicron CMOS," ... *Circuits Syst. ...*, vol. III, no. Icecs, pp. 1183–1186, 2002.

- [30] B. Aggarwal, M. Gupta, and a. K. Gupta, "Analysis of low voltage bulk-driven self-biased high swing cascode current mirror," *Microelectronics J.*, vol. 44, no. 3, pp. 225–235, Mar. 2013.
- [31] C. Popa, "Linearity Evaluation Technique for CMOS Differential Amplifier," no. Miel, pp. 11–14, 2008.
- [32] I. Toihria and T. Thierry, "Modeling and design of a Folded Cascode bulk driven OTA," *7th Int. Conf. Des. Technol. Integr. Syst. Nanoscale Era*, pp. 1–6, May 2012.
- [33] F. Babarada, M. D. Profirescu, and C. Dunare, "INCLUDING SERIES RESISTANCE MODELLING ASPECTS i."
- [34] P. Malik, R. S. Gupta, R. Chaujar, and M. Gupta, "Linearity-Distortion Analysis of GME-TRC MOSFET for High Performance and Wireless Applications," *JSTSJournal Semicond. Technol. Sci.*, vol. 11, no. 3, pp. 169–181, Sep. 2011.
- [35] J. Sarkas, D. Mavridis, and G. Papadopoulos, "Large and Small Signal Analysis Using Volterra Modified Series," pp. 63–66, 2006.
- [36] A. Leuciuc, Y. Zhang, and S. Brook, "Ny 11794," pp. 735–738.
- [37] P. K. Chan, "Analysis and design of low-distortion CMOS source followers," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 52, no. 8, pp. 1489–1501, Aug. 2005.
- [38] B. Iñiguez, R. Picos, I. Kwon, M. S. Shur, T. A. Fjeldly, and K. Lee, "Compact MOSFET Modeling for Harmonic Distortion Analysis," pp. 111–117, 2004.
- [39] P. R. Agostinho and R. D. P. I, "Harmonic Distortion Induced by the -Effect in MOSFET Current Mirrors," no. 1, pp. 1–5.
- [40] D. P. Amplifier, H. Shrimali, S. Member, and S. Chatterjee, "Distortion Analysis of a Three-Terminal MOS-Based," vol. 58, no. 12, pp. 902–905, 2011.
- [41] J. Chen, E. Sánchez-sinencio, J. Silva-martinez, and S. Member, "Frequency-Dependent Harmonic-Distortion Analysis of a Linearized Cross-Coupled CMOS OTA and its Application to OTA-C Filters," vol. 53, no. 3, pp. 499–510, 2006.
- [42] W. Sansen, "Distortion in elementary transistor circuits," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 46, no. 3, pp. 315–325, Mar. 1999.
- [43] W. Koepf, "Taylor polynomials of implicit functions, of inverse functions, and of solutions of ordinary differential equations," *Complex Var. Elliptic Equations*, vol. 25, no. 1, pp. 23–33, May 1994.
- [44] F. Breu, S. Guggenbichler, and J. Wollmann, "No Title," *Vasa*, pp. 3–4, 2008.
- [45] S. Kundra, P. Soni, and R. Naaz, "Folded Cascode OTA Using Self Cascode Technique," vol. 2, no. 1, pp. 1–3, 2012.
- [46] A. J. Lopez-Martin, C. a. La Cruz Blas, J. Ramirez-Angulo, and R. G. Carvajal, "Current-mode CMOS multiplier/divider circuit operating in linear/saturation regions," *Analog Integr. Circuits Signal Process.*, vol. 66, no. 2, pp. 299–302, Nov. 2010.

- [47] C. A. D. La Cruz-blas, A. López-martín, A. Carlosena, J. Ramírez-angulo, and A. A. Cmos, "Converter Based on Class-AB Transconductors," vol. 52, no. 7, pp. 376–379, 2005.

9. ANEXO 1 CÓDIGO MATLAB

- SERIES DE TAYLOR DE FUNCIONES IMPLÍCITAS

```

clear all

syms Ia beta n IB R vin

f=Funimplicita

%% calcular la primera derivada parcial

F1=-(diff(f,vin)/diff(f,Ia))

%% calculo del segundo termino

F2=diff(F1,vin)+diff(F1,Ia)*F1

%% calculo tercer termino

F3=diff(F2,vin)+diff(F2,Ia)*F1

%% calculo cuarto termino
F4=diff(F3,vin)+diff(F3,Ia)*F1
%% calculo quinto termino
F5=diff(F4,vin)+diff(F4,Ia)*F1

%% el tercer termino de la serie es F3(x0,y0)*x^3/k!
%% primer termino de la serie F1(x0,y0)*x^1/k!

terminoHD3=subs(F3,vin,0)
terminoHD3=subs(terminoHD3,Ia,IB)
terminofund=subs(F1,vin,0)
terminofund=subs(terminofund,Ia,IB)
terminoHD5=subs(F5,Ia,IB)
terminoHD5=(subs(terminoHD5,vin,0)*vin^5)/factorial(5)
HD2=terminoHD2*0.5/terminofund
HD3=0.25*abs((terminoHD3/6/terminofund))*vin^2

```

- OTA CASCODE

LEY CUADRÁTICA

```

clear all

%% Ley cuadrática%%
syms b1 b2 vin vth vx vs1 i2

VoltajeX=solve(b1*(vin-vs1-vth-((vx-vs1)/2))*(vx-vs1)==b2/2*(vin-vx-
vth)^2,vx)

```

```
V= (vin*(b1*(b1 + b2))^(1/2) - vth*(b1*(b1 + b2))^(1/2) + b1*vin +
b2*vin - b1*vth - b2*vth)/(b1 + b2)
ID2=b2/2*(vin-vx-vth)^2
Id2=simplify(subs(ID2,vx,VoltajeX(1)))
```

ALL REGION MODEL

```
% Modelo ALL Region Model con R %
clear all
syms b1 b2 vin vth vx vs1 id1 n

% calculo de Vx igualando corrientes
VoltajeX=solve((b1/(2*n))*(vin-vs1-vth)^2-(b1/(2*n))*(vin-vs1-
n*vx+n*vs1-vth)^2==(b2/(2*n))*(vin-vx-vth)^2,vx)
VoltajeX=simplify(VoltajeX(1))
% se define la corriente en sat y se sustituye vx
ID2=(b2/(2*n))*(vin-vx-vth)^2
corriente=simplify(subs(ID2,vx,VoltajeX))
```

• OTA CASCODE CON DEGENERACIÓN DE FUENTE Y USO DE BULK DE FORMA ACTIVA

LEY CUADRÁTICA

```
clear all
syms beta2 vgs2 vgs1 vth Ia beta vds2 beta1 vx vin vs2 vy gamma phi
vin1 vin2 Ib vgs3 vgs4 IB Vdiff R beta3 beta4

corriente=2*IB-Ia

% Calculo del voltaje Vx-Vy aproximando la raiz por una exponencial
VoltaSB=solve(-sqrt(Ia*2/beta1)+sqrt((2*IB-Ia)*2/beta3)-
(gamma*exp(0.5)*(exp(log(Vdiff+2*phi))))+(gamma*exp(0.5)*(exp(log(-
Vdiff+2*phi))))-Vdiff+vin==0,Vdiff)
% despejar vgs2 de ña ecuacion de triodo
VGS2=solve(Ia==beta2*((vgs2-vth)*(-vgs1+vgs2)-((-
vgs1+vgs2)^2)/2),vgs2)

% despejar vgs1
VGS1=solve(Ia==(beta1/2)*(vgs1-gamma*(exp(0.5)*exp(log(Vdiff+2*phi))-
exp(0.5)*exp(log(2*phi)))-vth)^2,vgs1)
% sustituir en la expresion de VGS2 el vgs1, y el Vdiff
VGS2=simplify(subs(VGS2(1),vgs1,VGS1(1)))
VGS2=subs(VGS2,Vdiff,VoltaSB)

% repetir lo anterior para VGS4
% despejar vgs4 de ña ecuacion de triodo
VGS4=solve(Ib==beta4*((vgs4-vth)*(-vgs3+vgs4)-((-
vgs3+vgs4)^2)/2),vgs4)

% despejar vgs3
VGS3=solve(Ib==(beta3/2)*(vgs3-gamma*(exp(0.5)*exp(log(-Vdiff+2*phi))-
exp(0.5)*exp(log(2*phi)))-vth)^2,vgs3)

% sustituir en la expresion de VGS2 el vgs1, y el Vdiff
```

```
VGS4=simplify(subs(VGS4(1),vgs3,VGS3(2)))
VGS4=subs(VGS4,Vdiff,VoltaSB)
VGS4=simplify(subs(VGS4,Ib,corriente))
%% ecuacion final

Funimplicita=simplify(VGS2-VGS4+R*(Ia-IB)-vin)
```

ALL REGION MODEL

```
clear all

syms Ia beta1 beta3 n vin vgs1 vgs2 vgs3 vgs4 vdiff vto R IB vg2 vg1

%% despejar vdiff=vs1-vs2
VDIFF=solve(sqrt(2*n*(2*IB-Ia)/beta1)-sqrt(2*n*Ia/beta1)== vin -vdiff
-n*(-vdiff)+n*vdiff,vdiff)

%% una obtenido vdiff se substituye en las formulas de los tranistores
en saturación
%% y se despejan los voltajes vgb1 y vgb2

vgb1=sqrt(Ia*2*n/beta1)+n*(vdiff)+vto
vgb2=sqrt((2*IB-Ia)*2*n/beta1)+n*(-vdiff)+vto
VGB1=subs(vgb1,'vdiff',VDIFF)
VGB2=subs(vgb2,'vdiff',VDIFF)

%% se escriben las formulas en trido para despejar los voltajes vgs3 y
vgs4

VGS3=solve(Ia==(beta3/(2*n))*(vgs3-vto)^2-(beta3/(2*n))*(vgs3-n*(-
vg2+vgs3+vin)-vto)^2,vgs3)
VGS4=solve((2*IB-Ia)==(beta3/(2*n))*(vgs4-vto)^2-(beta3/(2*n))*(vgs4-
n*(-vg1+vgs4-vin)-vto)^2,vgs4)
VGS3=simplify(subs(VGS3,'vg2',VGB2))
VGS4=simplify(subs(VGS4,'vg1',VGB1))

Funimplicita=simplify(VGS3-VGS4+R*(Ia-IB)-vin)
```

